

論文2001-38SD-12-4

# SPICE를 사용한 다결정 실리콘 TFT-LCD 화소의 전기적 특성 시뮬레이션 방법의 체계화

## (A Systematic Method for SPICE Simulation of Electrical Characteristics of Poly-Si TFT-LCD Pixel)

孫明植\*, 柳在一\*\*, 沈成隆\*\*, 劉建虎\*\*, 張震\*\*

(Myung Sik Son, Jai Il Ryu, Seong Yung Shim, Keon-Ho Yoo, and Jin Jang)

### 要 約

복잡한 thin film transistor-liquid crystal display (TFT-LCD) array 회로의 전기적 특성을 분석하기 위해서는 PSPICE나 AIM-SPICE와 같은 회로 시뮬레이터를 사용하는 것이 필수적이다. 본 논문에서는 SPICE 시뮬레이션을 위한 다결정 실리콘 (poly-Si) TFT 소자의 입력 변수 추출을 체계화하는 방법을 도입한다. 이 방법을 excimer laser annealing 및 silicide mediated crystallization 방법으로 각각 제작된 다결정 실리콘 TFT 소자에 적용하여 실험 결과와 잘 일치하는 결과를 얻었다. SPICE 시뮬레이터 중에서 PSPICE는 graphic user interface(GUI) 방식의 편의성을 제공하므로 손쉽게 복잡한 회로를 구성할 수가 있다는 장점이 있으나, poly-Si TFT 소자 모델을 가지고 있지 않다. 이 연구에서는 PSPICE에 다결정 실리콘 TFT 소자 모델을 이식하고, TFT가 이식된 PSPICE를 사용하여 poly-Si TFT-LCD 단위 화소 및 라인 RC 지연을 고려한 화소에 대한 전기적 특성을 분석하였다. 이러한 결과는 TFT-LCD 어레이 특성 분석을 위한 시뮬레이션을 효율적으로 수행하는데 기여할 수 있을 것으로 기대된다.

### Abstract

In order to analyze the electrical characteristics of complicated thin film transistor-liquid crystal display (TFT-LCD) array circuits, it is indispensable to use simulation programs such as PSPICE and AIM-SPICE. In this paper, we present a systematic method of extracting the input parameters of poly-Si TFT for SPICE simulations. This method was applied to two different types of poly-Si TFTs, fabricated by excimer laser annealing and silicide mediated crystallization methods, and yielded good fitting results to experimental data. Among the SPICE simulators, PSPICE has the graphic user interface feature making the composition of complicated circuits easier. We added successfully a poly-Si TFT device model to the PSPICE simulator, and analyzed easily the electrical characteristics of pixels considering the line RC delay. The results of this work would contribute to efficient simulations of poly-Si TFT-LCD arrays.

\* 正會員, 東國大學校 밀리미터파 新技術 研究센터  
(Millimeter-wave Innovation Technology Research Center, Dongguk University)

\*\* 正會員, 慶熙大學校 物理學科

(Department of Physics, Kyung Hee University)

※ 본 연구는 G-7 프로젝트 및 동국대학교 밀리미터파  
신기술 연구센터의 연구 지원에 의해 수행되었다.

接受日字: 2001年3月22日, 수정완료일: 2001年10月31日

### I. 서 론

최근 들어 엑시머 레이저 결정화(excimer laser annealing, ELA) 기술을 바탕으로 한 저온 다결정 실리콘(poly-Si) 박막 트랜지스터(thin film transistor, TFT)를 이용한 액정 디스플레이(liquid crystal display, LCD)에 대한 연구 개발이 매우 활성화되고 있으며, 일본에서는 이미 10 인치급 제품이 생산되고 있는 실정

이다. 저온 다결정 실리콘 TFT는 캐리어 이동도가 비정질 실리콘에 비해 100 배 이상으로 매우 높기 때문에, 단위 화소의 크기를 줄여 화소의 화질에 영향을 끼치는 킥백 전압(kickback voltage)을 줄일 수 있고, 저장용 정전용량(storage capacitance)을 줄임으로써 개구율을 향상시킬 수 있는 등, 비정질 실리콘 TFT에 비해 많은 장점을 가진다. 또한 구동 회로를 일체화시켜 모듈을 경박단소화하는 데 유리하고 초고해상도가 가능하기 때문에 차별화된 경쟁력을 갖으며, 대면적화에 유리하다. 그러나, 이러한 장점에도 불구하고 비정질 실리콘 TFT에 비하여 원가 경쟁력 면에서 현재까지 개발된 기술로는 어려움이 존재하고 있다.<sup>[1]</sup>

이러한 저온 다결정 실리콘 TFT의 성공적인 기술력 확보를 위해 TFT-LCD의 대화면/고화질 추세에 따른 전기·광학적 특성을 분석하기 위해서는 TFT-LCD 어레이(array) 회로 특성 분석 시뮬레이터의 사용이 필수적이라고 여겨진다. 본 연구에서는 poly-Si TFT-LCD 특성 분석을 위해 기존의 상용 시뮬레이터인 SPICE를 효과적으로 이용하기 위한 방법을 체계화하고 이를 이용하여 TFT-LCD 화소의 전기적 특성 분석을 수행하였다. 본 논문의 두 가지 주요 내용은 poly-Si TFT의 입력변수의 정확한 추출법을 개발한 것과 PSPICE에 poly-Si TFT 소자를 이식하여 poly-Si TFT-LCD 어레이 분석이 가능하도록 한 것이다.

시뮬레이션 결과의 정확성은 얼마나 입력변수를 정확히 사용하느냐에 의존한다. 이 연구에서는 poly-Si TFT의 I-V 실험 데이터로부터 AIM-SPICE 시뮬레이터에서의 소자의 입력 변수를 체계적으로 추출하는 방법을 연구하였다. 이 poly-Si TFT 모델은 subthreshold, above-threshold, leakage 전류와 kink 전류를 고려하는데, 이 전류를 기술하는 입력변수의 상호 의존성과 식의 모양을 고려하여 입력 변수를 체계적으로 추출하였다. 이 입력변수 추출법을 자체 제작한 ELA와 silicide mediated crystallization(SMC) 방법으로 제작한 poly-Si TFT에 각각 적용한 결과, 두 경우의 입력변수가 상당히 다름에도 불구하고, 두 경우 모두 모든 전압 영역에서 만족할 만한 결과를 얻었다.

PC에서 사용 가능한 SPICE 중에서, poly-Si TFT 모델을 가지고 있는 AIM-SPICE는 회로 구성을 텍스트 방식으로 하는 반면, poly-Si TFT를 가지고 있지 않은 PSPICE에서는 그림을 사용한 회로 구성이 가능하다. TFT-LCD 어레이와 같은 복잡한 회로를 구성할

때는 PSPICE를 사용하는 편이 훨씬 쉽고 실수를 저지를 확률도 적어진다. 본 연구에서는 poly-Si TFT를 PSPICE에 이식하고 AIM-SPICE와 시뮬레이션 결과를 비교함으로써 이식의 정확성을 검증하였고, 이를 이용하여 poly-Si TFT-LCD 단위 화소의 전기적 특성을 비교 분석하였다.

## II. 다결정 실리콘 박막 트랜지스터 소자 특성 파라미터 추출

Poly-Si TFT-LCD 어레이의 특성을 정확히 시뮬레이션하기 위해서는 우선 어레이에 사용된 poly-Si TFT를 정확히 표현해야 한다. SPICE 상의 poly-Si TFT 모델은 많은 입력 변수를 포함하므로 정확한 입력변수를 체계적으로 추출하는 것이 중요하다. 본 연구에서는 I-V 실험 데이터가 주어졌을 때 그에 맞는 입력변수를 체계적으로 구하는 방법을 연구하였고, 그 방법을 사용해 두 종류의 poly-Si TFT의 I-V 특성을 시뮬레이션하여 실험값과 비교하였다. 또한, 적절한 실험데이터가 있는 경우 사용 가능한 C-V 입력변수 추출법을 도입하고, 그 타당성을 검증하였다. 이 논문에서는 n-채널 TFT에 대해 설명한다. 그러나, 수식에서 부호만을 적절히 바꾸면 쉽게 p-채널을 기술하는 식으로 바꿀 수 있으므로, p-채널 소자에 대해서도 같은 방법으로 쉽게 소자 특성 모델링이 가능하다.

### 1. I-V 특성 파라미터 추출

본 연구에서는 AIM-SPICE 안에 있는 MOSFET level 16의 poly-Si TFT 모델<sup>[2]</sup>을 사용하였다. M. Shur 그룹<sup>[3~6]</sup>에서 제안한 이 PSIA2 모델<sup>[2]</sup>은 poly-Si TFT의 특징인 kink 효과와 thermionic field emission<sup>[7]</sup>에 의한 누설전류를 고려하여 기존 모델을 수정한 것이다. 이 모델의 I-V 특성은 게이트 전압에 따라 above-threshold 영역, sub-threshold 영역, 누설(leakage) 전류 및 kink 전류 영역으로 나눌 수 있다. PSIA2 모델에서 각 영역의 전류는 아래와 같은 수식으로 기술된다.

Poly-Si TFT의 sub-threshold 전류는 확산에 의한 전류가 지배하는 MOSFET의 sub-threshold 전류와 유사하며 식 (1)과 같이 기술된다.

$$I_{sub} = MUS \cdot c_{ox} \cdot$$

$$\frac{W}{L} \cdot V_{sth}^2 \exp\left(\frac{V_{gs} - V_{ON}}{V_{sth}}\right) \left[1 - \exp\left(-\frac{V_{ds}}{V_{sth}}\right)\right]. \quad (1)$$

여기서  $W$ 는 채널의 너비,  $L$ 은 채널의 길이,  $c_{ox}$ 는 단위 면적당 절연막의 정전용량, MUS는 sub-threshold 이동도(mobility), VON은 on-voltage를 나타낸다. 그리고  $V_{sth} = ETA \cdot k_B T$ 이며, ETA는 sub-threshold ideality factor,  $k_B$ 는 Boltzmann 상수,  $T$ 는 절대온도를 나타낸다. 식 (1)을 변형하면 MUS에 대해 다음과 같이 쓸 수 있다.

$$MUS = \frac{L \cdot \exp(b + VON/V_{sth})}{c_{ox} \cdot W \cdot V_{sth}^2 \cdot [1 - \exp(-V_{ds}/V_{sth})]} \quad (2)$$

여기서  $b$ 는  $\ln[I_a(V_{gs})]$  그래프의 선형 부분을 외삽했을 때의 y축 절편을 나타낸다.

한편 above threshold current,  $I_a$ 는 식 (3)과 같이 표현된다.

$$I_a = \mu_{FET} c_{ox} \frac{W}{L} V_{ds} \left[ V_{gfe} - \frac{V_{ds}}{2\alpha_{sat}} \right] \quad (3)$$

여기서,

$$V_{gfe} = V_{sth} \left[ 1 + \frac{V_{gt}}{2V_{sth}} + \sqrt{DELT A^2 + \left( \frac{V_{gt}}{2V_{sth}} - 1 \right)^2} \right] \quad \text{이고}$$

$V_{gt} = V_{gs} - VON$ 이다.  $V_{gt} \gg V_{sth}$  일 때, effective gate voltage swing  $V_{gfe}$ 는 근사적으로  $V_{gt}$ 가 되고,  $I_a$ 는 다음 식 (4)로 근사할 수 있다.

$$I_a \approx \mu_{FET} c_{ox} \frac{W}{L} V_{ds} \left[ V_{gt} - \frac{V_{ds}}{2\alpha_{sat}} \right] \quad (4)$$

I-V 데이터를 측정할 때의 온도와 트랜지스터가 동작할 때의 온도가 같다면  $\alpha_{sat} = ASAT$ 이다. 식 (3)의 전계효과 이동도  $\mu_{FET}(V_{gs})$ 를 결정하는 중요한 변수로는 MU0, MU1, MMU가 있으며 식 (5)와 같이 표현된다.

$$\frac{1}{\mu_{FET}(V_{gs})} = \frac{1}{MU0} + \frac{1}{MU1 \cdot (2V_{gfe}/V_{sth})^{MMU}} \quad (5)$$

누설 전류는 크게 thermionic field emission에 의한 성분과 드레인 접합의 다이오우드 전류 성분으로 나뉘어진다.

$$I_{leak} = IO \cdot W \left[ \exp\left(\frac{BLK \cdot V_{ds}}{V_{th}}\right) - 1 \right] \cdot [X_{TFE}(F) + X_{TE}] + I_{diode}, \quad (6)$$

$$I_{diode} = IOO \cdot W \cdot \exp\left(-\frac{EB}{k_B T}\right) \left[ 1 - \exp\left(-\frac{V_{ds}}{V_{th}}\right) \right]. \quad (7)$$

여기서  $F = V_{ds}/DD - (V_{gs} - V_{FB})/DG$ 이며, 이것은 드레인 근처의 전기장의 최대 세기를 의미한다. 식 (6)의 첫번째 대괄호 안의 항은 drain induced barrier lowering(DIBL)효과를, 두번째 대괄호 안의 항들은 단위시간당 thermionic field emission에 의한 트랩(trap)으로부터 전하 방출 비율을 나타낸다. 식 (7)의  $I_{diode}$ 는  $V_{ds}$ 가 매우 작은 값일 때에도 온도증가에 따라 누설전류가 증가하는 것을 설명한다.  $I_{diode}$ 는 상온에서 무시할 수 있으나 높은 온도에서는 매우 중요해진다.

마지막으로, impact ionization으로 설명되는 kink 전류는 다음과 같이 주어진다.

$$I_{kink} = \left( \frac{I_a \cdot I_{sub}}{I_a + I_{sub}} + I_{leak} \right) \cdot A_{kink}(V_{ds} - V_{dse}) \exp\left(-\frac{VKINK}{V_{ds} - V_{dse}}\right). \quad (8)$$

$$\text{여기서, } A_{kink} = \frac{1}{VKINK} \left( \frac{LKINK}{L} \right)^{MKINK} \quad \text{이고,}$$

$$V_{dse} = \frac{V_{ds}}{\left[ 1 + \left( \frac{V_{ds}}{V_{dsat}} \right)^{3/1/3} \right]} - V_{th} \quad \text{이다.}$$

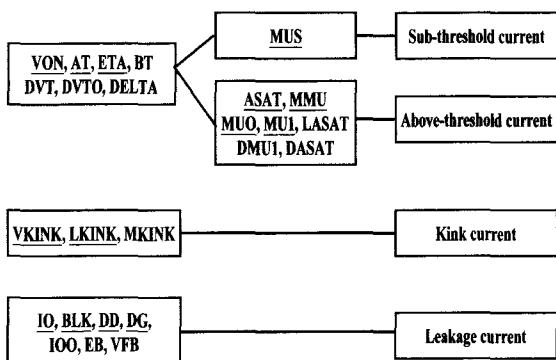
전체 드레인 전류는 위의 네 성분의 합으로 다음과 같이 주어진다.

$$I_d = \frac{I_a \cdot I_{sub}}{I_a + I_{sub}} + I_{leak} + I_{kink} \quad (9)$$

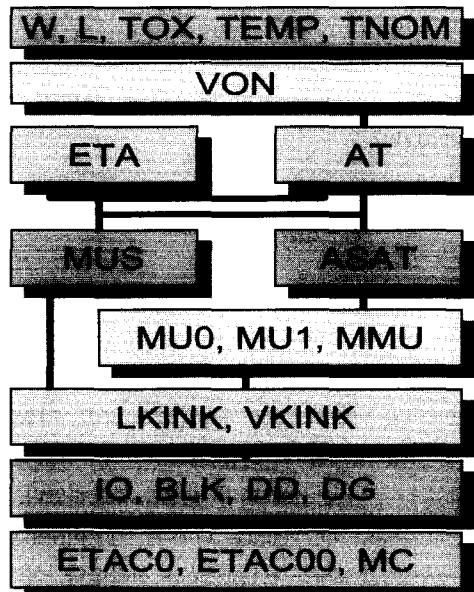
이상의 식에 사용되는 입력 변수들의 관계를 정리하여 그림 1(a)에 나타내었다. 여기서, 밑줄 친 변수들이 추출 대상인 중요 변수이며 나머지 변수는 AIM-Spice에서의 디폴트 값이 사용되었다. 또한, 이들의 입력 변수 추출 순서를 체계적으로 정리하여 그림 1(b)에 나타내었으며, 이 순서에 따라 변수를 추출하였다.

변수의 추출은 on voltage VON과 sub-threshold 전류의 지수를 결정하는 ETA로부터 시작한다. 식 (1)에 의해 ETA는 Id-Vgs 곡선을 자연로그 스케일로 나타내었을 때 선형 부분 기울기의 역수이다. VON은 Id-Vgs 곡선을 선형 스케일로 나타내었을 때 직선 부분의 절편으로부터 얻을 수 있고, AT는 Vd가 다른 Id-Vgs 곡선에서 얻을 수 있다. ASAT는 Id-Vd 곡선

을 미분하였을 때 x축 절편의 값이 된다. MUS를 얻기 위해서는 식 (2)를 이용하면 된다. MU0, MU1, MMU 는 앞에서 결정된 변수 및 식 (4)와 (5)를 이용하여 구할 수 있다. Kink 효과와 관련된 입력변수는  $V_{ds} > V_{dsat}$  인 영역의 측정된 전류를 식 (8)에 따라 최소제곱법(least square fit)을 사용하여 얻을 수 있으며, 누설전류에 관련된 입력변수는 누설전류가 나타나는 영역의 전류를 식 (6)과 식 (8)에 따라 최소제곱법을 사용하여 구하게 된다.



(a) 전류 성분별 입력 변수들



(b) 입력 변수 추출 순서도

그림 1. Poly-Si TFT의 I-V 및 C-V 특성을 기술하는 중요 변수 추출 순서도

Fig. 1. Flow chart for extracting important input parameters describing I-V and C-V characteristics of poly-Si TFT.

이상의 내용을 바탕으로 측정된 실험 I-V 특성 데이터를 사용자가 입력하면 SPICE의 입력 변수들의 값을 구할 수 있도록 I-V 입력 변수 추출 프로그램을 작성하였다. 이 변수 추출법을 경희대학교에서 SMC와 ELA 방법에 의해 제작한<sup>[8~10]</sup> poly-Si TFT에 적용하였다. 이들 TFT의 제작 과정을 간략히 설명하면 다음과 같다.

SMC와 ELA 방법에 의해 제작된 300 nm 두께의 poly-Si 박막 위에 NH<sub>3</sub> 플라즈마 처리를 한 후, 두께 200 nm의 실리콘 질화막(SiN<sub>x</sub>)과 30 nm의 비정질 실리콘(amorphous silicon, a-Si)을 plasma enhanced chemical vapor deposition(PECVD) 방법으로 증착한다. 습식 식각법을 이용하여 채널을 형성하고, ion shower 방법으로 위의 비정질층과 식각에 의해 노출된 poly-Si 층에 고농도 불순물 층을 형성한다. 그 후에 20 nm의 Ni을 스퍼터링으로 증착한 후, 250 °C에서 1 시간 열처리를 하여 Ni-silicide 소오스/드레인/게이트 전극을 형성한다. 그 후 반응하지 않은 Ni은 Ni 식각 용액으로 제거한다. 제작된 TFT의 채널 폭과 길이는 각각 30 μm 와 10 μm이다<sup>[8~10]</sup>.

표 1에는 ELA 및 SMC 법으로 제작된 TFT의 I-V 실험 데이터로부터 이 논문의 변수 추출법을 사용해 결정된 입력변수 값을 나타내었다. 이 표에는 실제 소자에 대한 측정값인 W, L, TOX도 나타냈고, TEMP, TNOM은 상온으로 가정하였다. 그림 2와 3은 이 입력 변수를 사용해 계산된 Id-Vgs 곡선과 Id-Vds 곡선을 처음의 실험값과 비교한 그림이다. ELA poly-Si TFT 와 SMC poly-Si TFT는 상당히 다른 I-V 특성을 가지고 있으나, 두 경우 모두 본 연구에서 체계화된 변수 추출법에 의해 추출된 변수를 이용한 I-V 곡선이 실험 데이터와 잘 일치함을 확인할 수 있었다.

AIM-SPICE를 만든 회사에서는 입력변수 추출 프로그램인 AIMExtract를 제공하고 있다. 이 프로그램은 주어진 실험데이터로부터 입력변수를 추출해주는 기능과, 임의의 입력변수 값으로부터 변수 값을 변화시켜가며 화면상에 계산된 곡선과 실험값을 비교하여 최종 입력 변수 값을 결정하는 기능이 있다. 우리의 실험 데이터로부터 AIMExtract의 첫 번째 기능을 사용하여 추출한 입력변수값으로부터 계산된 Id-Vg 곡선은 그림 2 와 3의 결과보다 불량한 결과를 주었다. AIMExtract의 두 번째 기능을 사용하면 보다 더 좋은 일치를 얻을 수 있지만, 이 때에도 우리의 변수 추출법에 의해 결정

표 1. 다결정 실리콘 TFT의 I-V 특성을 기술하는 중요 변수와 두 종류의 TFT에 대해 추출된 변수 값들.

Table 1. Important input parameters describing the I-V characteristics of poly-Si TFT and their values extracted for two types of TFT.

Parameter	Description	ELA	SMC	Unit
W	Gate width	30e-6	30e-6	m
L	Gate length	10e-6	10e-6	m
TOX	Oxide thickness	1.629e-7	1.629e-7	m
TEMP	Transistor operating temperature	27	27	°C
TNOM	Measurement temperature	27	27	°C
VON	On voltage	-1.5	3.19	V
AT	DIBL parameter	2e-8	4.9e-8	m/V
ASAT	Proportionality constant of Vdsat	1.1	0.85	-
ETA	Subthreshold ideality factor	8.9	15.56	-
MUS	Subthreshold mobility parameter	400	11.94	cm <sup>2</sup> /Vs
MU0	High field mobility parameter	75	3.35	cm <sup>2</sup> /Vs
MU1	Low field mobility parameter	0.3	1.94e-5	cm <sup>2</sup> /Vs
MMU	Low field mobility exponent	1.7	4.48	-
LKINK	Kink effect constant	0	8.59e-6	m
VKINK	Kink effect voltage	-	4.22	V
IO	Leakage scaling constant	133	146	A/m
BLK	Leakage barrier lowering constant	0.0027	0.0047	-
DD	Vds field constant	3.3e-7	4.7e-7	m
DG	Vgs field constant	1.7e-7	2.8e-7	m

된 입력변수 값으로부터 출발하는 것이 아주 효과적임을 확인하였다.

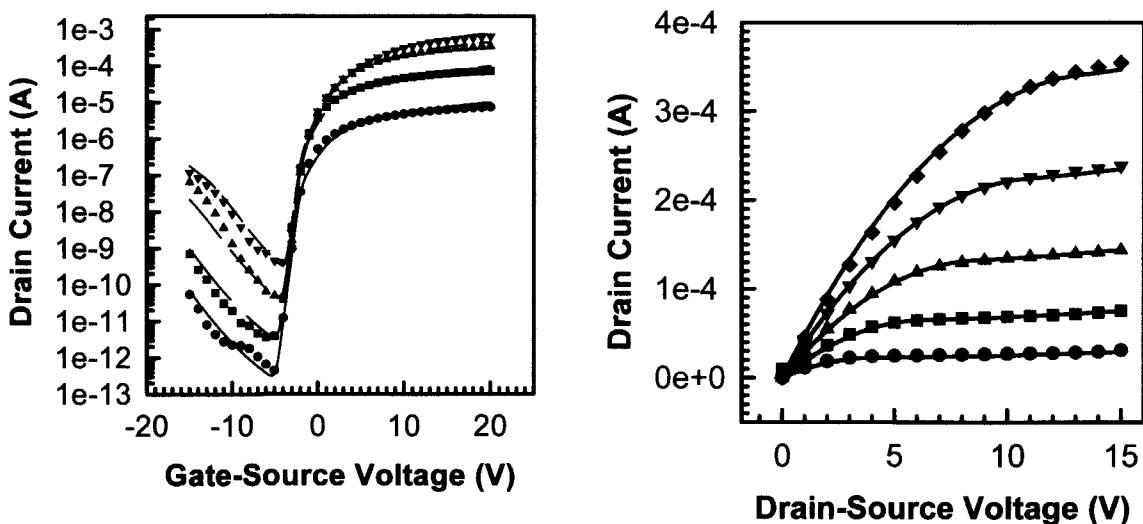


그림 2. ELA poly-Si TFT의 I-V 특성을 일치시킨 결과. 기호 점들은 실험 데이터이며, 실선은 시뮬레이션 결과이다.

Fig. 2. Fitting of experimental I-V data of ELA poly-Si TFT. Various dots are for experimental data and the solid lines represent the simulation results.

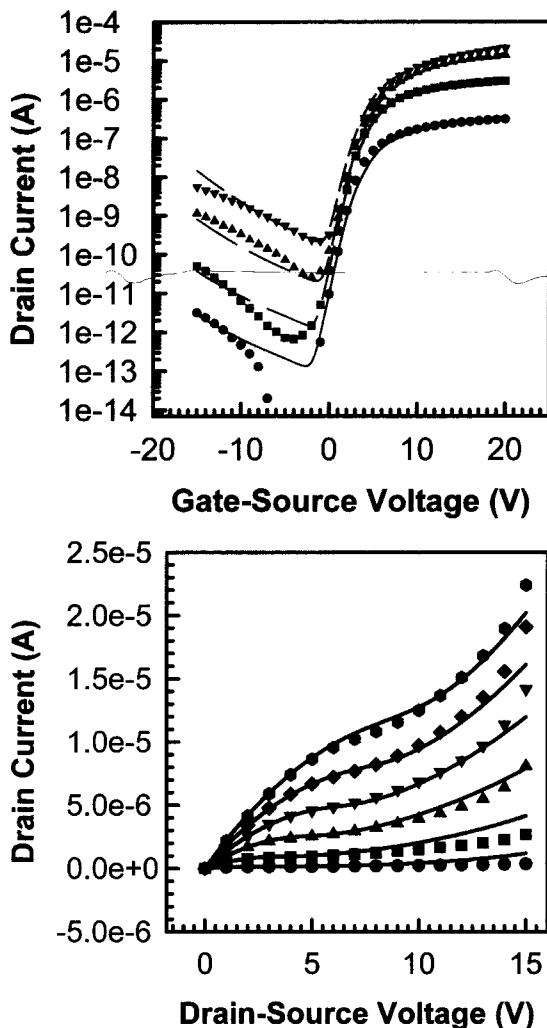


그림 3. SMC poly-Si TFT의 I-V 특성을 일치시킨 결과. 기호 점들은 실험 데이터이며, 실선은 시뮬레이션 결과이다.

Fig. 3. Fitting of experimental I-V data of SMC poly-Si TFT. Various dots are for experimental data and the solid lines represent the simulation results.

## 2. C-V 특성 파라미터 추출

AIM-SPICE 상의 poly-Si TFT 모델에서 C-V 특성은 아래의 식들로 기술된다.

$$C_{gs} = C_f + \frac{2}{3} C_{gcs} \left[ 1 - \left( \frac{V_{dsat} - V_{dse}}{2V_{dsat} - V_{dse}} \right)^2 \right], \quad (10)$$

$$C_{gd} = C_f + \frac{2}{3} C_{gcd} \left[ 1 - \left( \frac{V_{dsat}}{2V_{dsat} - V_{dse}} \right)^2 \right]. \quad (11)$$

여기서,  $C_f = 0.5 \cdot EPS \cdot W$ ,  $EPS = 11.7 \cdot \epsilon_0$ ,

$\epsilon_0 = 8.854214871 \cdot 10^{-12}$ 이며,

$$C_{gcd} = \frac{C_{ox}}{1 + \eta_{cd} \exp\left(-\frac{V_{gt} - V_{dse}}{\eta_{cd} V_{th}}\right)}.$$

$$C_{gcs} = \frac{C_{ox}}{1 + ETAC0 \exp\left(-\frac{V_{gt}}{ETAC0 V_{th}}\right)},$$

$$C_{ox} = WL\epsilon_i / TOX, \quad \eta_{cd} = ETAC0 + ETAC0 \cdot V_{dse},$$

$$V_{dse} = \frac{V_{ds}}{\left[1 + (V_{ds} / V_{dsat})^{MC}\right]^{1/MC}}$$

이다. I-V 입력변수 추출이 끝나면 남는 중요한 C-V 입력변수는 ETAC0, ETAC00와 MC의 세 가지인데, C-V 데이터에 대한 최소제곱법을 통해 이 세 변수를 한꺼번에 정하는 방법을 택했다. I-V 변수 추출 후에 C-V 변수를 추출하므로, C-V 입력변수 추출을 위해서는 TOX 등 기하학적 변수와 I-V 곡선이 알려져 있는 TFT에 대한 C-V 데이터가 있어야 한다. 우리는 이런 조건을 갖춘 적절한 poly-Si TFT C-V 데이터를 찾을 수 없었다. 그래서, 위의 세 입력변수에 대한 디폴트 값을 주고 C-V 곡선을 계산하여 데이터로 삼은 후에, 개

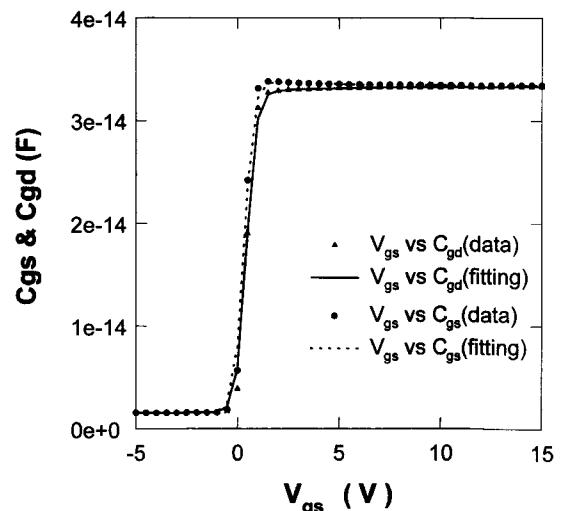


그림 4. C-V 입력변수 추출을 위해 사용된 방법의 검증. 점들은 모의 데이터이고, 선은 추출된 입력변수를 사용해 일치시킨 결과이다.

Fig. 4. Validity of C-V parameter extraction method. Dots are data generated for the test and the lines are the fitted results obtained by using the extracted input values.

발한 변수추출법을 적용하여 당초의 입력변수 값을 도로 얻을 수 있는지를 확인함으로써, 우리의 변수 추출법의 타당성을 검증하였다. 그림 4는 그 결과를 보여주는데, 점들이 모의 데이터이고 선들이 추출된 변수를 사용하여 다시 계산한 C-V 곡선이다. 일반적으로, 데이터 수가 50개 이상이면 거의 정확하게 원래의 입력변수를 도로 얻을 수 있음을 확인할 수 있었다.

### III. 단위 화소 전압에 대한 PSPICE 시뮬레이션 결과

상용 SPICE 프로그램 중 PC에서 사용할 수 있는 것에는 AIM-SPICE와 PSPICE가 있다. AIM-SPICE에는 poly-Si TFT 모델이 있지만, TFT-LCD 어레이 회로 구성을 텍스트 방법에 의존하므로 사용자가 손쉽게 사

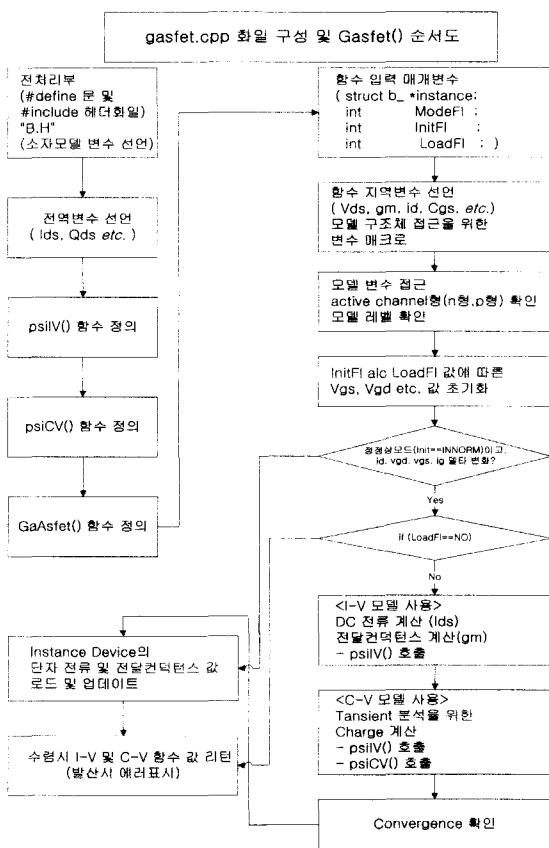


그림 5. PSPICE 버전 7.1의 gasfet() 함수 분석 알고리듬 및 이식된 알고리듬

Fig. 5. Algorithms for analysis of the gasfet() function and for TFT implantation in PSPICE version 7.1.

용하기가 어렵다. 반면, graphic user interface (GUI) 방법을 사용하여 회로를 손쉽게 구성할 수 있는 PSPICE에는 poly-Si TFT 모델이 없다. 본 연구에서는 PSPICE에 poly-Si TFT 소자를 이식하여 poly-Si TFT-LCD 시뮬레이션을 용이하고 정확하게 하고자 하였다. 그림 5에는 PSPICE 버전 7.1의 Bbreak소자인 GaAs MESFET의 소자 특성을 나타내는 gasfet() 함수를 분석한 알고리듬을 나타내었으며, 우리는 이 함수를 이용해 poly-Si TFT의 I-V특성 방정식을 나타내는 함수 psilV()와 C-V 특성을 기술하는 psiCV()함수를 위해서 언급된 방정식들을 이용하여 이식하였다. PSPICE의 상위 버전은 사용자가 소자를 이식하는 기능을 제공하지 않아 부득이 6.3 및 7.1 버전을 이용하여 소자 이식을 완료하였다. 기존의 M. Shur 그룹의 a-Si:H TFT 모델도 함께 이식하여 필요하다면 라이브러리에서 LEVEL=1(a-Si:H TFT)과 2(poly-Si TFT)를 이용하여 다결정과 비정질 모델을 선택하여 회로 시뮬레이션이 가능하도록 코딩되었다. 사용된 채널이 n-채널 (type=+1)인지 p-채널(type=-1)인지도 입력 라이브러리에서 선택할 수 있도록 구성되었다.

이식이 제대로 되었는지를 검증하기 위하여 poly-Si TFT-LCD 화소 전압 특성을 AIM-SPICE와 PSPICE로 시뮬레이션하여 비교하였다. 그림 6은 이 시뮬레이

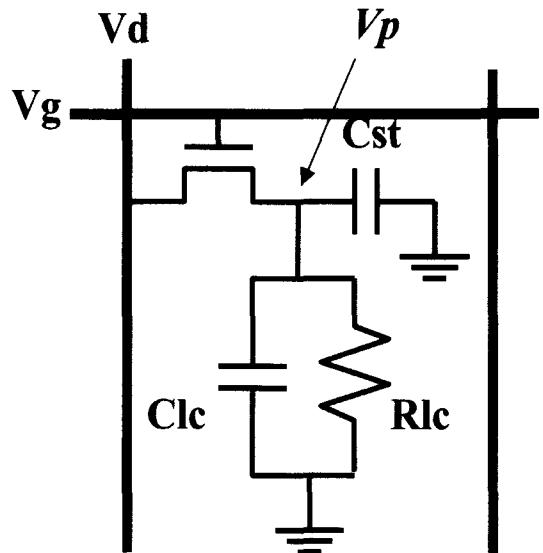


그림 6. PSPICE를 이용한 단위 화소 시뮬레이션에 사용된 등가회로

Fig. 6. Equivalent circuit for single pixel simulation using PSPICE

표 2. ELA 및 SMC poly-Si TFT-LCD에서의 킥백 전압과 충전시간.

Table 2. Kickback voltage and charging time in ELA and SMC poly-Si TFT-LCDs.

	ELA poly-Si TFT		SMC poly-Si TFT	
	pixel 만 고려	line RC delay 고려	pixel 만 고려	line RC delay 고려
$\Delta V_{kb}$ (mV)	289	126	434	346
충전시간 ( $\mu$ s)	-0.130	-1.050	-1.741	-3.125

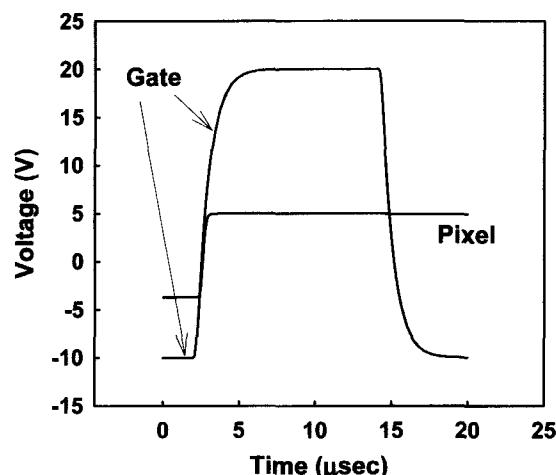
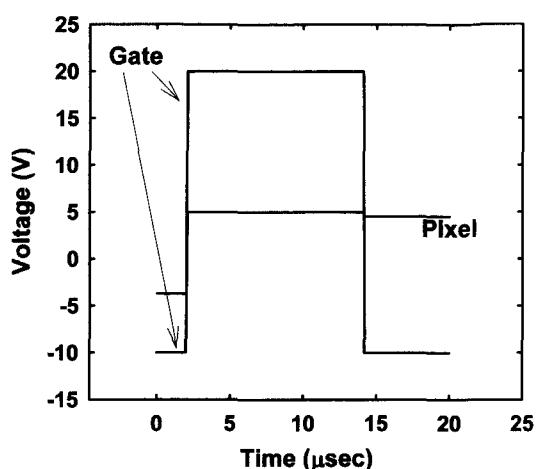


그림 7. AIM-SPICE를 이용한 시뮬레이션 결과 (점선)와 poly-Si TFT 이식 후의 PSPICE를 사용한 시뮬레이션 결과 (실선) 비교도. 두 결과가 겹쳐 실선만 보인다.

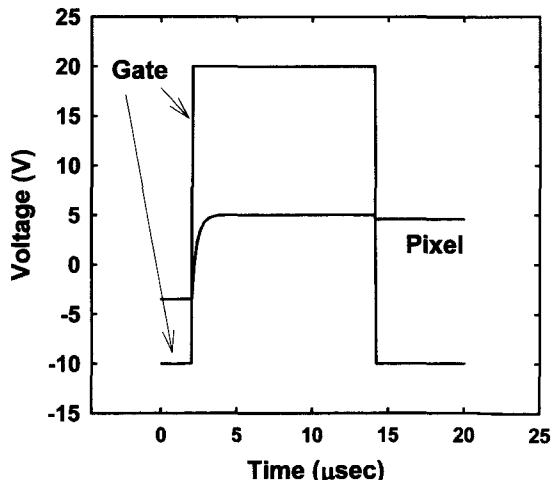
Fig. 7. Simulation results using AIM-SPICE (dotted line) and using PSPICE with implanted poly-Si TFT (solid line). The two lines coincide and only the solid line is seen.

선에 사용된 단위화소의 등가회로이다. 액정의 정전 용량( $C_{lc}$ )과 저항( $R_{lc}$ ), 저장용 정전용량( $C_{st}$ ) 값으로는 각각 0.258 pF, 0.799 TOhm, 0.7 pF을 사용하였고, -10 V에서 20 V로 바뀌는 12  $\mu$ sec 폭의 게이트 계단 펄스를 사용하였다. AIM-SPICE와 PSPICE를 사용한 시뮬레이션 결과가 그림 7에 비교되어 있다. PSPICE의 결과를 실선으로, AIM-SPICE의 결과를 점선으로 나타냈지만, 그 결과는 완전히 겹쳐 그림 7에서는 실선만 보인다. 두 시뮬레이터를 이용한 결과가 매우 잘 일치하는 것은 PSPICE에의 poly-Si TFT 소자 이식이 성공적임을 보여주고 있다.

그림 6의 등가회로에 ELA와 SMC 제작법으로 만들어진 poly-Si TFT를 사용했을 때, 즉 표 1에 추출된 입력변수를 사용했을 때, 화소 전압에서의 킥백전압  $\Delta$



(a) ELA poly-Si TFT



(b) SMC poly-Si TFT

그림 8. RC 지연을 고려하지 않은 게이트 계단 펄스에 대한 단위 화소 충전 시간 및 킥백 전압에 대한 시뮬레이션 결과. (a) ELA와 (b) SMC poly-Si TFT의 경우.

Fig. 8. Simulation results for charging time and kickback voltage in a single pixel without considering RC delay in the gate pulse. (a) For ELA and (b) for SMC poly-Si TFT.

$V_{kb}$ 와 최대 도달 전압까지의 충전 시간을 시뮬레이션 한 결과를 비교하여 그림 8에 나타내었다. 또한 표 2에는 99 % 충전 시간과 킥백 전압에 대한 수치값을 제시하였다. ELA의 경우가 SMC에 비해 충전 시간과 킥백 전압 특성 비교에서는 우수함을 보여주고 있다. ELA의 경우 충전 시간이 짧은 것은 표 1에서 보듯이 전자 이동도가 크기 때문이며, 킥백 전압이 작은 것은 VON 값이 작기 때문으로 분석되었다.

게이트 및 데이터 라인의 RC 지연을 고려하기 위해 그림 9처럼 문헌 [11]의 T3 등가회로를 사용하여 표현하였다. 40 인치 UXGA급 라인 RC 지연을 흉내내기 위해 CGT, RGT, CDT, RDT 값은 137.8 pF, 13.462

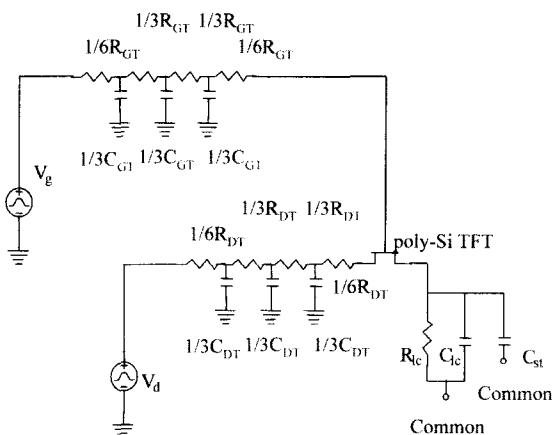
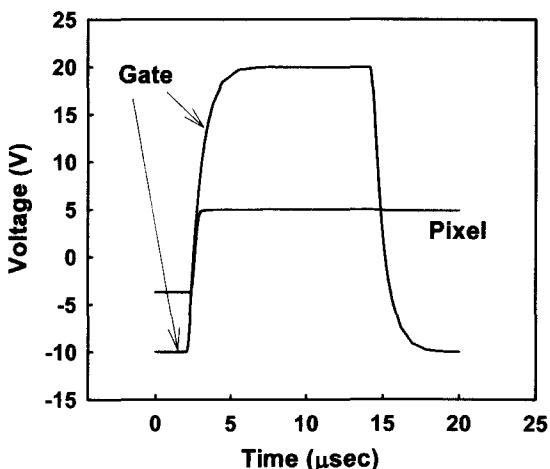
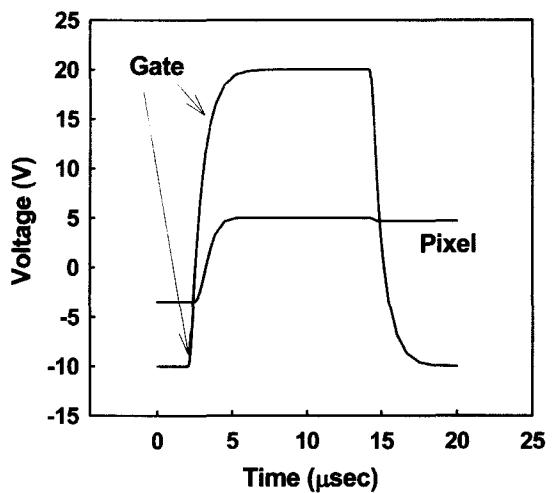


그림 9. 라인 RC 지연을 고려하기 위한 라인 및 화소 등가 회로<sup>[11]</sup>.

Fig. 9. Equivalent circuit for gate and data lines and a pixel for the simulation of the line RC delay.<sup>[11]</sup>



(a) ELA poly-Si TFT



(b) SMC poly-Si TFT

그림 10. RC 지연을 고려한 단위 화소 충전 시간 및 킥백 전압에 대한 시뮬레이션 결과 비교도. (a) ELA와 (b) SMC poly-Si TFT의 경우. Fig. 10. Simulation results for charging time and kickback voltage in a single pixel considering RC delay. (a) For ELA and (b) for SMC poly-Si TFT.

$k\Omega$ , 70.8 pF, 13.462  $k\Omega$ 을 각각 사용하였다. 그림 10에는 ELA와 SMC poly-Si TFT의 두 경우에 대한 라인 지연을 고려한 경우의 화소 전압 시뮬레이션 결과를 그림으로 비교하여 나타내었으며, 표 2에 수치값을 요약 하여 나타내었다. 라인 지연을 고려한 경우에도 ELA가 충전 시간 및 킥백 전압 특성 비교에서는 SMC에 비해 우수하게 나타났다.

#### IV. 결 론

이 논문에서는 TFT-LCD의 대화면 고화질 추세에 따라 전기적 특성을 분석하기 위해 상용 시뮬레이터인 SPICE를 효과적으로 이용하는 방법을 연구하였다. Poly Si TFT의 입력변수를 실험적인 I-V와 C-V 데이터로부터 체계적으로 추출하는 방법을 연구하고, ELA 및 SMC TFT에 적용하여 검증하였다. 또한 PSPICE 시뮬레이터에 poly-Si TFT 소자 모델을 이식함으로써, 단위 화소 및 어레이의 전기적 특성 분석을 손쉽게 분석할 수 있도록 하였다. 단위 화소 및 라인 RC 지연을 고려하지 않았을 때와 고려했을 때의 TFT-LCD 화소 전압 특성을 시뮬레이션하여 ELA 및 SMC 소자 특성을 비교 분석하였다. 이 연구의 결과는, 각 회사에서 제

작되는 소자의 I-V 특성 실험 데이터만 있다면, 그 소자를 사용한 TFT-LCD 단위 화소 및 어레이 특성을 분석하는데 큰 도움이 될 것으로 기대된다.

## 참 고 문 헌

- [1] 한민구, “저온 다결정 실리콘 TFT용 대면적 결정화 기술 연구,” 제5회 차세대 평판표시장치 기반기술개발사업 WORKSHOP 프로시딩집, 한국디스플레이연구조합, pp. 145-173, 2000.
- [2] AIM-SPICE Online Help, Version 3.5b.
- [3] Mark D. Jacunski, M. Shur, A. A. Owusu, T. Ytterdal, M. Hack, and B. Iríñez, “A Short-Channel DC SPICE Model for Polysilicon Thin-Film Transistors Including Temperature Effects,” *IEEE Transactions on Electron Devices*, Vol. 46, No. 6, pp. 1146-1158, 1999.
- [4] Mark D. Jacunski, M. Shur, and M. Hack, “Threshold voltage, field effect mobility, and gate-to-channel capacitance in polysilicon TFT’s,” *IEEE Transactions on Electron Devices*, Vol. 43, No. 9, p. 1433, 1996.
- [5] Michael S. Shur, H. C. Slade, M. D. Jacunski, A. A. Owusu, and T. Ytterdal, “SPICE Models for Amorphous Silicon and Polysilicon Thin Film transistors,” *J. Electrochem. Soc.*, Vol. 144, No. 8, pp. 2833-2839, 1997.
- [6] Michael S. Shur, M. D. Jacunski, H. C. Slade, and M. Hack, “Analytical models for amorphous-silicon and polysilicon thin-film transistors for high-definition-display technology,” *J. of the SID*, Vol. 3, No. 4, pp. 223-236, 1995.
- [7] T. A. Fjeldly, T. Ytterdal, and M. Shur, *Introduction to Device Modeling and Circuit Simulation*, John Wiley & Sons, p. 86, 1998.
- [8] W. K. Kwak, B. R. Cho, S. Y. Yoon, S. J. Park, and J. Jang, “A high performance thin-film transistor using a low temperature poly-Si by silicide mediated crystallization,” *IEEE Electron Device Lett.*, Vol. 21, pp. 107-109, 2000.
- [9] J. Jang, J. Y. Oh, S. K. Kim, Y. J. Choi, S. Y. Yoon, and C. O. Kim, “Electric-field-enhanced crystallization of amorphous silicon,” *Nature*, Vol. 395, pp. 481-483, 1998.
- [10] J. I. Ryu, H. C. Kim, S. K. Kim, and J. Jang, “A novel self-aligned polycrystalline silicon thin-film transistor using silicide layers,” *IEEE Electron Device Lett.*, Vol. 18, pp. 272-274, 1997.
- [11] Takayasu Sakurai, “Approximation of Wiring Delay in MOSFET LSI,” *IEEE Journal of Solid-State Circuits*, Vol. SC-18, No. 4, pp. 418-426, 1983.

## 저 자 소 개

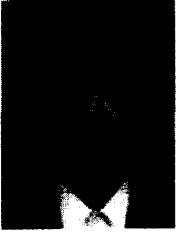
### 孫明植(正會員)

1992년 2월 중앙대학교 전자공학과 공학사. 1995년 2월 중앙대학교 전자공학과 공학석사(반도체 공학). 1999년 2월 중앙대학교 전자공학과 공학박사(반도체 공학). 1999년 3월~2001년 3월 세명대학교 전자공학과/컴퓨터응용과학과 강의교수. 2001년 4월~현재 동국대학교 밀리미터파 신기술 연구센터 연구교수. 주관심 분야는 반도체 공정/소자 모델링 및 시뮬레이션이며, 현재 밀리미터파용 GaAs와 InP 기반의 pHEMT 소자 모델링을 통한 MMIC 설계를 위한 고출력/저잡음 pHEMT 능동소자 라이브러리 구축에 대한 연구를 진행 중이며, sub-0.1/ $\mu$ m T-게이트 또는 비대칭  $\Gamma$ -게이트 pHEMT 제작을 위한 E-beam Lithography 공정 시뮬레이터 개발에 관한 연구도 진행중임

### 柳在一(學生會員)

1994년 2월 경희대학교 물리학과 이학사. 2001년 2월 경희대학교 대학원 물리학과 이학박사. 2001년 2월~현재 (주)HYDIS(현대디스플레이테크놀로지) Array 공정기술그룹 선임연구원. 주관심 분야는 TFT-LCD 시뮬레이션, 설계 및 공정, Photo Detector Array 시뮬레이션, 설계 및 공정

張震(正會員) 電子工學會誌 第26卷 第2號 參照

**沈成隆(學生會員)**

1998년 2월 경희대학교 물리학과 이학사. 2000년 2월 경희대학교 대학원 물리학과 이학석사 (반도체물리학). 주관심 분야는 반도체 양자구조의 밴드 구조 및 광학적 성질, 반도체 소자 시뮬레이션

**劉建虎(正會員)**

1982년 2월 서울대학교 물리학과 이학사. 1984년 2월 서울대학교 대학원 물리학과 이학석사 (반도체물리학). 1990년 6월 미국 MIT 물리학과 Ph.D. (반도체물리학). 1990년 6월~1991년 8월 미국 Bellcore MTS. 1991년 9월~현재 경희대학교 물리학과 조교수, 부교수, 교수. 주관심 분야는 반도체 양자구조의 밴드 구조 및 광학적 성질, 반도체 소자 시뮬레이션