

# Via 이동을 통한 결함 민감 지역 감소를 위한 시뮬레이티드 어닐링

이승환 · 손소영<sup>†</sup>

연세대학교 컴퓨터과학 · 산업시스템공학과

## Simulated Annealing for Reduction of Defect Sensitive Area Through Via Moving

Seung Hwan Lee · So Young Sohn

Department of Computer Science and Industrial Systems Engineering, Yonsei University, Seoul, 120-749

The semiconductor industry has continuously been looking for the ways to improve yield and to reduce manufacturing cost. The layout modification approach, one of yield enhancement techniques, is applicable to all design styles, but it does not require any additional resources in terms of silicon area. The layout modification method for yield enhancement consists of making local variations in the layout of some layers in such a way that the critical area, and consequently the sensitivity of the layer to point defects, is reduced. Chen and Koren (1995) proposed a greedy algorithm that removes defect sensitive area using via moving, but it is easy to fall into a local minimum. In this paper, we present a via moving algorithm using simulated annealing and enhance yield by diminishing defect sensitive area. As a result, we could decrease the defect sensitive area effectively compared to the greedy algorithm presented by Chen and Koren. We expect that the proposed algorithm can make significant contributions on company profit through yield enhancement.

**Keywords:** simulated annealing, layout, defect tolerance, via, yield enhancement

### 1. 서론

IC 공정의 수익성은 회로의 총 생산에서 작동하는 회로의 비율로 표기되는 수율에 밀접하게 관련되어 있으며 반도체 산업에서는 지속적으로 수율을 증가시켜 불량에 의한 손실을 최소화하는 방법을 찾아 왔다. 예를 들어 국내 A반도체 생산 업체의 경우 생산능력이 년 간 웨이퍼 2,640,000장이며 웨이퍼당 약 400개의 칩이 생산됨을 감안하면 1%의 수율 향상으로 약미화 84백만 불에 해당하는 이윤을 창출 할 수 있다. 이는 256M DRAM, 300mm 웨이퍼 공정 등과 같은 향후의 추세에는 더욱 비용적 효과가 증대할 것으로 예측된다. 이렇게 업체의 이윤

에 직접적인 영향을 미치는 수율을 올리기 위해 여러 설계나 공정 기법 등이 개발되었다. 그러나 계속적으로 발전되는 설계, 제조 기술로 인한 면적과 밀도의 고집적화에 반하여 미크론 이하로 제작되는 디자인, 증가되는 칩의 면적, 한 다이에서 디바이스의 밀도와 수의 증가 등으로 인하여 수율은 저하되었다. 이러한 문제들은 먼지, 환경입자, 화학물질, 이온화되지 않은 물, 제조 장비의 오작용 등의 발생으로 생기며 이를 해결하기 위해 제조 공정에서 고장 분석 등을 사용하고 있었다. 하지만 고장 분석은 생산 후의 제품으로부터 분석을 함으로 비용이나 시간 등의 손실이 생긴다. 이를 예방하기 위해 초기 설계 단계에서부터 수율을 고려하여 회로를 설계하였고 이에 따라 수율 향상과 제조 공정에서의 비용이 절감되었다.

이 논문은 1997년도 학술진흥재단의 연구비에 의하여 연구되었음(KRF-97-005-E00191).

<sup>†</sup> Corresponding author: Professor So Young Sohn, Department of Computer Science and Industrial Systems Engineering, Yonsei University, Shinchondong, 134, Seoul, Korea; Fax 82-2-367-7807; e-mail sohns@yonsei.ac.kr

2001년 3월 접수, 2회 수정(16주 소요) 후, 2001년 12월 게재 확정.

초기 설계 단계에서 수율을 향상시키기 위해 Defect-Tolerance, PLA(Programmable Logic Arrays), 웨이퍼 수준의 집적 시스템 등의 많은 기법들이 제안되었다. 부가적인 모듈을 부착하여 신뢰성을 부가하는 Defect-Tolerance 기법 중 하나인 병렬 라인 기법(Redundancy)은 모듈의 추가로 인한 칩의 크기나 회로의 배치에 따라 디자인이 변화가 되어야 하는 약점이 있으며, 또 복잡한 설계 구조를 가지는 비메모리분야에는 적용이 힘들다. 하지만 다른 Defect-Tolerance 기법인 레이 아웃 기법은 wire의 배선에 따른 결함 민감 지역(critical area)을 최소화하는 기법으로 모든 디자인에 적용하기 쉬우며 새로 추가되는 면적이 없다는 장점을 가지고 있다.

레이 아웃에서는 칩의 수율을 높이기 위하여 open-circuit fault(단선), short-circuit fault(합선)로 인해 결함(spot defect)을 최소한 줄이려고 한다. 이를 위해서 결함에 영향을 받는 면적, 즉 결함 민감 지역을 최소화해야 할 필요가 있다. 대부분의 레이 아웃 기법들은 레이아웃에서 트랙 간의 재지정이나 다른 트랙과의 교환을 통해 short-circuit fault가 일어날 확률을 줄이거나 배선의 길이를 짧게 하여 open-circuit fault가 발생할 확률을 줄여 수율을 향상하고자 하는 데 목적이 있다. 하지만 다른 방식을 통해서도 결함 민감 지역을 줄일 수 있으며 이러한 방법 중 하나가 via 이동 방법이다. Chen and Koren(1995)은 컬럼과 트랙이 레이어를 통해 만나는 지점인 via를 이동하여 결함 민감 지역을 줄이는 greedy 알고리즘을 개발하였으나 결함 민감 지역을 최대 줄이는 구간을 우선적으로 지정하는 방식이라 local minimum에 빠질 위험이 있다. 이런 위험을 방지하고 결함 민감 지역을 global 관점에서 줄이기 위하여 본 논문에서는 조합적 최적화의 한 기법인 시뮬레이티드 어닐링을 통해 결함 민감 지역을 최소화하여 레이 아웃의 수율을 향상하고자 한다.

본 논문의 구성은 다음과 같다. 2장에서는 기존 문헌을 고찰하였으며, 3장에서는 via 이동으로 결함 민감 지역을 최소화하는 방법에 대해, 4장에서는 시뮬레이티드 어닐링을 통한 via 이동을 실제 예에 적용하여 실험하고 끝으로 연구의 결과를 정리하였다.

## 2. 문헌 고찰

비용함수의 최적점을 찾는 조합적 최적화(combinatorial optimization)의 한 해법으로 Kirkpatrick *et al.*(1983)에 의해 제안된 시뮬레이티드 어닐링은 기존의 반복적인 개선에 근거한 발견적 기법들이 국부최소점에 빠져버리는 단점을 개선한 범용의 최적화 기법으로 현재까지 CAD를 비롯한 많은 분야에서 응용되고 있다. 시뮬레이티드 어닐링은 반복적 개선법을 기본으로 하되 비용증가의 이동을 확률적으로 허용하는 데 있다. 시뮬레이티드 어닐링의 기본 아이디어는 고체물리학에서 에너지 수준이 가장 낮은 상태인 결정을 얻기 위해서 이용하고 있는 어닐링 과정을 조합적 최적화 문제에 모사하는 것이다. 어닐

링에 대한 확률적 모사는 Metropolis 알고리즘을 사용한다. Metropolis 알고리즘은 고체가 열평형 상태에 도달하는 과정에서 에너지의 차이( $\Delta$ )가 0 이하이면 다음의 상태로 가며 0 이상이면 변동율 식(1)과 같은 확률로 받아들인다.

$$\exp\left(-\frac{\Delta}{k_b T}\right), k_b = \text{볼츠만상수}, T = \text{온도} \quad (1)$$

온도를 고정시키고 이 과정을 충분히 반복하면 고체의 상태 분포가 볼츠만 분포를 따르게 되어 열평형에 도달하게 된다. 시뮬레이티드 어닐링도 이와 같이 충분히 반복 후 수렴하는 값이 곧 근사적으로 최적점이 된다.

Karri and Orailoglu(1994)는 칩의 수율을 향상시키는 방법으로 결함에 민감한 칩의 면적을 최소화하기 위해 시뮬레이티드 어닐링을 이용하여 레이 아웃의 결함 민감 지역을 근사적으로 최적화하는 기법을 제시하였다.

레이 아웃에서 결함 크기의 종류( $\delta_i, i=1, 2, \dots, n$ )에 민감한 지역  $A_{sens}(\delta_i)$ 를 한 트랙에서 근접한 트랙 간의 거리가 결함의 직경보다 작은 면적으로 정의하였고, 칩의 전체 면적을  $A_{IC}$ 라 할 때 결함 종류에 대한 칩의 민감도  $S(\delta_i)$ 를 다음과 같이 정의하였다.

$$S(\delta_i) = \frac{A_{sens}(\delta_i)}{A_{IC}} \quad (2)$$

단순 포아송 모형에 적용한다면 수율  $Y$ 는 다음과 같이 구할 수 있다.

$$Y = Y_0 \times e^{-\sum_i D(\delta_i) \times A_{sens}(\delta_i)} \quad (3)$$

여기서  $D(\delta_i)$ 는  $\delta_i$  결함률이며,  $Y_0$ 는 반도체 공정에서 클러스터 결함을 나타내는 그로스 클러스터 수율(gross cluster yield)이다.

Karri and Orailoglu(1994)는 결함에 민감한 지역  $A_{sens}(\delta_i)$ 를 줄이기 위해서 두 트랙을 바꾸거나 한 트랙을 빈자리에 재지정하여 민감한 지역을 최소화하는 기법을 시뮬레이티드 어닐링을 이용하여 구현하였다.

Kuo(1993)는 수율의 최적화에 영향을 미치는 요소가 결함 민감 지역과 via라 하였다. 이에 결함의 영향을 받는 면적을 레이어의 수직(net floating), 수평(net burying)한 부분으로 나누어 생각했고, 각 via의 가중치를 설정한 후 via의 유무에 따른 선(wire)의 증가, 감소를 설정하였다. 위의 두 가지 요소를 YOR(yield optimizing routing) 알고리즘을 이용하여 해결하였다.

Chen and Koren(1995)은 수율 향상을 위한 기법으로 via를 위한 greedy 알고리즘과 Network Bipartitioning 알고리즘을 제시하였다. Network Bipartitioning 알고리즘은 각 wire에서의 via가 잠재적으로 생성될 수 있는 지점을 각 wire가 꺾여지는 곳이나 wire segment의 접점으로 선택하는 기법이다.

Greedy 알고리즘은 두 배선이 겹쳐져 있을 경우 생기는 결

합 민감 지역을 via의 이동을 통하여 제거하는 기법이다. 또 via 이동이 다른 배선에 의해 막혀있을 경우 via 이동 block과 release를 통하여 via의 잠재적인 이동 가능 범위를 넓혀 보다 효과적으로 결합 민감 지역을 줄인다.

Chen and Koren(1995)이 제시한 Greedy 알고리즘의 구성은 다음과 같다.

1. 결합 민감 지역이 최소화되도록 하는 각 via의 잠재적 이동 가능 위치를 지정한 후 이동을 한다.
2. 결합 민감 지역이 가장 많이 줄어드는 via 이동 순서로 정렬을 한 후 가장 높은 값을 갖는 다섯 개의 via를 지정한다.
3. 선택된 다섯 개의 via 중에서 근접해 있는 배선이 없고 최고의 값을 얻을 수 있는 via를 선택한다. 만약 없다면 via의 움직임으로 얻을 수 있는 값의 비율로 via를 선택한다.
4. 선택된 via를 적정 지역으로 이동한다. 그 후 새로운 근접해 있는 네트와의 결합 민감 지역의 변동을 변경한다.
5. 결합 민감 지역이 줄었다면 2번으로 이동하며, 그렇지 않다면 via 이동 블록과 릴리즈를 실행 한 후 2번으로 이동한다. 만약 모든 via 이동의 block과 release가 실행되면 정지한다.

이와 같이 제시된 greedy 알고리즘은 결합 민감 지역을 최소화하는 via 이동을 우선적으로 지정하여 단계적인 진행을 하는 소위 반복적 개선법(iterative improvement)이기 때문에 얻어지는 해가 국부최소해(local minimum)라 볼 수 있다. 이에 본 논문에서는 이러한 단점을 극복하기 위해 시뮬레이티드 어닐링을 사용하여 via의 위치를 변화시켜 전체적으로 근사적 최소값을 가지는 해를 찾고자 한다.

### 3. 시뮬레이티드 어닐링을 이용한 레이아웃 최적화

결합 민감 지역을 줄이기 위해 Karri and Orailoglu(1994)가 제시한 시뮬레이티드 어닐링을 이용한 레이아웃은 트랙 간의 재지정, 교환을 통해 트랙 사이의 결합 민감 지역을 줄이고자 하는데 목적이 있었다. 하지만 이러한 트랙의 변화 외의 다른 방식을 통해서도 결합 민감 지역을 줄일 수 있으며 이러한 방법 중 하나가 via 이동 방법이다. Chen and Koren(1995)은 via 이동을 이용한 greedy 알고리즘을 개발하였으나 문헌 고찰에서 본 바와 같이 결합 민감 지역을 최대 줄이는 구간을 우선적으로 지정하여 단계적인 진행을 하는 소위 반복적 개선법(iterative improvement)이기 때문에 얻어지는 해가 국부최소해(local minimum)라 볼 수 있다. 국부최소해에 빠지는 단점을 막기 위하여 본 논문에서는 시뮬레이티드 어닐링을 사용하여 via의 위치를 변화시켰다. 비용함수의 최적점을 찾는 조합적 최적화(combinatorial optimization)의 하나인 시뮬레이티드 어닐링은 기존의 반복적인 개선에 근거한 발견적 기법들이 국부 최소점에 빠지는 단점을 개선한 범용의 최적화 기법이다. 시뮬레이티드 어닐링 방법은 충분한 시간이 주어진다면 최적해

에 만족할 정도로 가까이 접근하므로 결합 민감 지역을 최소화하는 목적에 적합하다고 볼 수 있다. 시뮬레이티드 어닐링 방법은 TSP (traveling salesman problem), GPP(graph partitioning problem), matching problems, QAP(quadratic assignment problem), scheduling problems 등 여러 문제의 최적화에 적합한 것으로 알려져 있고, 처음 소개될 때부터 VLSI 설계에 적용되어 상당한 성공을 거두었다. 이와 같이 VLSI 설계, 레이아웃 기법 등에 자주 쓰이는 시뮬레이티드 어닐링을 이용하여 결합 민감 지역을 최소화시키고자 한다.

본 논문을 전개하기 전에 레이아웃에서 쓰이는 용어에 대한 정의를 내리고자 한다. 결합이란 레이어 위에 위치하여 회로의 정상적인 수행을 방해하는 방해 요소라 정의한다. 즉, 제작 공정에서의 물리적, 화학적 실수로 인하여 생겨진 어떠한 물질이 레이어에 생겨 트랙이나 컵럼을 단선 또는 합선시켜 회로의 정상적인 활동에 영향을 미치는 현상을 뜻한다. Stapper et al.(1993)은 이러한 결합을 defect와 fault로, Michalka et al.(1990)은 non-fatal과 fatal defect로 나누었다. defect나 non-fatal은 고장에 영향을 미치지 않는 결합을 말하며 fault나 fatal은 고장에 직접적인 영향을 미치는 결합을 뜻한다. 본 논문에서 쓰이는 결합은 직접적인 영향을 미치는 결합인 fault나 fatal defect를 의미한다. 회로 요소 중 라우팅 면적(routing area)으로 구분되는 지역을 채널이라 한다. 채널 라우터는 이 지역에서 배선의 양끝을 잇는 것을 말하며 이렇게 연결된 배선을 네트라 부른다. 배선의 양끝은 흔히 정수로 표현되며 같은 숫자를 가지는 정수끼리 연결되며 각 정수는 터미널로 불린다. 이 배선 연결은 수직적인 컵럼(column)과 수평적인 트랙(track)으로 이루어져 있으며 컵럼과 트랙은 서로 다른 레이어에 배치된다. 즉, 레이어의 앞면에서 앞 레이어에 트랙이 배치된다면 뒤 레이어는 컵럼이 배치되며 컵럼과 트랙이 연결되는 지점을 via라 한다. <그림 1>에서 1과 2의 정수를 가지는 터미널이 있으며 각 정수를 잇는 배선인 네트가 있다. 검은 점으로 되어 있는 부분이 via이다.

만약, 결합이 <그림 1>의 흐린 직사각형 부분에서 발생했으며 결합의 크기( $\delta$ )가 <그림 1>에서 흐린 직사각형 부분의 배선을 침범한다면, 고장이 일어나며 이러한 직사각형을 결합 민감 지역이라 부른다. 채널 라우팅 문제는 서로 연결된 모든 터미널의 배선이 서로 다른 두 네트 간의 short-circuit fault를 일으키지 않도록 하는 것이다. 2차원상의 라우팅 문제에서, 한 트랙과 바로 위의 트랙, 혹은 바로 아래 트랙은 근접해 있다고

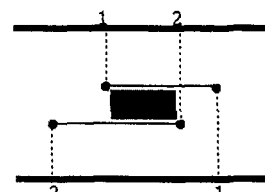


그림 1. 레이아웃 예제.

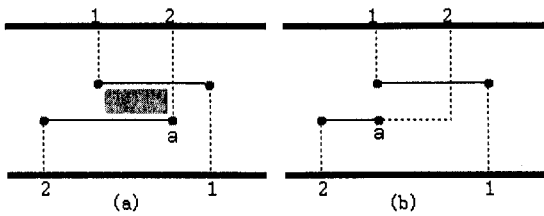


그림 2. via의 이동에 따른 결함 민감 지역 제거.

하며 그렇지 않을 경우 엇갈려 있다고 한다.

원본 레이아웃인 <그림 2(a)>에서 via a가 <그림 2(b)>에서의 via a의 위치로 이동으로 인하여 1번 넷에서의 트랙의 일부가 반대쪽의 레이어로 옮겨졌다. 이에 따라 직사각형으로 표시된 결함 민감 지역이 제거됨을 알 수 있으며 이것을 via 이동이라 부른다. 만약 레이아웃에서 수율이 최우선 문제라 생각한다면 via 이동에 따라 최소화되는 결함 민감 지역에 따라 수율이 더욱 향상됨을 짐작할 수 있다. 즉, 결함이 발생할 수 있는 결함 민감 지역이 최소화되므로 결함이 일어날 확률은 줄어들며, 곧 수율의 향상으로 이어진다.

각 iteration에서는 난수적으로 선택된 via의 잠재적 이동 가능 위치로의 이동에 의해서 새로운 해가 만들어진다. via의 잠재적 이동 가능 위치는 터미널을 있는 넷 중 어디서나 생성될 수 있다. 하지만 본 논문에서는 계산의 용이함을 위해 컬럼이 생성되는 위치와 트랙이 만들어지는 위치가 교차되는 지점을 선택하였다.

<그림 3>에서  $x_1$ 부터  $x_4$ 가 컬럼이 생성될 수 있는 위치이며  $y_1$ 부터  $y_3$ 가 트랙이 생성될 수 있는 위치라 할 때 굵은 선으로 표시된 넷에서 via의 잠재적 이동 가능 위치는 굵은 점으로 되어 있는 부분과 같다. via의 잠재적 이동 가능 위치의 설정에서 선택된 via 이외의 via를 움직임으로써 선택된 via의 잠재적 이동 가능 위치를 더욱 늘릴 수 있는 경우가 있다.

<그림 3>에서 via a가 선택되었다고 했을 경우 원본 레이아웃 <그림 3>의 (a)에서 via a는 터미널 2를 있는 넷과 터미널 3을 있는 넷이 교차되는 지점 사이에서 움직일 수 있다. 하지만 선택되지 않는 via b를 <그림 4>의 (b)처럼 움직여 준다면 via a의 잠재적 이동 가능 위치는 더욱 넓어지며 그에 따른 결함 민감 지역을 줄일 수 있는 기회를 더욱 갖게 된다. 이 경우 via a는 via b에 의해 이동할 수 있는 위치가 블록되어 있다고 하며 via b를 움직여 via a의 잠재적 이동 가능 위치를 넓히는 것을 via a의 릴리즈라 한다.

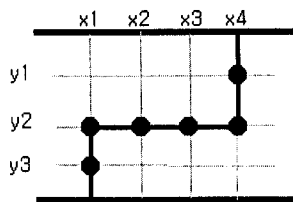


그림 3. via의 잠재적 이동 가능 위치의 설정.

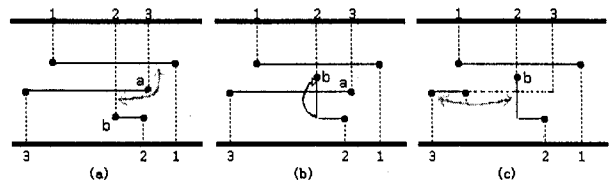


그림 4. via 블록(a)과 릴리즈(b, c).

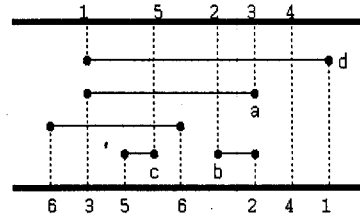


그림 5. 움직일 via의 선택.

그렇다면 선택된 via a의 잠재 이동 가능 위치를 늘리기 위해 다른 via를 선택하여 움직여야 하는 데 어떤 via를 선택해야 하는지가 문제가 될 수 있다.

<그림 5>에서 via a가 선택되어 잠재적 이동 가능 위치를 넓히고자 블록과 릴리즈를 사용하려고 할 때 터미널 3을 있는 넷과 마주치는 다른 넷의 via를 움직여야 한다. <그림 5>에서 터미널 3을 있는 넷과 마주치는 넷은 터미널 1, 2, 5를 있는 넷이며 터미널 4, 6과는 마주치지 않는다. 터미널 1, 2, 5에서 via b, c, d를 움직여야 잠재적 이동 가능 위치가 넓어지지만, via c는 터미널 6을 있는 넷을 통과해야 하므로 움직이지 못하며 via d도 터미널 4를 있는 넷을 통과해야 하므로 움직이지 못한다. 결국, via b만이 움직여 via a의 잠재적 이동 가능 위치를 확장시킬 수 있다. 레이아웃상에서 넷은 서로 간에 연관되어 설계되어 있기 때문에 블록과 릴리즈를 시행한 잠재적 이동 가능 위치는 결함 민감 지역을 줄이는 이동 가능 위치뿐만 아니라 넓히는 이동 가능 위치 또한 생성된다. 잠재적 이동 가능 위치를 선택할 경우, 결함 민감 지역을 줄일 수 있는 위치만을 선택한다면 앞에서 기술한 것과 같이 최종 결과가 국부최소해에 도달할 위험이 있으므로 이동 후 결함 민감 지역이 늘어날 수 있는 경우 또한 선택했다. 하지만 결함 민감 지역이 줄어드는 위치를 선택할 확률을 늘어나는 위치보다 높게 설정하였다.

한 넷에서 어떤 잠재적 이동 가능 위치를 선택하여 승인하는 확률  $Pr_{accept}$  는 식 (4)와 같다.

$$Pr_{accept} = 1 - \frac{A_{red}}{\sum_{p=1}^s |A_{dec,p}| + \sum_{q=1}^t (A_{inc,q} \times \eta + |\min(A_{dec,p})|)} \quad (4)$$

$p$ : 결함 민감 지역이 줄어드는 잠재적 이동 가능 위치,  $p=1,$

$\dots, s$

$q$ : 결함 민감 지역이 늘어나는 잠재적 이동 가능 위치,  $q=1,$

$\dots, t$

$A_{dec,p}$ : 결함 민감 지역이 줄어들 경우의 변화량, 음수

$A_{inc,q}$  : 결합 민감 지역이 늘어날 경우의 변화량  
 $\min(A_{dec,p})$  : 결합 민감 지역이 줄어들 경우 중 최소값  
 $A_{red}$  : 선택된 잠재적 이동 가능 위치에서 결합 민감 지역의 변화량  
 $\eta$  : 조정 계수

계산 중 결합 민감 지역이 줄어드는 경우,  $A_{dec,p}$ 는 음수값이 나오므로 절대값을 사용한다. 결합 민감 지역이 늘어나는 경우는 원래의 값에  $\min(A_{dec,p})$ 을 더하여 계산하며  $A_{red}$ 도 같은 방식을 사용한다. 또한 조정 계수는 결합 민감 지역이 늘어날 경우 적용이 되며, 시뮬레이티드 어닐링에서 결합 민감 지역이 커질 경우의 승인하는 값의 변화를 주기 위하여 사용한다.

승인된 결합 민감 지역의 변화량,  $A_{dec,p}$  또는  $A_{inc,q}$ 가 하나의 iteration에서의 최종값  $\Delta A$ 가 되며  $j$ 가 현재 iteration의 횟수라할 때 기존의 총결합 민감 지역의 전체 면적  $A_j$ 에 더해져 변화시킨 총결합 민감 지역인  $A_{j+1}$ 이 구해진다.

$$A_{j+1} = A_j + \Delta A \quad (5)$$

이와 같이 iteration이 반복되며, 일정 iteration 횟수에 도달하거나  $\Delta A$ 가 지정된 횟수 내에 변화되지 않는다면 반복을 멈추고 그때의 총결합 민감 지역을 레이아웃의 최종 결합 민감 지역의 면적  $A_{sens}(\delta_i)$ 로 계산한다.

#### 4. 실험

제시된 알고리즘의 효율성을 평가하기 위하여 Yoshimura and Kuh(1982)가 제시한 채널 라우팅 벤치마크의 예제 5가지를 이용하였다. 트랙과 트랙 사이, 컬럼과 컬럼 사이의 거리를 1로 똑같이 고정시켰으며 계산의 간편성을 위하여 크기는 1(즉,  $\delta_i = 1$ )인 short-circuit 결합을 고려하였다. 또한, via 자체에서 일어나는 결합으로 via의 개수로 인한 수율의 변화도 발생하지만 본 논문에서는 via의 개수보다 결합 민감 지역에 중점을 두어 실험하였다. 레이어의 배선의 길이에 대한 변화는 없으므로 open-circuit 결합은 고려하지 않았다. 결합이 발생하였을 경우 성능에 영향을 미치는 결합 민감 지역이 줄어들수록 레이아웃의 수율은 더욱 향상될 것은 자명하다. 식 (3)에서 결합 밀도 함수  $D(\delta_i)$ 가 일정할 경우 결합 민감 지역  $A_{sens}(\delta_i)$ 가 줄어든다면 수율은 향상된다. 그러므로, 본 논문에서는 시뮬레이티드 어닐링을 이용한 알고리즘을 통하여 줄어든 결합 민감 지역의 크기와 원래 결합 민감 지역의 크기를 비교하였다. 또한 Chen and Koren(1995)이 제시한 via 이동 greedy 알고리즘을 이용하여 결합 민감 지역의 크기를 서로 비교해 보았다.

알고리즘에 사용한 프로그램은 엑셀과 비주얼 베이직을 사용하였다. 각 예제마다 시뮬레이션 어닐링의 반복은 4000번을 하였고 중간에 30 iteration 동안 결합 민감 지역이 감소하지 않

표 1. 각 예제의 조정 계수에 따른 반복횟수

	$\eta=0.25$	$\eta=0.5$	$\eta=1.0$	$\eta=1.5$	$\eta=2.0$	$\eta=3.0$
Ex. 1	481	628	913	1287	1615	2274
Ex. 3a	624	1005	1376	1783	2342	2850
Ex. 3b	795	1136	1622	2189	2657	3314
Ex. 3c	886	1270	1796	2374	2726	3545
DDE	1389	1847	2479	3199	3760	4000

을 경우 알고리즘을 중지하여 그때의 결합 민감 지역의 크기를 측정하였다. 나타난 결과의 신뢰성을 확보하기 위하여 같은 예제를 5회 이상 반복 실험하였으며 조정 계수  $\eta$ 를 0.25에서 3.0 사이의 여섯 항목으로 가정하여 실험하였다.

<표 1>은 각 예제마다 조정 계수를 달리 하였을 경우 시뮬레이티드 어닐링의 iteration 횟수의 변화를 나타낸다. 표 안의 수가 4000번 미만인 경우는 iteration 도중 30회 동안 값의 변화가 없어 계산을 멈춘 경우이다. 결합 민감 지역의 넓이가 클수록, 그리고 조정계수값이 커질수록 실험의 계산 횟수가 커짐을 알 수 있다. <표 1>에서 굵게 표시된 활자는 각 예제에서 결합 민감 지역의 크기가 최소값이 나온 경우를 표시하였다. Ex 1와 Ex 3a에서는 조정계수값이 1.0 이상인 경우, Ex 3b는 1.5 이상인 경우, Ex 3c와 DDE의 경우 2.0 이상인 경우 최종 결과값이 같게 나왔다. 이 표에서 조정 계수값이 적을 경우 각 iteration에서의 면적의 변화에 대한 승인 폭이 적어지므로 최적 해를 구할 확률과 계산 횟수가 적어짐을 알 수 있으며, 조정 계수값이 커질수록 변화에 대한 승인 폭이 커지므로 계산 횟수는 많아지나 그만큼 최적 해를 찾아 낼 확률이 높아짐을 알 수 있다.

<표 2>는 각 예제의 결합 민감 지역의 최소값을 레이아웃 원본과 비교한 후 감소된 퍼센트를 표기하였으며, Chen and Koren(1995)의 알고리즘의 결과도 본 논문의 알고리즘과의 비교를 위하여 표시하였다.

결과적으로 본 논문이 제시한 시뮬레이티드 어닐링을 이용

표 2. 벤치마크 예제를 통한 두 알고리즘의 결과

예제	레이아웃 원본	Chen과 Koren 알고리즘		본 논문 알고리즘	
	결합 민감 지역	결합 민감 지역	% 감소	결합 민감 지역	%감소
Ex. 1	503	453	9.94	441	12.33
Ex. 3a	874	794	9.15	761	12.93
Ex. 3b	1244	1134	8.84	1101	11.50
Ex. 3c	1441	1296	10.06	1240	13.95
DDE	4721	4287	9.19	4155	11.99
평균			9.44		12.54

한 알고리즘은 원래의 결합 민감 지역을 평균 12.54% 감소시켰으며 평균 9.44% 감소시킨 Chen and Koren(1995)의 greedy 알고리즘보다도 우수한 성능이 나타남을 알 수 있다. 즉, via 이동을 이용한 greedy 알고리즘이 가지는 반복적 개선법보다 조합적 최적화의 해법을 가지는 시뮬레이티드 어닐링 기법이 더욱 최적 해에 가까운 결과를 나타내었다고 볼 수 있다.

## 5. 결론 및 향후 연구 과제

본 논문에서 제시된 기법은 레이아웃에서의 수율 향상을 위해 시뮬레이티드 어닐링을 통하여 결합 민감 지역이 최소화되도록 via를 이동하였다. 또 via 이동시 블록과 릴리프를 사용하여 잠재 이동 가능 위치의 더 많은 확장을 피했다. 그 결과 본 논문이 제시하고 있는 via 이동을 통하여 결합 민감 지역을 보다 감소시킬 수 있었으며 이를 통해 높은 수율이 나올 수 있다는 것이 나타났다. 본 논문이 제시한 via 이동 알고리즘을 Karri and Orailoglu (1994)가 제시한 시뮬레이티드 어닐링 알고리즘과 결합하여 사용하면 결합 민감 지역을 더 줄일 수 있을 것으로 생각되며 이 부분을 추후의 연구과제로 남겨둔다. 제안된 수율 향상 기술의 가장 큰 특징은 추가적인 지역 할당이 요구되지 않는다는 점이다. 또한 트랙이나 컬럼의 이동으로 인한 디자인의 변경이 필요 없으며 via의 단순한 이동을 통하여 결합 민감 지역의 최소화를 피할 수 있다는 점이다. 더욱더 복잡해지는 미래의 제품에 본 논문이 제안한 기법을 이용한다면 큰 어려움 없이 결합 민감 지역을 줄이고 수율을 향상 시켜 수익성을 극대화하는 데 일조할 것으로 예상된다.

## 참고 문헌

- Chen, Z. and Koren, I. (1995), Layer Assignment for Yield Enhancement, *Proceedings of IEEE International Workshop on Defect and Fault Tolerance in VLSI Systems*, 173-180.
- Cunningham, J. A. (1990), The use and evaluation of yield models in integrated circuit manufacturing, *IEEE Transactions on Semiconductor Manufacturing*, 3(2), 60-71.
- El-Kareh, B., Ghatalia, A. and Satya, A. V. S. (1995), Yield Management in Microelectronic Manufacturing, *Proceedings of Electronic Components and Technology Conference*, 45th, 58-63.
- Israel, K. and Zahava, K. (1998), Defect Tolerance in VLSI Circuits: Techniques and Yield Analysis, *Proceedings of the IEEE*, 86(9), 1819-1838.
- Karri, R. and Orailoglu, A. (1994), Simulated Annealing Based Yield Enhancement of Layouts, *Proceedings of Fourth Great Lake Symposium on Design Automation of High performance VLSI System GLSV*, 166-169.
- Kuo, S. (1993), YOR: A Yield-Optimizing Routing Algorithm by Minimizing Critical Areas and Vias, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 12(9), 1303-1311.
- Michalka, T. L., Varshney, R. C. and Meindl, J. D. (1990), A Discussion of Yield Modeling with Defect Clustering, Circuit Repair, and Circuit Redundancy, *IEEE Transaction on Semiconductor Manufacturing*, 3(3), 116-127.
- Stapper, C. H., Patrick, J. A. and Rosner, R. J. (1993), Yield Model for ASIC and Processor Chips, *The IEEE International Workshop on Defect and Fault Tolerance in VLSI Systems*, 136-143.
- Stapper, C. H. and Rosner, R. J. (1995), Integrated Circuit Yield Management and Yield Analysis: Development and Implementation, *IEEE Transactions on Semiconductor Manufacturing*, 8(2), 95-102.
- Tyagi, A., Bayoumi, M. and Manthravadi, P. (1994), Yield Enhancement in the Routing Phase of Integrated Circuit Layout Synthesis, *Proceedings of Sixth Annual IEEE International Conference on Wafer Scale Integration*, 52-60.
- Yoshimura, T. and Kuh, E. S. (1982), Efficient Algorithms for Channel Routing, *IEEE Trans. on Computer Aided Design*, 1(1), 25-35.