

Single-Phase 3-level PWM Inverter for Harmonics Reduction

姜 弼 淳* · 朴 晟 濬** · 金 喆 禹***
(Feel-Soon Kang · Sung-Jun Park · Cheul-U Kim)

Abstract - This paper presents a single-phase 3-level PWM inverter to alleviate the harmonic components of output voltage and current under the conditions of identical supply DC voltage and switching frequency to the conventional inverter. Operational principles and analysis are performed, and the switching functions are derived. Deadbeat controller is also designed and implemented for the inverter to keep the output voltage being sinusoidal and to have the high dynamic performances even in the cases of load variations and the partial magnetization of filter inductor. The validity of proposed inverter is proved from the simulated and experimented results.

Key Words : PWM Inverter, Total Harmonic Distortion, Distortion Factor

1. 서 론

PWM 인버터는 출력 전압과 주파수를 동시에 제어할 수 있는 장점을 가지고 있어 여러 산업분야에서 크게 각광을 받고 있다. 그러나 인버터의 출력 파형에 존재하는 기본파 성분 이외의 고조파 성분은 전자유도 장애, 각종 계전기들의 오동작, 전동기 소음 및 토크 맥동 등을 발생시키는 원인이 된다 [1]-[3]. 또한 인버터의 정격은 스위칭 소자의 전류 정격으로 제한되며, 이로 인하여 필터부를 가진 인버터에서 전동기를 기동할 경우 순간적인 큰 기동전류로 인해 인버터는 큰 전류 정격의 스위칭 소자를 요구하게 된다. 최근 이러한 원인들을 제거하기 위해서 인버터 자체에서 발생하는 고조파 성분을 최대한 억제하기 위한 연구와 한시적인 전류 정격 상승을 보상할 수 있는 연구가 활발히 진행되고 있다 [4]-[10]. 인버터 자체에서 발생하는 고조파 성분을 억제하기 위한 연구들 중 동일한 스위칭 주파수 하에 인버터에서 발생하는 고조파 성분을 억제하기 위해 한 암에 4개의 스위칭 소자를 사용하는 NPC (Neutral Point Clamped) PWM 3상 인버터는 선간 출력 파형이 3 레벨이 되어 기존의 풀-브리지 3상 PWM 인버터에 비하여 고조파 함유량을 크게 줄일 수 있는 특징을 갖고 있다. 그러나 단상인 경우에는 이러한 연구가 아직까지 미흡한 실정이다. 현재까지 가장 널리 이용되고 있는 단상 인버터는 근사 정현파 변조 기법에 의한 풀-브리지 방식의 인버터이다. 이 인버터의 경우 출력 전압이 영(Zero)

과 正의 직류 전원 전압과 負의 직류 전원 전압으로 나타난다. 이러한 전력 회로의 경우 출력 전압의 고조파 성분은 스위칭 주파수와 스위칭 온·오프 함수에 의해 결정되며, 이 경우 고조파 성분을 줄이는 데는 한계가 있다. 따라서 본 논문에서는 동일조건인 직류 전원 전압과 스위칭 주파수 조건의 단상 인버터에서 출력 고조파 성분을 억제하기 위해 PWM 인버터의 전력 회로를 기존의 풀-브리지 방식과 하프-브리지 방식을 적절히 변형하여 출력전압이 영(Zero)과 正의 직류 전원 전압과 負의 직류 전원 전압뿐 아니라 正의 직류 전원 전압의 절반과 負의 직류 전원전압의 절반이 나타나는 새로운 인버터의 전력 회로를 제안한다. 제안하는 단상 3 레벨 PWM 인버터는 정격전류 이상의 전류를 요구할 시 제어모드의 변화로 일정 전류모드로 출력 전압을 제어하고, 정격전류 이하의 경우에는 부하변동에 따른 편차현상을 보상하기 위한 Deadbeat 전류 제어를 구성하였으며, 제안된 전력회로 및 제어기법의 우수성을 시뮬레이션 및 실험을 통하여 검증하였다.

2. 제안하는 단상 PWM 3레벨 인버터

2.1 제안하는 인버터의 구성 및 동작 원리

제안하는 PWM 인버터의 전력회로를 그림 1에 나타내었다. 제안된 인버터는 기존의 풀-브리지 방식 인버터의 전력 회로에서 정류용 다이오드와 스위칭소자로 이루어진 양방향 스위칭 소자를 직류전원의 중성점에 연결하고 있다. 따라서 추가된 스위치의 기능으로 출력전압은 직류전원의 절반을 인가할 수 있게 된다. 제안된 인버터의 출력전압은 스위칭 소자의 온·오프에 따라 10개의 동작 모드로 구분할 수 있으며 각 동작모드에 대한 전류 루프는 그림 2에 나타나있다. 제안된 인버터에서 출력전압의 레벨을 고찰하기 위해서 각 스위

* 正 會 員 : 釜 山 大 學 交 電 氣 工 學 科 博 士 課 程
 ** 正 會 員 : 東 明 大 學 電 氣 工 學 科 助 教 授 · 工 博
 *** 正 會 員 : 釜 山 大 學 交 電 氣 工 學 科 教 授 · 工 博
 接 受 日 字 : 2001 年 5 月 17 日
 最 終 完 了 : 2002 年 1 月 17 日

치의 턴-온에 따른 암(Arm)전압을 살펴보면, 우선 Q_2 가 온 되면 B점 전압은 직류전원전압인 V_d 가 되고, Q_4 가 온 되면 B점 전압은 -영(zero)이 되나, A점의 전압의 경우 양방향 스위치의 추가로 인하여 Q_1 이 온 되면 A점 전압은 직류전원전압인 V_d 가 되고, Q_3 가 온 되면 A점 전압은 영(zero)가 되는 것 이외에 Q_5 가 온 되면 A점 전압은 직류전원전압의 절반인 $V_d/2$ 가 되는 전력회로의 구조를 가지고 있다. 각 스위치의 온에 따라 A점 전압은 0(zero), $V_d/2$, V_d 의 3가지 전압이 나타나고, B점 전압도 0(zero), V_d 의 2가지 전압이 나타난다. 각 스위치의 ON 상태에 따라 인버터의 출력전압으로 형성할 수 있는 전압은 두 암의 전압차가 되며, 그 경우는 표 1에 나타나 있다. 제안된 인버터의 출력전압 V_o 는 0, $V_d/2$, V_d , $-V_d/2$, $-V_d$ 의 5가지가 나타내게 된다. 따라서 0, V_d , $-V_d$ 의 3개의 전압이 나타나는 풀-브리지 인버터보다 양호한 출력전압을 얻을 수 있다.

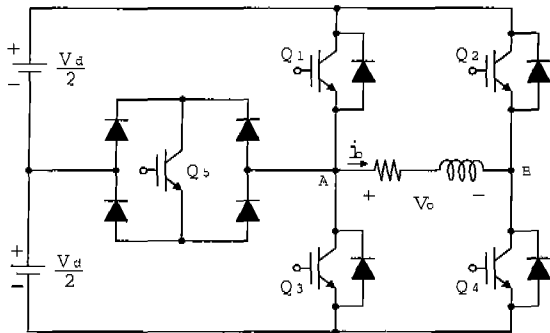
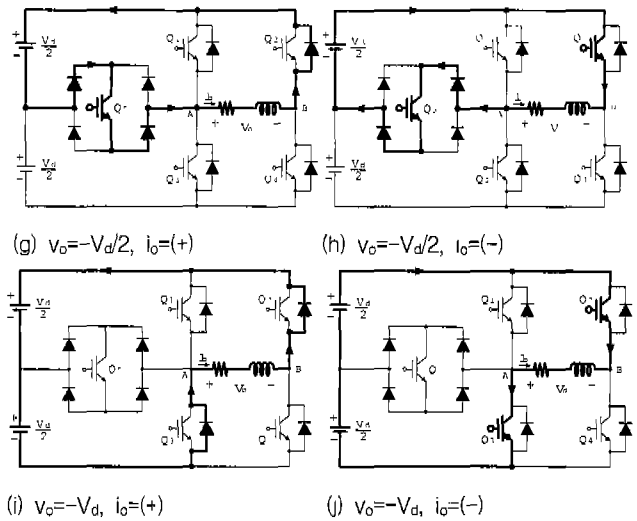
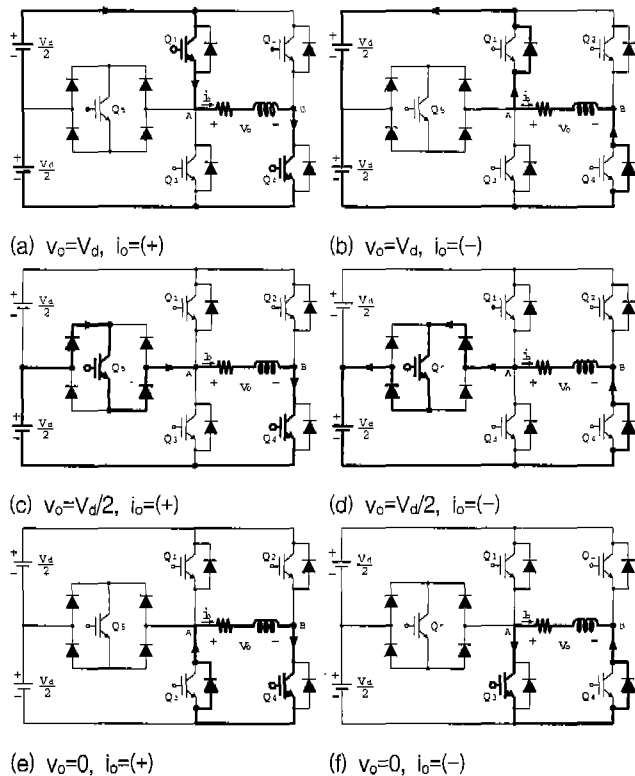


그림 1 제안된 단상 3-레벨 PWM 인버터
Fig. 1 Proposed single-phase 3-level PWM inverter



(g) $v_o=-V_d/2, i_o=(+)$ (h) $v_o=-V_d/2, i_o=(-)$
(i) $v_o=-V_d, i_o=(+)$ (j) $v_o=-V_d, i_o=(-)$
그림 2 스위치의 온·오프 및 전류방향에 따른 동작모드

Fig. 2 Operational modes for on·off of switch and its current direction

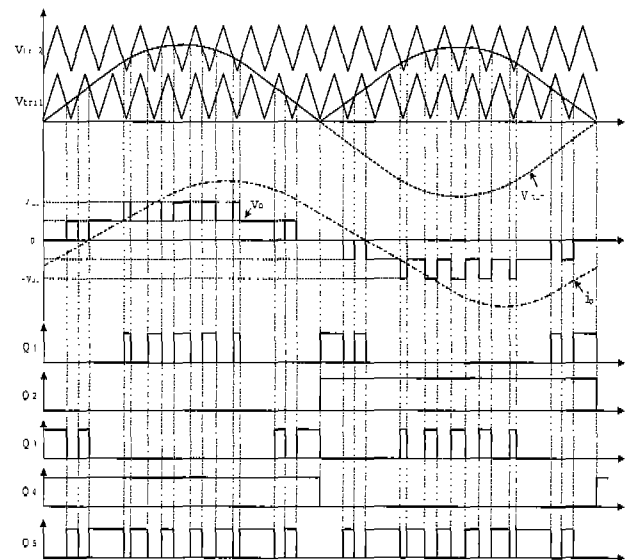


그림 3 스위칭 패턴
Fig. 3 Switching pattern

표 1 각 스위치의 온·오프에 따른 출력전압
Table 1 Output voltage according to switch on·off

| ON switch | V_A | V_B | $V_{AB} (=V_o)$ |
|-----------------------|---------------|---------------|-----------------|
| Q1, Q4 | V_{dc} | 0 | $+V_{dc}$ |
| Q5, Q4 | $V_{dc}/2$ | 0 | $+V_{dc}/2$ |
| Q3, Q4 (or Q1, Q2) | 0(V_{dc}) | 0(V_{dc}) | 0 |
| Q2, Q5 | 0 | $V_{dc}/2$ | $-V_{dc}/2$ |
| Q2, Q3 | 0 | V_{dc} | $-V_{dc}$ |

제안된 인버터에서 각 스위치의 온·오프에 따라 모드는 그림 2와 같이 나타나고 이 모드들을 적절히 선택하면 정현적인 출력전압을 형성할 수 있다. 그림 2에서 풀-브리지 인버터에서 나타나지 않고 제안된 인버터에서만 나타나는 모드는 출력전압이 직류전원의 절반이 나타나는 (c), (d) 및 (g), (h)가 된다. 일반적으로 정현적인 출력 전압을 형성하기 위한 여러 가지 스위칭기법이 있으나, 본 논문에서는 그림 3과 같은 스위칭 기법을 제안하였다. 우선 직류전원의 절반인 분압용 콘덴서 전압을 이용하여 출력전압을 형성하고 이 전압으로 출력전압을 형성할 수 없을 경우 직류전원전압을 이용하여 출력전압을 형성한다. 따라서 이러한 방식의 인버터에서는 변조지수가 0.5 이하에서는 직류전원을 반으로 설정하고 변조지수를 2배로 키워 같은 출력전압을 형성하는 풀-브리지 인버터와 동일한 고조파 성분을 유지하게 되지만, 변조지수가 0.5 이상에서는 직류전원전압과 분압용 콘덴서의 전압인 직류전원전압의 절반인 전압을 이용하므로 같은 직류전원전압을 사용하는 풀-브리지 인버터에서 보다 고조파 성분을 대폭 감소할 수 있는 제어 시스템이 될 수 있다.

LC 필터가 추가된 PWM 인버터는 자동전압조절기(AVR), 무정전 전원장치(UPS)와 같은 장비 등에 광범위하게 적용되고 있다. 이러한 인버터 시스템에서 정현파 출력전압을 구현하는 파라미터는 LC 필터의 크기, 스위칭 주파수, 제어알고리즘이다. 이중 LC 필터의 크기와 스위칭 주파수의 증가는 시스템의 경제성 및 크기에 치명적인 약점이 된다. 따라서 정현파 출력전압을 얻기 위해서 제어 알고리즘을 개선이 필수적이다. 또한 인버터 시스템에서 직류에서 교류를 발생시키는 PWM 인버터의 제어기법은 출력전압의 정도에 매우 큰 영향을 미치는 요소가 된다. 따라서 본 연구에서는 부하변동에 관계없이 출력전압을 정현파로 유지하기 위한 제어 알고리즘을 제안하였다. 또한, 필터의 인덕터의 편자현상을 보상하고, 동특성을 개선하기 위해서는 전압제어기안에 전류제어기를 마이너 루프로 둘 필요가 있다. 이때 전류제어기의 극점을 전압제어기의 극점보다 s 평면상에 좌반 평면에서 멀리 두도록 설계함으로써 시스템의 안정성과 동특성을 개선 할 수 있도록 설계하였다.

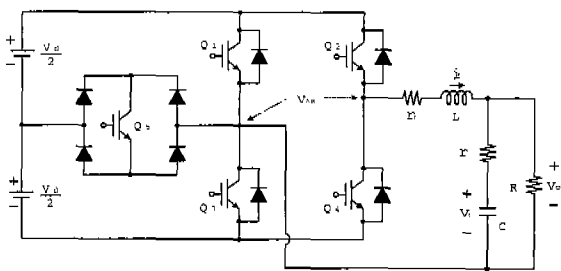


그림 4 LC 필터부를 가지는 단상 PWM 3레벨 인버터
Fig. 4 Single-phase 3-level PWM Inverter equipped with LC filter

그림 4는 출력단에 LC 필터와 부하저항을 포함한 인버터 시스템을 나타내고 있다. 여기서 r_L 은 인덕터의 등가직렬저항 ESR이며, r_C 는 콘덴서의 ESR이고, R 은 부하저항을 나타낸다. 그림 4와 같은 PWM 인버터 시스템의 선형 모델은 다음과 같다.

$$\begin{pmatrix} i_L \\ v_c \end{pmatrix} = \begin{pmatrix} -\frac{r_L r_C + R(r_L + r_C)}{L(R + r_C)} & -\frac{R}{L(R + r_C)} \\ \frac{R}{C(R + r_C)} & -\frac{1}{C(R + r_C)} \end{pmatrix} \begin{pmatrix} i_L \\ v_c \end{pmatrix} + \begin{pmatrix} \frac{1}{L} \\ 0 \end{pmatrix} v_{AB}$$

$$v_o = \begin{pmatrix} \frac{R r_C}{(R + r_C)} & \frac{R}{(R + r_C)} \end{pmatrix} \begin{pmatrix} i_L \\ v_c \end{pmatrix} \quad (1)$$

위의 상태 방정식을 이용하여 블록도를 나타내면 그림 5와 같다.

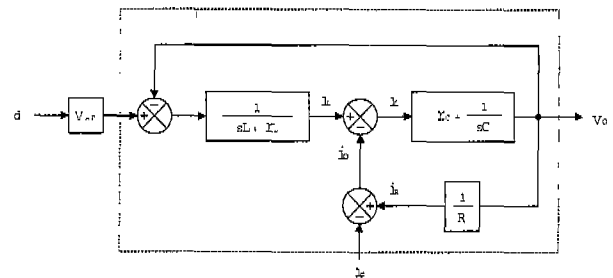


그림 5 PWM 인버터의 블록도
Fig. 5 Block diagram of PWM inverter

2.2 전류 제어기

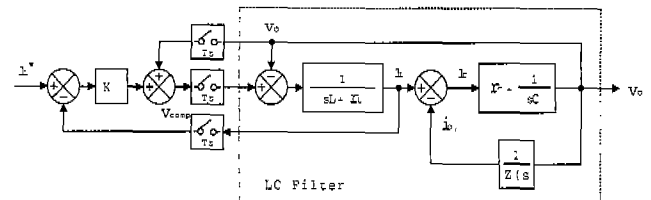


그림 6 전류제어기의 블록도
Fig. 6 Block diagram of current controller

그림 6은 전류제어기의 실제적인 모델을 나타내고 있으며, 여기서, z_0 는 부하에 해당하는 임피던스를 나타내고 있다. 위의 전류제어기에서 출력전압은 외란으로 작용한다. 따라서 이 성분에 의한 전류제어기의 간섭을 제거하기 위해서는 인덕터 전압 지령치에 출력전압을 피드 포워드 항으로 두고, 식(3)과 같이 정의하면 된다.

$$v_{comp}(k) = K_p [i_L^*(k) - i_L(k)] + v_o(k) \quad (3)$$

즉, 출력전압을 전압 센서로부터 검출하여 제어기의 오프셋 형태로 뺄으로써 출력전압에 의한 전류제어기의 영향을 제거할 수 있다. 따라서 전류제어기는 인버터의 출력전압의 영향을 받지 않게 되고, 그림 6은 그림 7과 같이 간단한 제어 블록으로 표현할 수 있다. 그림 7의 블록에서 제로 오더 홀더(zero-order holder)의 전달함수는 식(4)와 같이 표현된다.

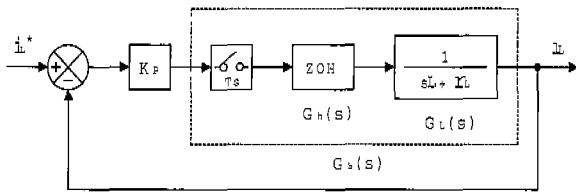


그림 7 간략화 된 전류제어기의 블록도
Fig. 7 Simplified block diagram of current controller

$$G_h(s) = \frac{1 - e^{-sT}}{s} \quad (4)$$

또한 등가직렬저항(ESR)을 고려한 인덕터의 전달 함수는 아래와 같다.

$$G_c(s) = \frac{1/L}{s+a} \quad (5)$$

여기서, $a=r_l/L$ 이므로 개루프(open loop) 전달함수는 다음과 같이 표현된다.

$$G_s(s) = Z\left[\left(\frac{1 - e^{-sT}}{s}\right)\left(\frac{1/L}{s+a}\right)\right] \quad (6)$$

$$= \frac{1}{r_L} \frac{1 - e^{-aT}}{z - e^{-aT}}$$

위 식으로부터 폐루프(closed loop)의 특성방정식은 다음과 같다.

$$z - [e^{-aT} - K_p \frac{e^{-aT} - 1}{r_L}] = 0 \quad (7)$$

전류제어기의 동특성을 개선하기 위해 극점을 원점에 들 수 있는 K_p 값을 구하면 다음과 같다.

$$K_p = \frac{r_L e^{-aT}}{1 - e^{-aT}} \quad (8)$$

2.3 전압 제어기

그림 8은 전압 제어기의 블록도를 나타내고 있으며, 전압 제어기의 내부루프에 전류제어기가 포함되어 있다.

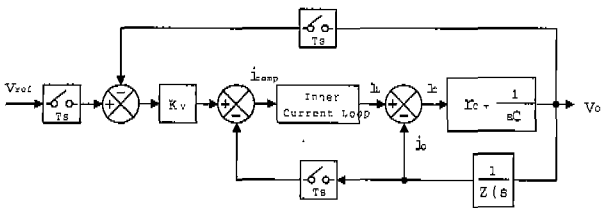


그림 8 전압제어기의 블록도
Fig. 8 Block diagram of voltage controller

만일 전압제어기의 시정수가 전압제어기의 내부루프인 전류제어기의 시정수에 비하여 상당히 크다면 전류제어기의 이득은 상수로 취급할 수 있다. 또한 전압제어기의 외란으로 작용하는 부하전류의 영향을 제거하기 위해서 출력 전압제어기를 아래와 같이 정의하였다.

$$i_{comp}(k) = K_v[v_{ref}(k) - v_o(k)] + i_o(k) \quad (9)$$

따라서 위의 전압제어기의 블록도는 그림 9와 같이 간단한 블록으로 표현할 수 있다.

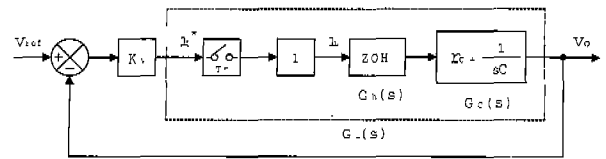


그림 9 간략화 한 전압제어기의 블록도
Fig. 9 Simplified block diagram of voltage controller

전압 제어기도 앞에서 언급한 전류제어기와 같은 개념으로 설계할 수 있다. 전압 제어기의 전달함수는 그림 9로부터 다음 식과 같이 주어진다.

$$G_s(s) = Z\left[\left(\frac{1 - e^{-sT}}{s}\right)\left(r_c + \frac{1}{sC}\right)\right] \quad (10)$$

$$= r_c + \frac{T}{C(z-1)}$$

따라서 데드 비트 제어효과를 구현하기 위한 전압제어기의 계인은 식 (11)과 같이 주어진다.

$$K_v = \frac{C}{T - Cr_c} \quad (11)$$

3. 시뮬레이션 및 실험결과

3.1 시뮬레이션 결과

기존의 풀-브리지 인버터와 제안된 인버터에서 변조비가 0.6일 때의 출력 전압 파형, 전류 파형 및 고조파 분석 파형을 그림 10(a)와 (b)에 나타내었다. 변조비가 0.6일 때 기존의 PWM 방식에서는 THD가 0.94 [%], DF가 0.03 [%]로 나타났으며, 제안된 인버터에서는 THD가 0.37 [%], DF가 0.01 [%]로 우수하게 나타났다. 이는 기존의 인버터에 비하여 제안된 인버터에서 THD는 약 60 [%], DF는 약 67 [%]로 감소함을 알 수 있다.

그림 11은 각 제어기를 구성하여 기동할 때 나타나는 인버터 출력전압, 필터용 인덕터 전류 및 필터단 출력전압을 나타내고 있다. 개루프(open loop) 제어를 행하였을 때의 파형인 그림 11(a)에서는 인덕터의 전류 정현적이 되지 못하며 직류 전류성분을 포함하고 있다. 이로 인하여 필터용 인덕터는 편자현상이 발생하며 인버터로서 치명적인 약점을 가지게 된다. 비례적분제어를 행하였을 때의 파형인 그림 11(b)에서 기

동시 인덕터 전류가 정현적이 되기 위해서는 상당한 시간이 필요로 하고 있다. 그림 11(c)는 데드비트 제어기를 사용하였을 경우의 파형이며 기동특성이 매우 우수함을 알 수 있다. 이러한 기동특성의 우수성은 정류성 부하와 같은 비선형 부하에 대하여 강인함을 나타낸다.

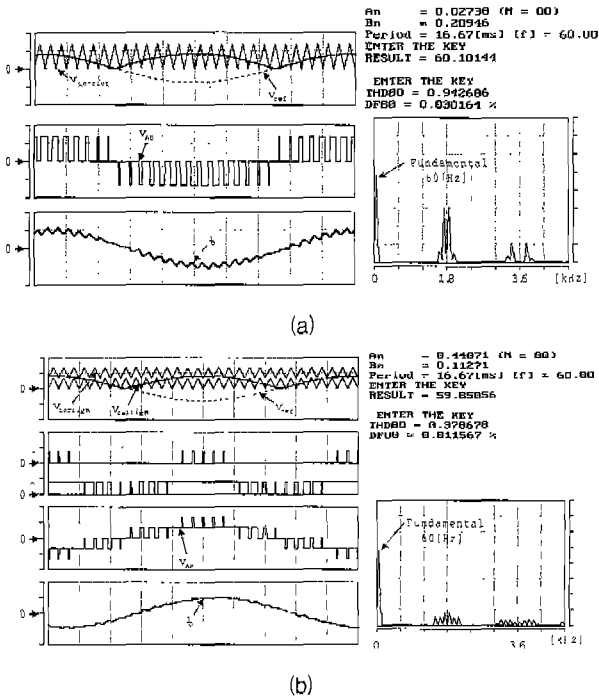


그림 10 출력전압, 전류, 고조파의 시뮬레이션 분석 파형
(a) 기존의 풀-브리지 인버터 (b) 제안된 인버터
Fig. 10 Simulated results of output voltage, current, and harmonics. (a) conventional (b) proposed.
(v_{AB} : 200 V/div., i_o : 20 A/div., $f_s=1.8$ kHz)

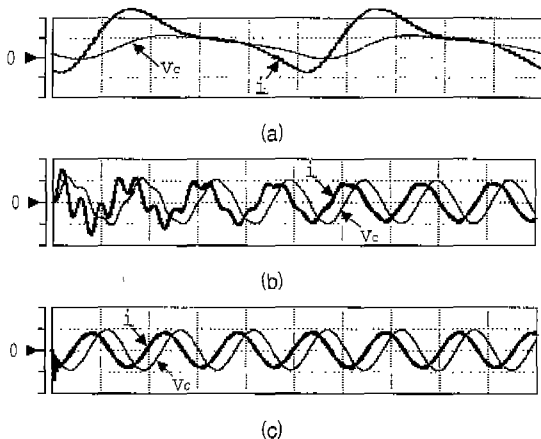


그림 11 각 제어기의 기동특성 (a) 개루프 (b) 비례적분 제어기 (c) 데드-비트 제어기
Fig. 11 Starting characteristics of each controller (a) open loop (b) PI controller (c) Deadbeat controller
(v_c : 200 V/div., i_l : 20 A/div., 60 Hz)

그림 12와 13은 제안된 데드비트 제어기가 부하변동에 있어 우수한 특성을 보임을 입증하기 위해 일반적으로 사용되는 비례적분 제어기와 비교하였다. 그림 12는 100[W]부하에서 1[kW]부하로 급변한 경우의 파형이며, 제안된 제어기가 비례적분 제어기보다 다소 우수함을 알 수 있다. 그림 13은 반대로 1[kW]부하에서 100[W]부하로 급변한 경우의 파형이다. 제안된 데드비트 제어기는 인덕터 전류를 급격히 줄일 수 있어 필터단 출력전압은 매우 양호하게 유지되지만, 비례적분 제어기의 경우는 인덕터의 전류가 매우 심하게 공진함을 알 수 있다.

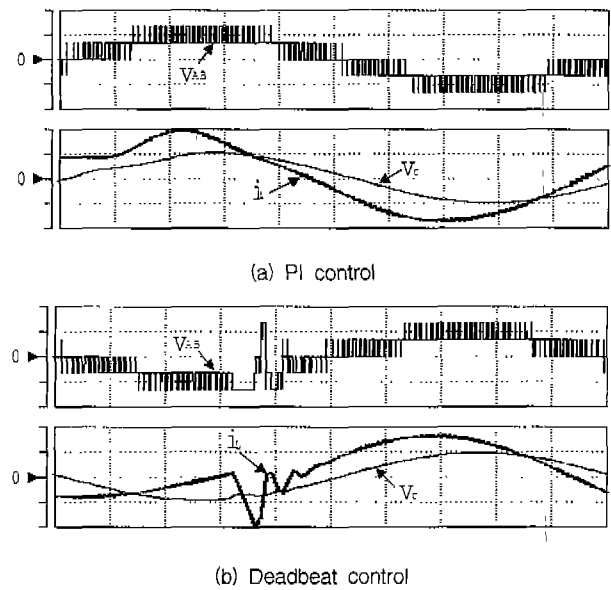


그림 12 부하변동에 따른 각 제어기의 특성(100[Ω] to 10[Ω])
Fig. 12 Characteristics of each controller for load change
(v_{AB} : 200 V/div., v_c : 200 V/div., i_l : 10 A/div., 2 ms/div.)

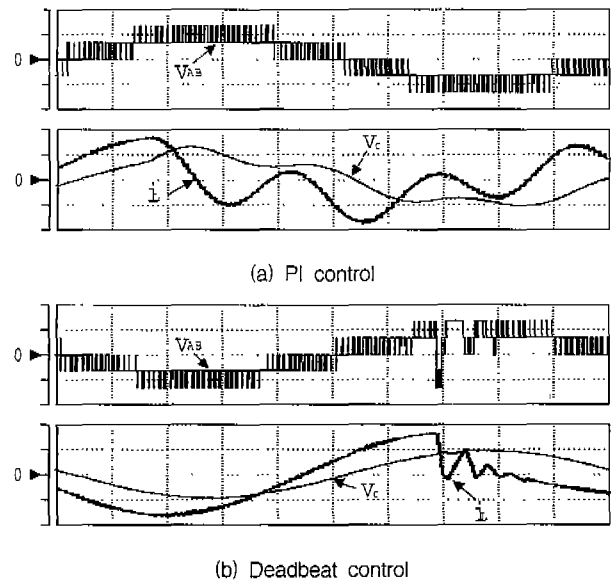


그림 13 부하변동에 따른 각 제어기의 특성(10[Ω] to 100[Ω])
Fig. 13 Characteristics of each controller for load change
(v_{AB} : 200 V/div., v_c : 200 V/div., i_l : 10 A/div., 2 ms/div.)

3.2 실험 결과

시뮬레이션 결과를 바탕으로 정격 출력 5 [kVA], 50-60 [Hz]의 시차품을 제작하고, 제어기는 80C196KC로 구성하였다. PWM 신호는 CPU에 부담을 주지 않도록 고속 출력장치 (high speed outputs: hso)를 이용하였다. 80C196KC의 10 bit A/D는 모두 단극성으로 구성되기 때문에 이러한 단극성으로 11 Bit 양극성으로 동작하기 위한 정현적 전압·전류는 절대치 회로와 극성 판별회로를 사용하여 아날로그 입력과 디지털 입력을 조합하여 사용하였다.

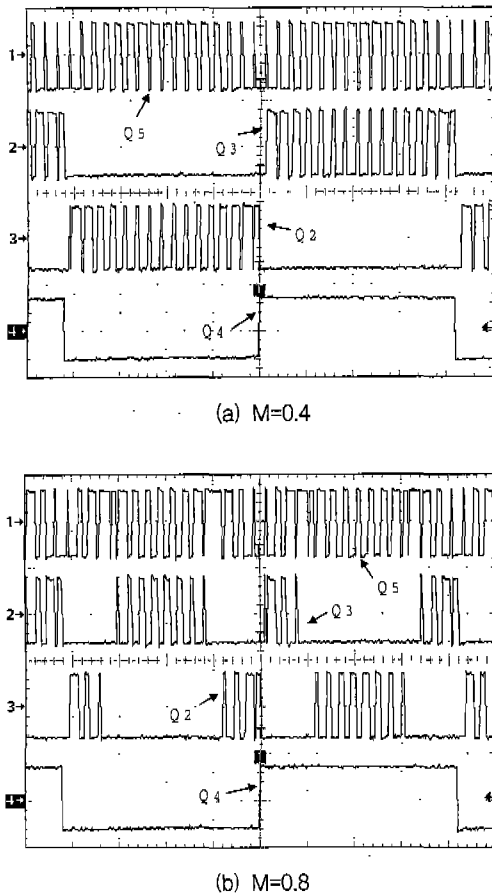


그림 14 변조비에 따른 게이트 신호 (2 V/div., 2 ms/div.)
Fig. 14 Gate signals according to the modulation index

그림 14는 각 스위치에 인가되는 게이트 신호를 나타내고 있다. 그림 14(a)는 변조비가 0.4일 때의 게이트 신호이며, 그림 14(b)는 변조비가 0.8일 때의 게이트 신호이다. 변조비가 높아지면 Q3가 온 되는 횟수는 적어지는데, 이는 DC-Link전압의 절반을 이용하는 영역이 적어짐을 의미한다. 그림에서 보는 바와 같이 Q4가 온 될 때 Q2가 온 되면 출력전압은 영(zero)가 되고 Q5가 온 되면 출력전압은 DC-Link전압의 절반이 인가된다. 제안하는 인버터에서 데드타임 동안에 나타나는 출력전압은 출력 지령전압의 극성과 인덕터 전류의 극성이 같은 경우는 영이 되나, 극성이 다를 경우에는 출력전압이 증가하는 형태가 된다. 또한 변조비가 0.5이하에서는 데드타임보상은 일반 2레벨 인버터에 비하여 2배를 해주어야 한

다. 그림 15는 인버터의 출력전압과 출력전류를 나타내고 있으며, 그림 15(a)는 변조비가 0.4일 때이며, 그림 15(b)는 변조비가 0.8일 때의 파형이다. 그림에서 보는 바와 같이 인덕터의 전류와 인버터의 출력 전압이 반대가 되는 영역에서 데드타임 기간동안 DC-Link전압이 인가됨을 알 수 있다.

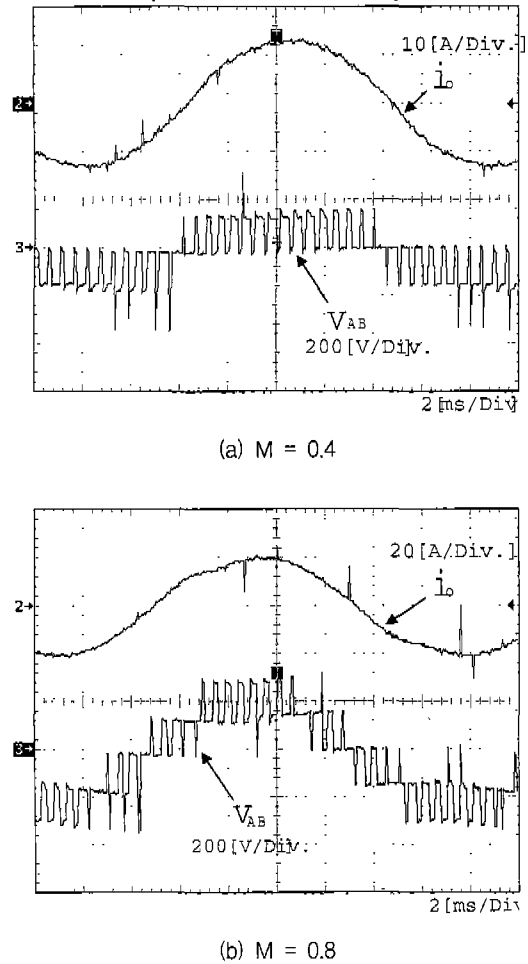


그림 15 변조지수에 따른 인버터의 출력전압과 전류
Fig. 15 Experimental waveform of output voltage and current of inverter according to the modulation index

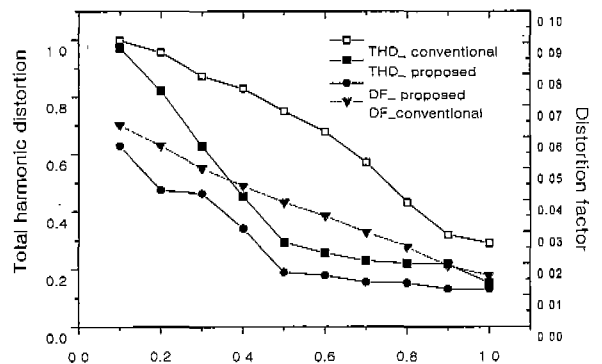
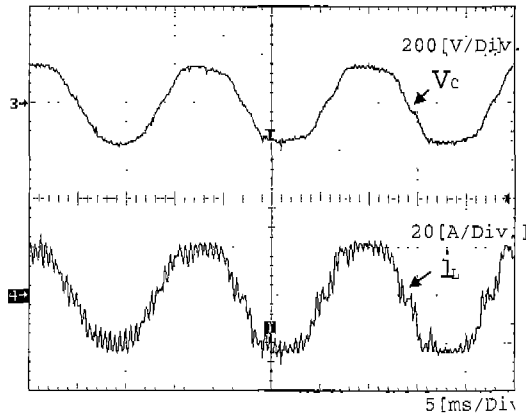
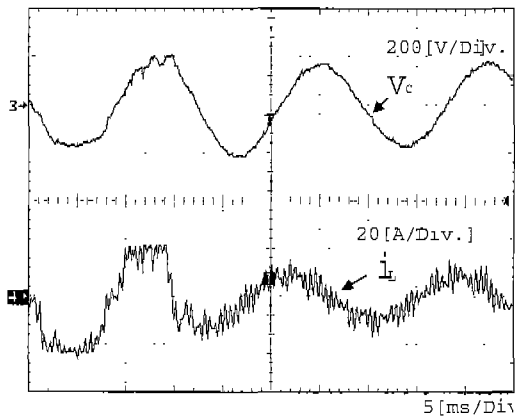


그림 16 기존 풀-브리지와 제안된 인버터의 THD와 DF 비교
Fig. 16 THD and DF comparisons of conventional and proposed inverter by experiment.

그림 16은 정현 펄스폭 변조에 의해 동작되는 풀-브리지 인버터와 제안한 3-레벨 인버터를 변조비에 따라 동작 시켰을 경우의 THD와 DF를 나타내는 실험 결과 파형이다. 이 그래프부터 변조비에 관계없이 제안된 인버터가 THD 및 DF 면에서 상당히 우수함을 알 수 있다. 그림 16으로부터 변조 지수가 커지면 THD 및 DF의 감소정도가 적음을 알 수 있다. 이는 제안된 인버터에서 변조비가 증가하면 인버터 직류 전원전압의 분할용 콘덴서전압 이용률이 적기 때문이다.



(a)



(b)

그림 17 부하변동에 따른 콘덴서 전압과 인덕터 전류 (a) 정격전류 이하에서 정격전류 이상으로의 변화 (b) 정격전류 이상에서 이하로의 변화

Fig. 17 Experimental waveform of voltage across the capacitor and inductor current (a) from under to over rated current (b) from over to under rated current

그림 17은 정격전류 이하의 모드와 정격전류 이상의 모드로의 변화를 보기 위해 부하전류와 콘덴서 출력전압을 보여 주고 있다. 그림 17(a)는 정격전류 이하의 모드에서 정격전류 이상의 모드로 변환 경우이며, 그림 17(b)는 그 반대의 경우이다. 정격전류 이상의 경우 인덕터 전류는 구형파에 가깝게 되고, 출력전압에 다소 왜형이 나타나고 있다. 그림 17의 파형에서 알 수 있듯이 데드비트 제어에 의해 시뮬레이션과 마찬가지로 빠른 속응성을 나타내지만 계산된 파라미터 값이

실제의 파라미터 값과 차이를 가지게 되면 고정도의 제어가 어렵다는 단점을 가진다.

3. 결 론

본 논문에서는 동일조건외 직류전원전압과 스위칭 주파수 하의 단상 인버터 시스템에서 인버터 자체에서 발생하는 고조파 성분을 최소화하기 위하여 3-레벨 출력전압을 형성할 수 있는 새로운 멀티 레벨 인버터를 제안하였다. 또한 부하변동에 따른 동특성을 개선시키고, 인덕터의 편자현상을 보상하기 위해 전압제어기와 전류제어기를 데드비트 제어기로 구성함으로써 부하변동에 관계없이 출력전압을 정현파로 유지할 수 있는 제어 알고리즘을 제안하고, 시뮬레이션과 실험을 통하여 검증하였다. 결과적으로 기존의 정현 펄스폭변조 방식에 의해 동작하는 풀-브리지 인버터에 비하여 제안된 3-레벨 인버터가 변조비에 관계없이 THD 및 DF면에서 상당히 우수함을 알 수 있었다.

참 고 문 헌

- [1] T. Kawabata et al, "Dead Beat Control of Three Phase PWM Inverter," IEEE Trans. on Power Electronics, no. 1, 1990.
- [2] C. Hua et al, "High Performance Deadbeat Controlled PWM Inverter Using a Current Source Compensator for Nonlinear Loads," IEEE/PESC, pp. 443-450, 1992.
- [3] S. L. Jung et al, "Discrete Feed-forward Sliding Mode Control of a PWM Inverter for Sinusoidal Output Waveform Synthesis," IEEE Trans. on Industrial Electronics, pp. 552-558, 1994.
- [4] T. Zumwalt, "DSP Applications in the Control of Uninterruptible Power Supplies," ICSPAT'93 Conf. Proc., pp. 967-972, 1993.
- [5] M. A. Boost et al, "Towards a Zero-Output Impedance UPS System," IEEE Trans. on Industry Applications, vol. 25, no. 3, pp. 408-418, 1989
- [6] M. Ramamoorthy, "Application of digital computers to power system protection," J. Inst.Eng.(India), vol. 52, pp.235-238, 1997.
- [7] Giuseppe S. Buja, "Optimum waveforms in PWM inverters," IEEE Trans. on Industrial Electronics, vol. IA-16, no.6, pp.830, 1980.
- [8] Gerald B. Kliman et al, "Development of a Modulation Strategy for a PWM Inverter Drive," IEEE Trans. on Industry Application, vol. IA-15, no.1., pp.72-79, January/February 1979.
- [9] 松井信行 外 2人, "電壓時間積分比較 PWM의 알고리즘とその 응용," 日本前電氣學會 半導體電力變換研 SP 84- pp.11-20, 1984.
- [10] 松井信行 外 2人, "ワンチップマイコン によるサイクロインバータ의 波形制御," 日本電氣學會 論文集 B分冊, vol.104, No.10, pp.639-646, 1984.

저 자 소 개



강 필 순(姜麗淳)

1973년 9월 5일 생. 1998년 경상대 전기공학과 졸업. 2000년 부산대 대학원 전기공학과 졸업(석사). 2000~현재 동 대학원 박사과정

Tel : 051-510-1488, Fax : 051-513-0212

E-mail : feelsoon@ieec.org



김 철 우(金喆禹)

1942년 12월 5일 생. 1969년 부산대 공대 전기공학과 졸업. 1974년 일본 전기통신대학 전자공학과 졸업(석사). 1982년 일본 동경 공업대 전기전자공학과 객원 교수. 1986년 중앙대 대학원 전기공학과 졸업(박사). 현재 부산대 공대 전기공학과 교수.

Tel : 051-510-2368, Fax : 051-513-0212

E-mail : kimcu@hyowon.pusan.ac.kr



박 성 준(朴晟濬)

1965년 3월 20일 생. 1991년 부산대 전기공학과 졸업. 1993년 동 대학원 전기공학과 졸업(석사). 1996년 동 대학원 전기공학과 졸업(박사). 2002년 동 대학원 지능기계공학과 졸업(박사). 1996~2000 거제대학 전기과 조교수.

현재 동명대학 전기과 조교수

Tel : 051-620-3417, Fax : 051-620-3415

E-mail : sjpark@yongma.tmc.ac.kr