

## 플립 칩 솔더 범프의 접합강도와 금속간 화합물의 시효처리 특성

김경섭 · 장의구\* · 선용빈\*\*

여주대학 전자과, \*중앙대학교 전자전기공학부, \*\*경기대학교 산업정보대학원

### Aging Characteristic of Intermetallic Compounds and Bonding Strength of Flip-Chip Solder Bump

Kyung-Seob Kim, Eui-Goo Chang\* and Yong-Bin Sun\*\*

Electronic Engineering, Yeojoo Institute of Technology, Yeojoo 469-800, Korea

\*School of Electrical and Electronics Engineering, Chang-Ang University, Seoul 156-756, Korea

\*\*Graduate School of Industrial Technology, Kyong-Gi University, Suwon 442-760, Korea

**초 록:** 솔더 범프를 이용한 플립 칩 접속 기술은 시스템의 고속화, 고집적화, 소형화 요구 및 마이크로 일렉트로닉스의 성능을 향상시키기 위해 필요한 기술이다. 본 연구에서는 Cr/Cr-Cu/Cu UBM 구조에서 고 용융점 솔더 범프와 저 용융점 솔더 범프를 시효처리 후 전단 강도를 평가하였다. 계면에서 관찰된 금속간 화합물의 성장과 접합상태를 SEM과 TEM으로 분석하였으며, 유한요소법을 통하여 전단하중을 적용하였을 때 집중되는 응력을 해석하였다. 실험결과 Sn-97wt%Pb와 Sn-37wt%Pb에서 900시간 시효 처리된 시편의 전단강도는 최대 값에서 각각 25%, 20% 감소하였다. 시효처리를 통해 금속간화합물인  $Cu_6Sn_5$ 와  $Cu_3Sn$ 의 성장을 확인하였으며, 파단 경로는 초기의 솔더 내부에서 IMC층의 계면으로 이동하는 경향을 알 수 있었다.

**Abstract:** Flip-chip interconnection that uses solder bump is an essential technology to improve the performance of micro-electronics which require higher working speed, higher density, and smaller size. In this paper, the shear strength of Cr/Cr-Cu/Cu UBM structure of the high-melting solder bump and that of low-melting solder bump after aging is evaluated. Observe intermetallic compound and bump joint condition at the interface between solder and UBM by SEM and TEM. And analyze the shear load concentrated to bump applying finite element analysis. As a result of experiment, the maximum shear strength of Sn-97wt%Pb which was treated 900 hrs aging has been decreased as 25% and Sn-37wt%Pb sample has been decreased as 20%. By the aging process, the growth of  $Cu_6Sn_5$  and  $Cu_3Sn$  is ascertained. And the tendency of crack path movement that is interior of a solder to intermetallic compound interface is found.

**Keywords:** Solder bump, Shear strength, Intermetallic compound, Aging, UBM

## 1. 서 론

전자부품의 소형화, 칩화, 모듈화가 급진전되고 정보통신기기 부품을 중심으로 고주파 대책이 시급한 과제로 등장함에 따라 BGA(Ball Grid Array)와 CSP(Chip Scale Package), 플립 칩(Flip Chip, FC) 등 첨단 반도체 패키징 기법이 최근 들어 속속 등장하고 있다.<sup>1)</sup> 특히 솔더 범프 (solder bump)를 이용한 플립

칩 접속 방식은 기존의 반도체 칩과 기판을 연결하기 위해 금선을 사용하는 와이어 본딩(wire bonding) 방식과 달리 반도체 칩을 기판에 직접 부착하는 기술로 500 MHz 이상의 고속 동작을 필요로 하는 반도체 제품에 사용되는 패키지 기술이다. 이러한 패키지의 소형화 추세로 인하여 미세한 접합부의 신뢰성에 대한 연구들이 요구되고 있다. 미세 패드피치의 범핑 기술을 적용하는 플립 칩은 보다 엄격한 신뢰성 요구

를 만족시키기 위해 제품 사용환경에서 미세 접합부의 장기신뢰성에 대한 문제점이 해결해야할 과제로 남아있다.<sup>2,3)</sup> 솔더 범프를 형성시키는 리플로우 솔더링 과정과 실제 사용온도에 의해서 형성되는 금속간 화합물(Intermetallic Compound, 이하 IMC)은 솔더와 UBM(Under Bump Metallurgy) 사이에 형성되고 사용환경에 따라 성장한다. 이렇게 UBM과 솔더 계면에서 IMC가 형성되는 경우에는 솔더와 금속층 사이의 접착력이 향상되지만 두께가 두꺼워지면 IMC의 취성에 의하여 솔더 접합부에 파괴를 유발하는 원인이 되므로 접합강도가 저하된다.<sup>4-8)</sup>

본 연구에서는 고속 SRAM 제품의 칩 단자 표면에 지름 110  $\mu\text{m}$ 의 마이크로 솔더 범프를 형성시켜 기계적인 솔더/UBM 접합강도와 시효처리에 따른 시효강도를 전단 실험을 통해 측정하였고, IMC 성장 변화를 관찰 · 분석하였다.

## 2. 실험

실험에 사용된 SRAM 칩 크기는 8.0×15.0 mm이며, 칩 두께는 500  $\mu\text{m}$ 이다. 칩 표면에는 130개의 범프를 electroplating 방법으로 형성하였다. 솔더 범프

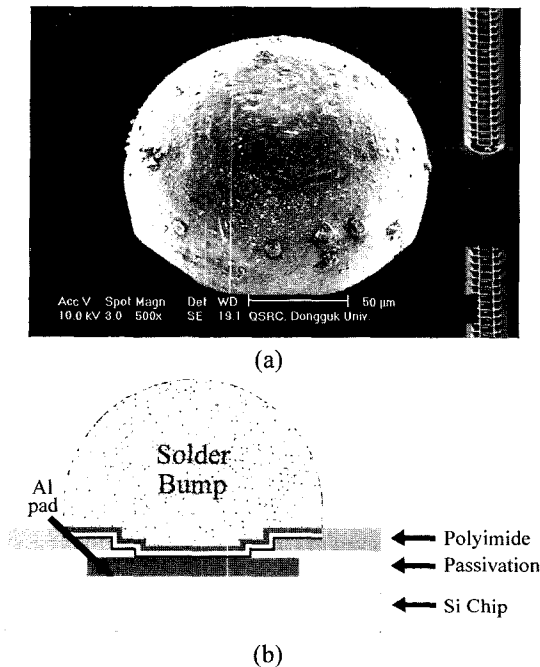


Fig. 1. The schematic diagram of a reflow solder bump. (a) top view, (b) cross-sectional.

는 지름이 110  $\mu\text{m}$ , 피치는 50  $\mu\text{m}$ 과 150  $\mu\text{m}$  두 종류로 구성되었으며, 범프 높이는 100±18  $\mu\text{m}$ 이다. 그림 1(a)에 솔더 범프 형상을 (b)에 솔더 범프와 UBM 단면 구조를 개략적으로 나타내었다. UBM은 Cr(500Å)/Cr-Cu(1500Å)/Cu(6000Å) 구조로 제조하였다. 특히, Sn-97wt%Pb 조성의 고 용융점 솔더를 적용할 때 발생하는 구리의 완전 소모를 막기 위해 구리 층을 두껍게 형성하였다. 패시베이션(passivation)의 개구 크기는 50  $\mu\text{m}$ , 알루미늄(Al) 패드는 90×90  $\mu\text{m}$ , 두께는 8000Å, 폴리이미드(polyimide)의 개구 크기는 70  $\mu\text{m}$ , 두께는 3  $\mu\text{m}$ 로 형성하였다.

솔더 페이스트 후 솔더링에 사용된 리플로우 장비는 적외선 · 열풍 혼합방식으로 전체 리플로우 시간은 5분이고, 컨베이어 속도는 0.55 m/min이다. 최고 온도 설정은 Sn-97wt%Pb는 320±5°C, Sn-37wt%Pb에서는 225±5°C에서 5초, 액상상태 유지시간은 60초로 하였다. 솔더 표면의 산화물을 제거하고, 균일한 모양의 불을 형성시키기 위해 WS613 수용성 플럭스를 사용하였다. 리플로우 온도 조건은 솔더 범프의 균일한 용융이 일어나면서 UBM(Cu)과의 반응 시간을 짧게하여 IMC의 반응을 가능한 억제시키도록 하였다.

전단강도 측정은 본딩 시험장치(PTR-1000)를 사용하였으며, Fig. 2(a)에 측정방법을 나타내었다. 팁(tip)의 이동속도는 0.2 mm/s, 칩과 팁 사이의 거리는 2  $\mu\text{m}$ 으로 하였다. IMC의 성장을 빠르게 하기 위해 시효온도 175°C에서 0, 300, 600, 900시간 동안 시효처리 한 후에 전단강도를 측정하였다. 전단강도 값은 조건마다 2개 시편의 각각에서 40개의 범프를 실험하였으며, 최대 값과 최소 값을 제외한 평균값을 사용하였다.

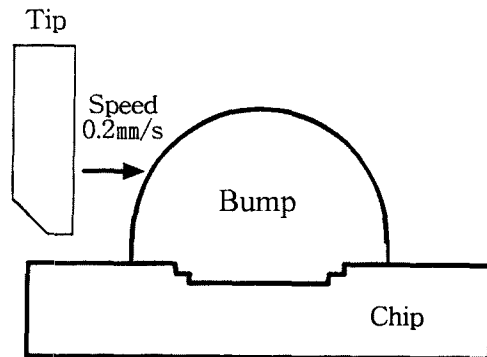


Fig. 2. Schematic diagram of shear test for the soldered bump.

피로파괴는 일반적으로 IMC 층의 계면을 따라 성장하는 균열로 인하여 발생한다. IMC층을 관찰하기 위해 시효처리한 시편의 단면을 연마하여 SEM (Scanning Electron Micrography)과 EDX (Energy Dispersive X-ray)로 관찰하였다. 형태 관찰과 미세구조 해석은 고분해능 투과 전자현미경(high-resolution transmission electron micrograph, HRTEM)을 이용하여 가속전압 200 kV에서 수행하였다. 또한 솔더 범프에 대한 응력 집중과 변형을 예측하기 위해 시도된 유한요소해석(finite element analysis)은 다른 재질과 비교하여 작은 UBM층을 중점적으로 고려하였다. 이를 위해 해석에 필요한 종횡비(aspect ratio)를 고려하여 UBM(Cr/Cu), 솔더 범프, 알루미늄 패드, 패시베이션, 폴리이미드 층으로 형상을 단순화하였다. 해석 모델의 절점은 1459개, 요소는 458개로 구성되었다. 구속조건은 패드 하단 부분은 x 방향, 좌표축의 원점은 x, y 방향으로 변위를 구속하였다. 하중은 전단강도 실험에서 팀이 솔더 범프에 접촉되는 위치에 5000 gf를 인가하였다.

### 3. 결과 및 고찰

#### 3.1. 전단강도

칩 패드에 형성된 솔더 범프의 지름이 110 μm인 미세 접합부의 기계적 성질 변화를 관찰하기 위해 솔더 조성 변화에 따른 솔더 범프의 전단강도 값을 측정하였다.

Fig. 3은 Sn-97wt%Pb와 Sn-37wt%Pb 솔더를 시효온도 175°C에서 시간에 따른 전단강도 값을 측정

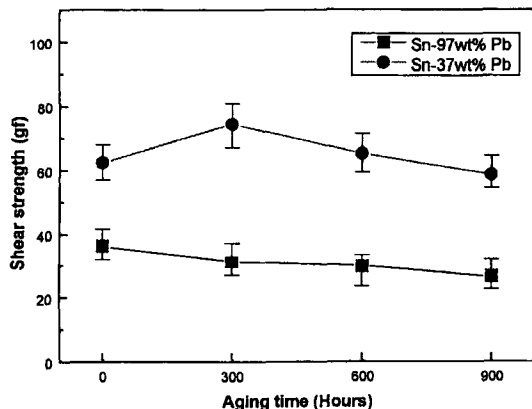
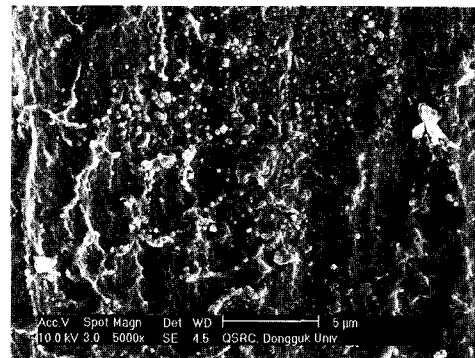


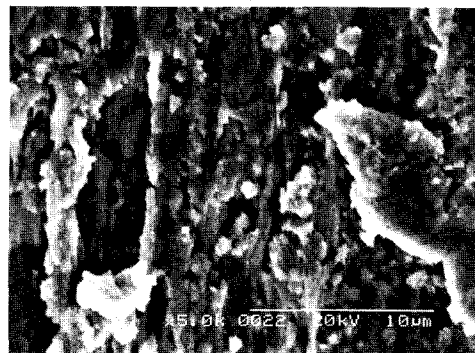
Fig. 3. Relation between aging time and shear strength (aging temperature 175°C).

한 것이다. 측정결과 시효 처리 시간이 증가함에 따라 전단강도 값은 감소하였다.

Sn-97wt%Pb의 경우 초기 전단강도 값은 평균 36 gf를 보였으나, 900시간 시효 처리된 시편의 전단강도 값은 27 gf로 최대 전단강도 값보다 약 25% 감소하였다. Sn-37wt%Pb에서는 초기 전단강도 값이 63 gf로 측정되었고, 300시간에서는 74 gf로 전단강도 값이 증가하는 경향을 나타내었다. 이에 비하여 900시간 시효 처리된 시편의 전단강도 값은 59 gf로 최대 전단강도 값에서 약 20% 감소하는 경향을 보였다. 이와 같이 Sn-97wt%Pb의 낮은 전단강도 값은 솔더 자체의 낮은 기계적 강도에 기인한 것으로 판단된다. 또한, Sn-37wt%Pb에서 보인 300시간 시효 처리된 시편에서 전단강도 값의 증가는 IMC층의 일정 두께까지는 두께의 증가에 따라 전단강도 값이 증가하나, 그 이상의 두께에서는 솔더 범프의 전단강도 값이 감소한다. 즉, 시효처리 300시간까지는 임계 IMC층의 두께를 넘어서지 못한 것으로 판단된다.



(a)



(b)

Fig. 4. Fracture surface of solder bump after no aging. (a) Sn-97wt%Pb, (b) Sn-37wt%Pb.

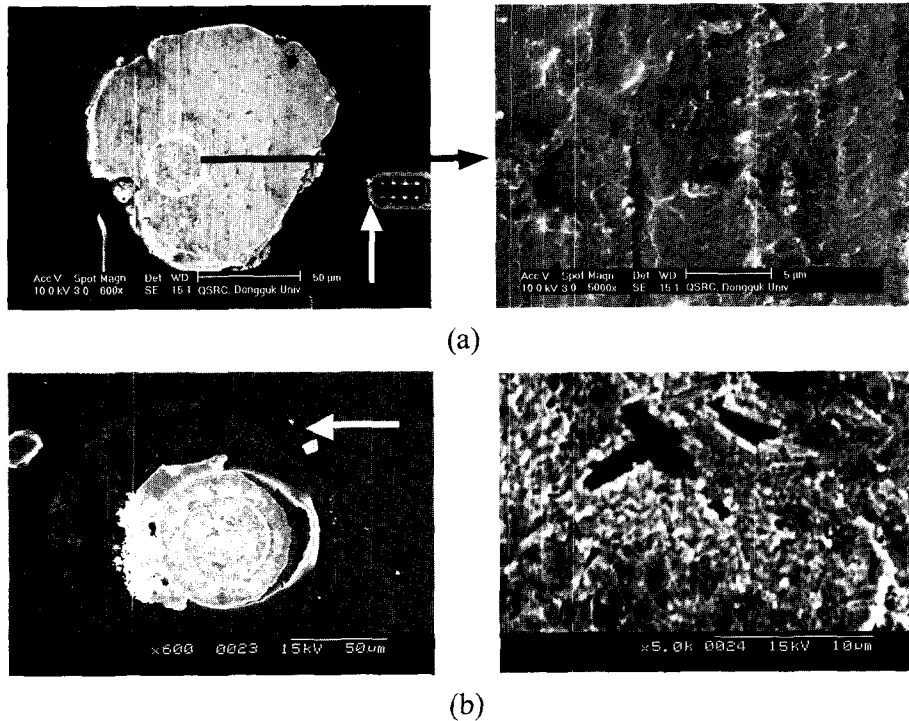


Fig. 5. Fracture surface of solder bump after aging at 175°C for 900 hrs. (a) Sn-97wt%Pb, (b) Sn-37wt%Pb.

Fig. 4는 두 종류 솔더에서 시효처리 이전의 전단 강도 실험에 의한 파단면을 나타내었다. Fig. 4에서와 같이 두 종류 솔더에서 시효처리전의 파단면은 솔더 내부에 함유된 Pb에 의한 연성 파단인 것으로 관찰되었다.

Fig. 5는 시편을 900시간 시효처리 한 후 전단실험에 의한 파단면을 보인 것이다. Fig. 5(a)에서 알 수 있듯이 다량 함유된 Pb로 인한 연성 작용이 두드러지게 나타나서 전단실험의 초기 접촉 부분인 하부의 폭은 좁으나, 끝 부분에서는 폭이 넓어지는 역삼각형 형상을 나타내었다. 그러나, Fig. 5(b)에서는 상대적으로 UBM과 솔더의 접촉 형태인 원형 형상을 유지하는 파단면을 나타내었다.

Fig. 6은 Sn-97wt%Pb에서 900시간 시효 처리 된 파면의 EDX 분석 결과를 나타낸 것으로 시효 처리된 모든 시편의 파단면에서 검출된 Cu 성분은 Cu-Sn 간의 IMC의 노출을 의미한다.

또한 Cu 성분이 시효처리 300시간까지는 0.78 wt%로 미미하여 대부분의 전단파괴가 다층 계면층인 UBM층이 아닌 솔더 내부에서 일어나 UBM과 솔더 간의 접합이 우수함을 알 수 있었다. 그러나, 600시

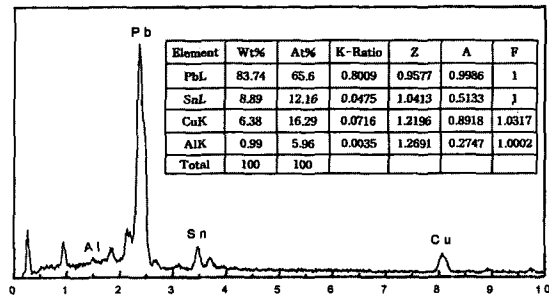


Fig. 6. Composition analysis of fracture surface (900 hrs aging).

간 이후에는 Cu 성분이 6.38 wt%로 증가하여 파단 경로는 초기의 솔더 내부에서 IMC층의 계면으로 변화하는 경향을 확인할 수 있었다. 따라서 장시간 시효처리에 의해 IMC의 성장과 조직의 조대화가 진행될수록 전단강도는 저하하는 것으로 판단된다.

### 3.2. 금속간 화합물

UBM과 솔더 계면에서 시효시간에 따른 IMC층의 두께 변화를 관찰하기 위해 실험되었다.

Fig. 7은 두 종류 솔더를 900시간 시효처리 후 시편의 단면에 나타난 IMC층을 보여주고 있다. 그림에서와 같이 Sn-37wt%Pb는 솔더 내부에 형성된 IMC를 명확히 볼 수 있었다. 시효처리하지 않은 초기접합에서는  $\eta$ -상( $Cu_6Sn_5$ )만이 관찰되었으나 시효처리 이후에는  $\epsilon$ -상( $Cu_3Sn$ )도 관찰되었다.  $\eta$ -상은 솔더와 구리 사이에서 솔더 방향으로 생성되는데 이는 용융된 솔더 내로의 Cu 용해도가 높고(약 2at%), 액상 솔더 내의 Cu 확산계수가  $1.8 \times 10^{-4} \text{ cm}^2/\text{sec}$ 로 매우 빠르기 때문이다. 또한  $\epsilon$ -상을 초기접합에서는 볼 수 없었으며, 이것은  $\eta$ -상보다 핵 생성이 어렵기 때문으로 알려져 있다.<sup>6)</sup> Fig. 7(a)에서와 같이 Sn-37wt%Pb 솔더의 경우 시효처리 이전에서는 IMC층이 약 1.4  $\mu\text{m}$  두께로 형성되었고, 900 시간 시효 처리된 시편에서는 약 8.5  $\mu\text{m}$ 로 성장하여 시효처리 시간에 따라 IMC층의 성장이 빠르게 증가하였다. 그러나 Fig. 7(b)의 Sn-97wt%Pb는 시효처리 이전인 초기에는 IMC층이 약 0.45  $\mu\text{m}$  두께로 생성되지만 시효처리

시간이 증가함에 따라 IMC층의 성장속도는 점차 줄어드는 것을 알 수 있었다. 이와 같이 Sn-97wt%Pb 솔더의 경우에 Sn-37wt%Pb 솔더에 비해 얇은 IMC층과 작은 성장을 갖는 것은 솔더내의 조성 성분인

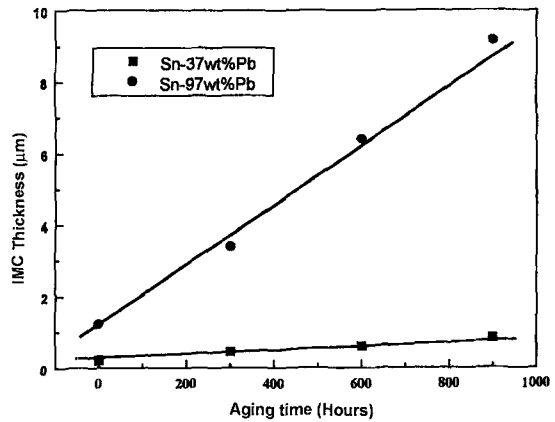
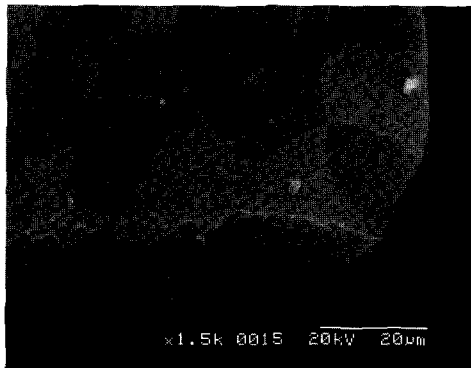
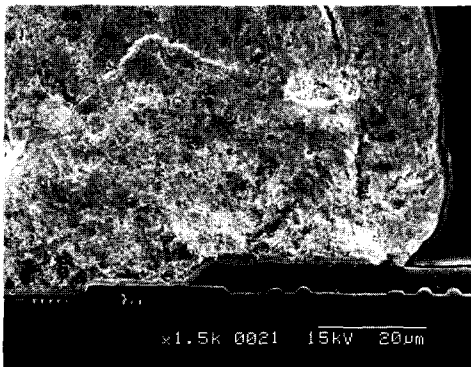


Fig. 8. The relation of IMC thickness and aging time with Sn-Pb alloys.

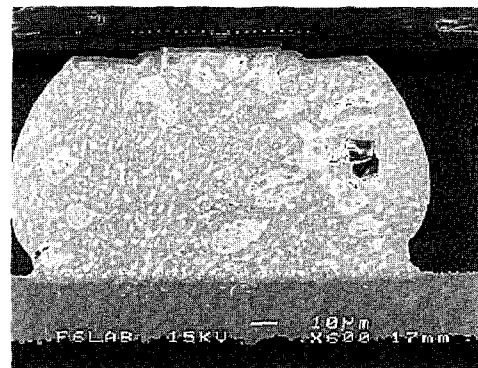


(a)

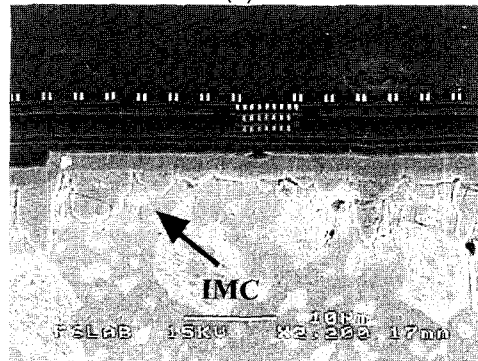


(b)

Fig. 7. IMCs at the interface of the UBM and a solder after aging at 175°C for 900 hrs (a) Sn-37wt%Pb (b) Sn-97wt%Pb.



(a)



(b)

Fig. 9. Cross-sectional views of FC-BGA assembly (a) solder bump (b) IMC layer.

3wt%Sn이 소량이기 때문에 Cu와의 반응이 활발하지 못하여 나타난 결과로 판단된다.

Fig. 8은 두 종류 솔더에서 시효처리 시간에 따라 IMC층의 성장을 비교하였다. IMC의 평균두께는 계면화합물의 단면적을 시효 초기계면의 직선 길이로 나눈 값을 사용하였다.

패키지를 대상으로 시효 처리 조건과 리플로우 솔더링 조건에 따른 차이를 간접적으로 비교하기 위해 실험하였다. 실험은 UBM 구조에 따라 IMC 생성의 차이를 동시에 관찰하기 위해 UBM 구조를 Ti(3000 Å)/Ti-Ni(2500 Å)/Ni(20000 Å)로 형성시켜 패키지를 제작하였다. 완성된 FC-BGA 패키지를 시스템 기판에 실장시킨 후 UBM과 솔더 계면에 형성된 IMC층을 Fig. 9에 나타내었다. 이와 같은 과정은 칩 패드에 Sn-37wt%Pb 솔더 범프가 형성된 초기 상태에서 패키지 기판과 접촉시키기 위한 리플로우 솔더링 1회와 165°C에서 30분간 행한 언더 필 경화 조건이 추가로 적용된 상태이다. 이와 같이 조립된 패키지를 최종적으로 시스템 실장 기판에 부착 한 후 불균일하게 형성된  $\delta$ -상(Ni<sub>3</sub>Sn<sub>4</sub>) 두께는 약 2.7  $\mu$ m이었다. 시효처리 조건에서 형성된 IMC 두께와 비교하면 짧은 시간에 많은 IMC층의 성장을 예측할 수 있었다. 이것은 솔더의 확산 속도가 Cu 내에 비해 Ni 내에서

더 작기 때문에 동일한 조건하에서 생성된 Ni-Sn계 IMC의 두께가 Cu-Sn계에 비해 작다는 것으로도 예측될 수 있다. 따라서 IMC의 성장을 시효 처리 조건과 비교하면 솔더링 조건인 온도에 의한 영향이 상대적으로 많음을 알 수 있었다.

이상의 결과에서 보였듯이 리플로우 솔더링 횟수에 비해 시효처리 조건에서 IMC의 성장이 느린 것은 용융 공정인 솔더링 과정과는 달리 시효처리가 고체상의 확산 반응이므로 성장 속도가 용융에 비해 느려 확산에 의해 속도가 제어되기 때문으로 판단된다.

Fig. 10은 Sn-37wt%Pb에서 UBM 부분의 TEM 분석 결과를 나타낸 것으로, UBM과 IMC층의 접합상태가 명확하게 관찰되었다.

Fig. 10(a)에서와 같이 IMC 층의 왼쪽 상단부분이 검게 나타난 것은 FIB(Focused Ion Beam) TEM 시료 가공시 손상된 부분으로 판단된다. 또한 돌기형의 형상은 시료 제작 과정에서 IMC 부분이 과다하게 연마되어 나타난 현상이다.

### 3.3. 유한요소해석

솔더 범프에 대한 응력 집중과 변형을 예측하기 위해서 유한요소해석을 수행하였으며 해석 결과를 Fig. 11에 나타내었다. 해석 결과를 보면 응력 집중은 초

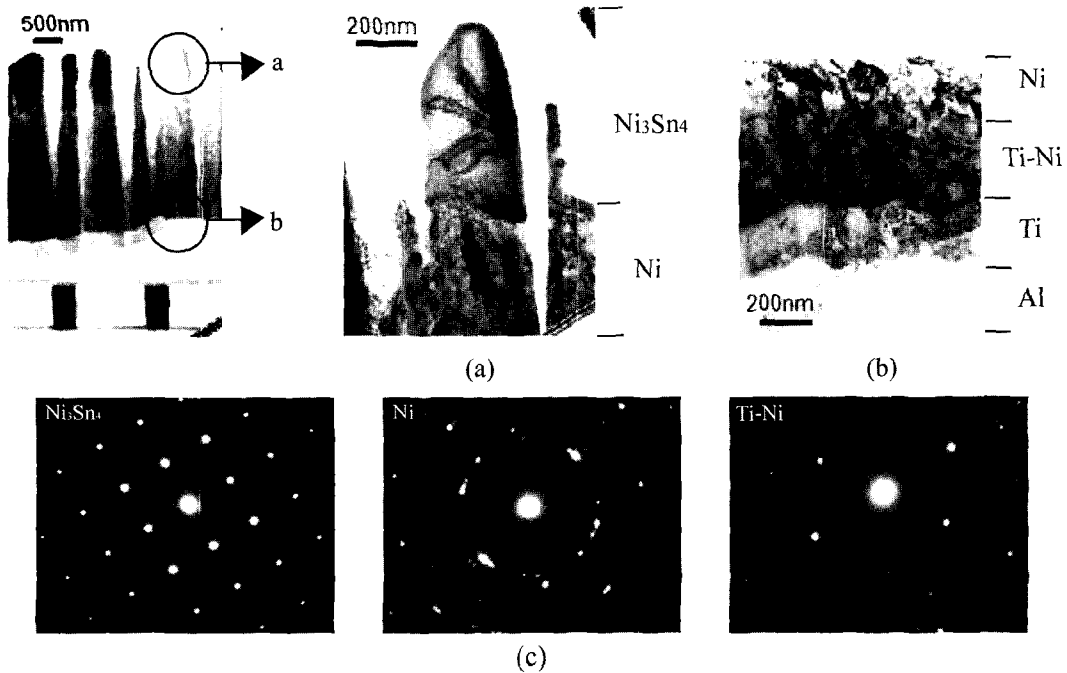


Fig. 10. TEM of UBM and IMC interface. (a) UBM, (b) magnification photograph, (c) diffraction patterns.

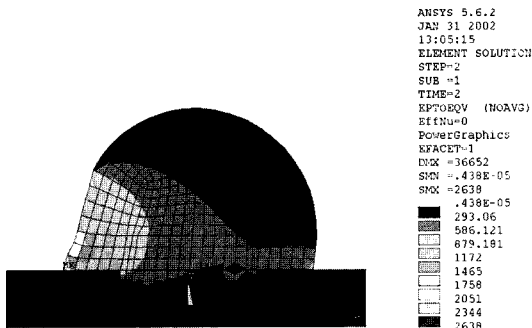


Fig. 11. Bump deformation shape and stress distribution of solder bump after FEA.

기 파단 부분과 동일한 영역인 솔더 범프와 UBM 접합부에서 최대를 보이고 있다. 그러나 응력 분포는 솔더 범프와 UBM 계면을 따라 형성되는 것이 아니라 솔더 범프 내부에 폭넓게 분포됨을 알 수 있었다. 이것은 시효처리 600시간 이전의 전단실험 결과와 같이 파단면이 솔더 내부에서의 파단을 의미한다.

#### 4. 결 론

고속 SRAM 칩에 솔더 범프를 형성시켜 기계적인 특성으로 솔더/UBM 접합강도와 시효처리에 따른 시효강도를 전단강도 값을 통해 평가하였고, IMC 성장 변화를 비교하여 다음과 같은 결론을 얻었다.

1. 전단강도 값은 시효 처리 시간이 증가함에 따라 감소하는 경향을 보였다. Sn-97wt%Pb와 Sn-37wt%Pb에서 900시간 시효 처리된 시편의 전단강도는 최대 값에서 각각 25%, 20% 감소하였다.
2. 시효처리 300시간까지의 전단파괴는 다층 계면층인 UBM층이 아닌 솔더내에서 파괴가 일어나

UBM과 솔더간의 접합이 우수하였다. 그러나, 600시간 이후의 파단 경로는 초기의 솔더 내부에서 IMC층의 계면으로 변화됨을 알 수 있었다.

3. IMC 특성을 배제한 유한요소해석 결과 응력 집중은 전단강도 실험 결과에서 보인 초기 파단 부분과 동일한 영역에서 발생됨을 확인하였다.

#### 참고문헌

1. International Technology Roadmap for Semiconductor, 1999 edition.
2. M.B. Vincent, C.P. Wong, "Enhancement of Under-fill Encapsulants for Flip-Chip Technology", Proceeding of Surface Mount International Conference, pp. 303-312 (1998).
3. Peng Su, Sven Rzepka, "The Effects of Underfill on the Reliability of Flip Chip Solder Joints", Journal of Electronic Materials, Vol. 28, No. 9, pp. 1017-1022 (1999).
4. AlexC. K. So, "Aging Studies of Cu-Sn Intermetallic Compounds in Annealed Surface Mount Solder Joints", IEEE Transactions on Components Package and Manufacturing Technology-Part B, Vol. 20, No. 2, pp. 161-166 (1997).
5. Guowei Xiao, Philip Chah, "The Effect of Stud Structure and Eutectic Solder Electroplating on Intermetallic Growth and Reliability of Flip-Chip Solder Bump", ECTC, pp. 54-59 (2000).
6. K. N. Tu, Acta Metall., Apr, pp. 347 (1973).
7. 신창근, 정재필, 허주열, "BGA 솔더 조인트의 전단강도에 미치는 Cu 첨가 솔더의 영향", IMAPS, Vol. 7, No. 2, pp. 13-19 (2000).
8. 민재상, 황영호, 조일제, "무전해 Ni/Au 도금에서의 BGA Solderability 특성 개선에 관한 연구", IMAPS, Vol. 8, No. 3, pp. 55-62 (2001).