

배치를 위한 효율적인 Elmore Delay 오차 보상 방법 (Efficient Method for Elmore Delay Error Correction for Placement)

김 신 형 [†] 임 원 택 [†] 김 선 권 ^{**} 신 현 철 ^{***}

(Shinhyeong Kim) (Wontek Im) (Sunkwon Kim) (Hyunchul Shin)

요 약 지연시간 계산은 지연시간을 고려한 배치 단계에서 백만 번 이상도 수행되므로 효과적이면서 간단해야 한다. 본 논문에서는 계산은 매우 빠르고 간단하지만 수 백%의 오차를 가질 수 있는 Elmore delay를 개선하기 위해 Elmore delay와 SPICE 결과의 비율을 보상값으로 이용하는 방법을 제안한다. 제안한 새로운 방법은 resistance shielding effects를 고려하여 실험적으로 지연시간을 보상하여 그 오차를 크게 줄이며, 계산 복잡도는 Elmore delay와 같은 정도로 간단하다. Elmore delay가 31.6 ~ 145.2% 오차를 갖는 RC 트리에 대하여 실험한 결과, 보상된 delay의 오차는 2.5 ~ 22.7%로 크게 줄었다.

키워드 : VLSI 디자인, 배치, 엘모어 딜레이, 지연시간 계산

Abstract Delay estimation must be simple and efficient, since millions or more delay calculations may be required during a timing-driven placement stage. We have developed a new Modified Elmore delay estimation method, which is significantly more accurate than the original Elmore delay by considering resistance shielding effects, but has the same order of complexity with that of Elmore delay. Experimental results show that the suggested technique can significantly reduce the error in estimated delay, from 31.6 ~ 145.2% to 2.5 ~ 22.7%.

Key words : VLSI design, placement, Elmore delay, delay estimation

1. 서 론

Timing-driven 설계는 공정기술이 Deep Sub-Micron(DSM)으로 발전하고 고속 동작을 위한 설계가 요구되어짐에 따라 더욱 중요해졌다. DSM공정에서는 논리 게이트(gate)에서의 지연시간보다 연결선 지연시간(interconnection delay)이 더 큰 부분을 차지하게 되었다. 물리적 설계(physical design) 단계인 floorplanning, placement, routing 그리고 설계를 최적화하는 buffer insertion, wire sizing 등의 각 단계에서 지연시간을 고려한다. 각 단계에서의 지연시간 계산은, 특히 배치에서는 수 백만 번의 반복 계산을

할 수 있으므로, 매우 빠르고 효과적이어야 한다.

회로의 크기가 증가하는 요즘 지연시간을 고려한 배치, 배선의 수행은 매우 많은 시간과 노력을 필요로 하며, 회로의 지연 시간을 추정하는 시간과 노력을 줄이는 것은 배치, 배선의 상위단계에서 매우 중요하다. 특히 floorplanning 및 배치 단계에서의 지연시간 계산은, 배선이 완료되기 전이므로 정확한 지연시간의 계산이 불가능하고 많은 회수의 반복계산이 필요하므로, 정확도와 복잡도의 trade-off 관계에서 계산 방법의 복잡도에 중점을 두어야 한다. 본 논문은 Elmore delay[1]보다 정확하고 효율적이며, Elmore delay와 같은 복잡도를 갖는 지연시간 계산법을 제안한다.

Elmore delay는 낮은 복잡도와 간단한 계산 때문에 floorplanning, placement, routing, buffer insertion [2], wire sizing [3] 등에서 널리 사용되어 왔다. 그러나, DSM 공정에서 impulse response 의 첫 번째 moment인 Elmore delay는 SPICE에 의한 지연시간과 수백 퍼센트의 오차를 가질 수도 있다. 예를 들어 그림 1과 같은 배선 모형의 A에서 B까지의 Elmore delay와 SPICE에 의한 지연시간은 typical한 R, C 값

· 이 논문은 2000년 한양대학교 교내연구비의 지원을 받았음.

[†] 비 회 원 : 한양대학교 전자전기제어계측공학과
shkim@dslab.hanyang.ac.kr
wtim@dslab.hanyang.ac.kr

^{**} 비 회 원 : 삼성전자 반도체사업부
phin@samsung.co.kr

^{***} 종신회원 : 한양대학교 전자컴퓨터공학부 교수
shin@hanyang.ac.kr

논문접수 : 2001년 3월 30일

심사완료 : 2002년 5월 21일

을 사용할 때에 215%의 큰 오차를 보인다. 이 오차는 PB간의 거리보다 PZ간의 거리가 상대적으로 커질 경우에 증가한다. 예를 들어, 그림의 표에 보인 바와 같이 PZ의 거리가 1이면 오차는 37%이며, PZ의 거리가 5이면 오차는 129%, 9이면 215%가 된다.

특히 Elmore delay는 resistance shielding effects를 효과적으로 지연시간에 반영하지 못한다. DSM 공정에서는 배선에 사용되는 메탈 층의 저항 성분이 커지므로, resistance shielding effects가 지연시간에 더욱 크게 영향을 미친다[4]. 본 논문에서는 SPICE와 Elmore delay의 차이를 보정한 보상값 표를 이용하여 resistance shielding effects를 고려한다.

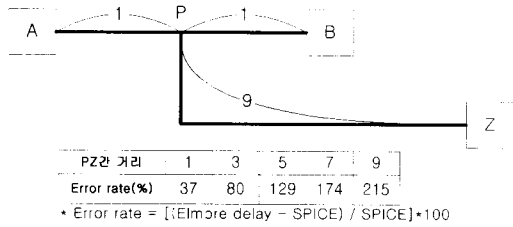


그림 1 3 터미널의 배선 모형

Moment matching 방법인 AWE(Asymptotic Waveform Evaluation)[5]는 정확도가 매우 높다. 그러나 계산량이 많기 때문에 많은 수의 반복 수행이 필요한 설계 최적화에는 적합하지 않다. 2개의 moment를 이용하여 지연시간을 계산하는 방법[6][7]은 AWE보다 빠르나 여전히 설계 최적화에 사용되기에는 계산량이 많다. Elmore delay는 그 계산방법이 간단하고 빠르나, 경우에 따라 수백 퍼센트의 오차를 보인다.

본 논문에서 제안한 Modified Elmore delay는 다음과 같은 장점이 있다.

1. Modified Elmore delay는 보상값(SPICE/Elmore delay) table을 미리 만드는 과정에서 많은 시간이 소요되지만 한 번 만들어 놓으면 공정이 변하지 않는 한 계속 사용할 수 있으므로 효과적이다.
2. Modified Elmore delay는 보상값을 계산하는 과정 없이 단지 결과를 보상 table로부터 읽어오기만 하면 되므로 Elmore delay와 같은 복잡도(big O)를 가지며 매우 간단하다. 이는 수많은 지연시간 계산이 필요한 floorplanning, placement, buffer insertion, wire sizing 등에 적합하다.
3. Modified Elmore delay는 SPICE와 Elmore delay의 차이를 보정한 값을 사용하기 때문에

Elmore delay에 비해 대단히 정확하다.

4. Modified Elmore delay의 보상값은 측정하고자 하는 두 지점간의 경로와, 그 경로사이의 다른 지점과의 연결에 따라, 실제 지연시간이 많은 차이의 보이는 것을 고려한 것이므로, RC 트리의 near-end와 far-end load에서의 error 차가 다른 moment matching 방법보다 작다.

2. Background

2.1 Elmore delay

Zero state step response는 impulse response $h(t)$ 의 적분으로 나타내어지므로 step response의 50% 지연시간 τ 는 다음과 같이 나타낼 수 있다.

$$\int_0^{\tau} h(t) dt = 0.5 \quad (1)$$

Elmore는 $h(t)$ distribution의 평균값으로 τ 를 근사하여, 그 분포함수의 평균을 첫 번째 moment m_1 으로 정의하였다. 지연시간 ED는 다음과 같이 근사화된다.

$$ED = m_1 = \int_0^{\infty} th(t) dt \quad (2)$$

여기서 $\int_0^{\infty} h(t) dt = 1$ 이다. 이 근사화는 impulse response가 좌우대칭이어서 평균이 중간 값과 같은 함수에 대하여 유효하다. 즉, impulse response의 모양이 좌우대칭에 가까워지는 균형 잡힌 클럭 트리의 마지막 노드에서는 Elmore delay의 정확도가 다른 RC tree에 비하여 정확하다. 그러나 실제의 impulse response는 비대칭이므로 지연시간에 있어 오차를 갖게 된다. 예를 들어 여러 개의 터미널 노드를 가지는 bus line의 경우 그 길이에 따라 impulse response가 크게 변한다.

Elmore delay는 RC tree에 대하여 다음과 같이 효율적인 계산이 가능하게 하였다. 노드가 $\{v_0, \dots, v_n\}$ 으로 주어진 RC 트리가 있을 때, v_0 는 소스(source), $0 < i \leq N$ 까지 C_i 는 노드 v_i 에 연결된 커패시터, R_{ki} 는 v_0 에서 v_i 까지의 경로와 v_0 에서 v_k 까지의 유일한 경로사이의 겹쳐지는 부분의 저항 값을 나타낸다. v_i 까지의 Elmore delay는 다음과 같이 표현되어진다.

$$ED_i = \sum_{k=1}^i R_{ki} C_k \quad (3)$$

이는 N개의 노드를 가지는 RC 트리에 대하여 $O(N)$ 의 복잡도를 갖는 알고리즘으로 모든 노드의 지연시간을 계산할 수 있다. [8]은 처음으로 Elmore의 지연시간을 RC 트리 해석에 적용하였으며, 지연시간

의 최대 및 최소경계를 계산하는 방법을 제안하였다. 이 계산 방법은 Elmore delay에 2개의 term이 더 들어가지만 복잡도는 $O(N)$ 이다.

RC 트리를 사용하여 배선 모형을 모델링하는 방법으로는 하나의 저항과 커패시터로 구성되어지는 lumped RC 모델과 여러 개의 저항과 커패시터로 구성되어지는 분산 RC 모델이 있으며 다음은 분산 RC의 여러 가지 모델들이다.

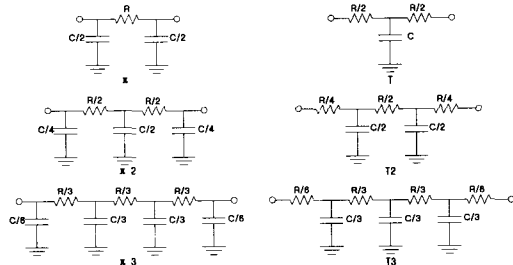


그림 2 분산 RC의 여러 가지 모델

2.2 Moment matching 기법

시간 영역에서 회로의 impulse response를 $h(t)$ 라고 하고, $H(s)$ 를 회로의 전달함수라고 하자.

$$H(s) = \int_0^{\infty} h(t)e^{-st} dt \quad (4)$$

위 식에서 $s=0$ 일 때 e^{-st} 에 대하여 Taylor series expansion을 적용하면

$$H(s) = \int_0^{\infty} h(t) \{1 - st + \frac{1}{2!} s^2 t^2 - \frac{1}{3!} s^3 t^3 + \dots\} dt$$

$$= \sum_{i=0}^{\infty} \frac{(-1)^i}{i!} s^i \int_0^{\infty} t^i h(t) dt \quad (5)$$

L. T. Pillage와 R. A. Rohrer는 i 번째 회로의 moment를 다음과 같이 정의하였다[5].

$$m_i = \frac{(-1)^i}{i!} \int_0^{\infty} t^i h(t) dt \quad (6)$$

(5)와 (6)으로부터 전달 함수 $H(s)$ 를 나타내면 다음과 같다.

$$H(s) = m_0 + m_1 s + m_2 s^2 + m_3 s^3 + m_4 s^4 + \dots \quad (7)$$

[9]에서는 AWE 계산에 있어서 회로를 그래프로 변환하는 효율적 알고리즘으로 moment를 계산하는 RICE(Rapid Interconnect Circuit Evaluator)를 개발하였다. [6][7]에서는 2개의 moment를 이용하여 비교적 정확하면서, AWE 방법보다는 간단한 지연시간 계산법을 다음과 같이 제안하였다.

$$D2M = \frac{m_1^2}{\sqrt{m_2}} \ln 2 \quad (8)$$

N 개의 노드를 갖는 RC 트리에서 $2q$ 개의 moment를 이용한 지연시간 계산 방법의 복잡도는 $O(2qN)$ 이다[10].

3. 개선된 Elmore delay (Modified Elmore Delay)

3.1 실제 지연시간과 Elmore delay의 차이

그림 3과 같이 3개의 터미널을 갖는 배선모형은 아래와 같이 RC 트리로 구성할 수 있다.

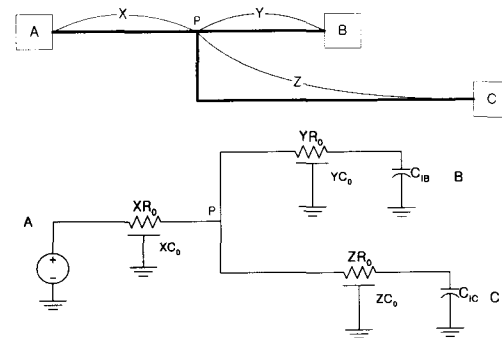


그림 3 3개의 터미널을 갖는 배선모형과 RC 트리

A에서 B까지의 지연시간을 Elmore 방법을 이용하여 구하면 다음과 같다.

$$D_{Elmore} = XR_0(\frac{1}{2} XC_0 + YC_0 + ZC_0 + C_{iB} + C_{iC}) + YR_0(\frac{1}{2} YC_0 + C_{iB})$$

X 를 $1000\mu m$ 로 놓고 Y, Z 값을 변화시키면서 Elmore 지연시간을 측정하였다. C_{iB}, C_{iC} 는 B와 C 입력 핀에 대한 로드 커패시턴스를 나타낸다. 그림 4는 Y, Z 값을 변화시키면서 계산한 Elmore delay와 같은

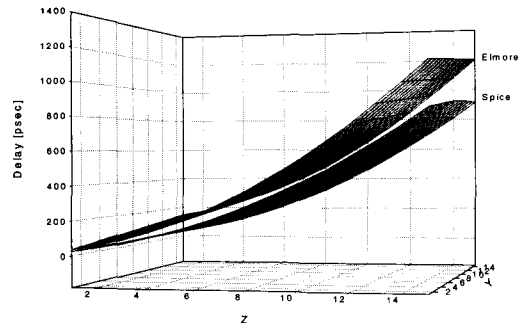


그림 4 Elmore delay와 SPICE 결과

조건에서의 SPICE 결과를 보여주고, 그림 5는 Elmore와 SPICE 결과의 에러율을 보여준다.

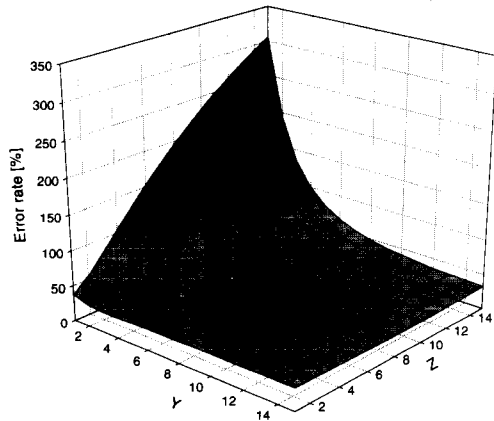


그림 5 Elmore delay와 SPICE 에러율
($error\ rate = [(Elmore\ delay - SPICE) / SPICE] * 100$)

그림 5의 Elmore delay와 SPICE 두 방법에서 A에서 B까지의 지연시간은 최소 28%부터 최대 306%까지의 차이를 보여준다. 이로써 A에서 B까지의 경로 사이에 연결된 C 연결단자의 길이가 길어지면 오차율이 커짐을 알 수 있다. 표 1은 개선된 Elmore delay 계산에서 사용될 $\frac{SPICE}{Elmore\ delay}$ 의 값을 나타낸 것이다.

표 1 보상 값

Y \ Z	1	2	3	4	5	6	7
1	0.727	0.642	0.555	0.487	0.436	0.395	0.354
2	0.768	0.735	0.679	0.622	0.572	0.530	0.495
3	0.775	0.769	0.741	0.702	0.662	0.625	0.592
4	0.774	0.779	0.768	0.745	0.716	0.687	0.659
5	0.771	0.779	0.778	0.766	0.747	0.726	0.703
6	0.768	0.776	0.779	0.775	0.764	0.749	0.732
7	0.766	0.773	0.778	0.778	0.773	0.763	0.751
8	0.764	0.770	0.776	0.778	0.776	0.771	0.762
9	0.763	0.768	0.773	0.777	0.777	0.774	0.769

* Y는 PB간의 거리, Z는 PC간의 거리(그림3) [Y, Z의 단위 : $1 \times 10^3 \mu m$]

3.2 개선된 Elmore delay

Elmore delay 계산방법이 지연시간을 측정하고자 하는 두 지점간의 경로와, 그 경로사이의 다른 지점과의 연결점과 연결길이에 따라 실제 지연시간이 많은 차이를 보이는 것에 착안하여 이 오차를 줄이고자 하

였다. 본 연구에서 제안한 개선된 Elmore delay 방법은 연결점과 연결길이를 고려하여 Elmore delay의 오차를 보정한다. 개선된 Elmore delay 방법은 그림 3과 같은 3터미널 RC 트리의 Elmore 지연시간과 SPICE값의 비율, 즉 보상 값(SPICE/Elmore delay)을 미리 구하여 만들어 놓은 표를 이용한다. 가지(branch)는 지연시간을 계산하고자 하는 두 지점 사이의 경로에 연결된 다른 경로를 말한다. 다음은 개선된 Elmore delay의 계산과정을 나타낸 것이다.

- 1 각 가지를 3터미널 모형으로 근사화 한다.
- 2 각 가지에 맞는 보상값을 미리 구하여진 표로부터 취한다.
- 3 보상값을 각 가지의 커패시터에 곱하여 준다.
- 4 에러가 보정된 RC 트리에 대하여 Elmore delay 계산 방법으로 지연시간을 구한다.

그림 6은 구하고자 하는 A에서 B까지의 경로보다 긴, P에서 C, D까지의 경로가 경로 AB 사이의 P점에 구성되어진 배선 모형과 RC 트리를 보여준다. 이를 3터미널로 근사화 하여 나타내면 그림 7과 같다.

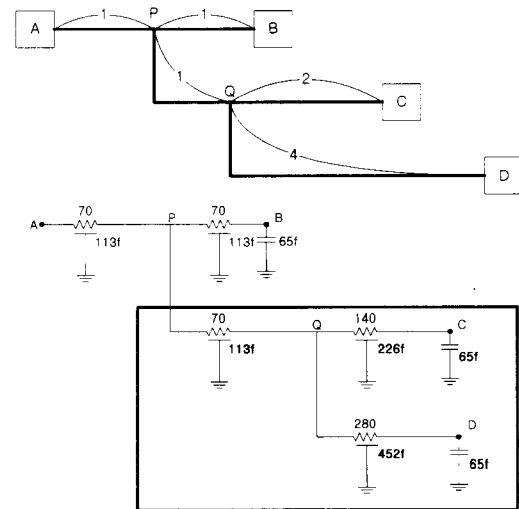


그림 6 4개의 터미널을 가지는 배선모형과 RC트리 (single branch)

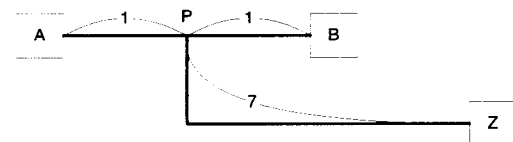


그림 7 3 터미널로 근사화 된 배선모형

<표 1>로부터 <그림 7>의 배선 모형의 보상값은 음영으로 처리한 부분의 0.364 임을 알 수 있으며, 이 보상값을 가지의 커패시터에 곱하여 에러를 보상한 RC 트리를 만든다.

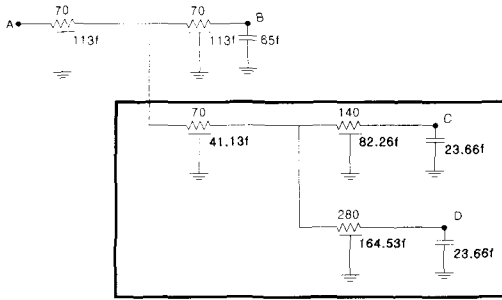


그림 8 에러가 보상된 RC 트리

그림 8과 같이 에러가 보상된 RC트리에 Elmore delay를 적용하여 지연시간을 구한다.

다음은 여러 개의 가지들 가지는 배선 모형에서의 지연시간을 계산하는 방법을 보여준다.

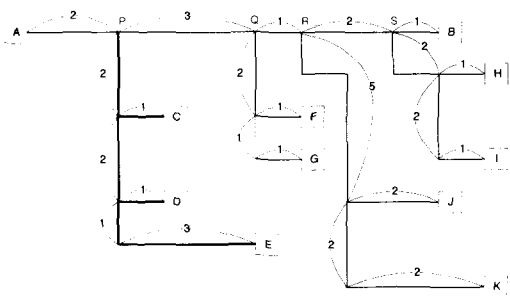


그림 9 4개의 가지들 가지는 배선 모형(multiple branches)

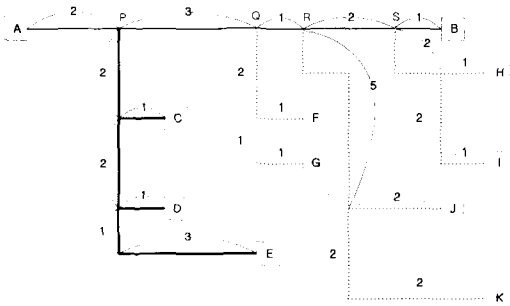


그림 10 4개의 가지들 가지는 배선모형의 근사화

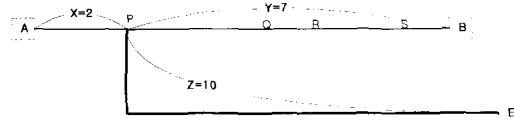


그림 11 3 터미널로 근사화된 결과 (그림 10으로부터)

그림 9와 같이 여러 개의 가지들 갖는 배선 모형에서는 각 가지를 그림 3과 같이 3개의 터미널을 갖는 배선 모형으로 근사화 하여 보상값을 구한다. 이 보상값을 각 가지의 커패시터에 곱하여 에러를 보상한 트리를 만든다. 그리고 보상된 트리로부터 Elmore delay 계산 방법을 사용하여 지연시간을 구한다. 그림 9의 굵은 선으로 표시된 P점(Steiner point)에서 C, D, E까지의 경로로 구성된 가지를 3터미널로 근사화하면, 그림 11과 같이 X=2, Y=7, Z=10인 배선 모형을 얻을 수 있다. 같은 방법으로 나머지 3개의 가지를 근사화 하여 미리 구하여진 SPICE/Elmore delay의 표로부터 보상값을 취해 각 가지의 커패시터에 그 값을 반영함으로써 에러를 보상한 트리를 만든다. 표 2는 그림 9의 각 가지에 대한 보상값을 보여 준다.

표 2 각 가지의 보상 값

Steiner point	X	Y	Z	보상 값
P	2	7	10	0.69
Q	5	4	5	0.72
R	6	3	11	0.56
S	8	1	6	0.69

4. 실험 결과

본 연구에서는 지연시간 계산을 위하여 배선 모형을 RC 트리로 구성할 때 분산 RC 모델을 사용하였으며, SPICE 모델로는 오차율 3% 미만의 π 3 모델을 사용하였다. SPICE로는 HSPICE(98.2)를 사용하였다. 사용한 단위 길이 당 저항, 커패시터, 로드 커패시터 값은, $R_0 = 0.07[\Omega/\mu m^2]$, $C_0 = 0.113[fF/\mu m^2]$, $C_L = 65[fF]$ 이다. 표 3은 SPICE, Elmore delay 그리고 본 연구에서 제안한 Modified Elmore delay의 방법으로 지연시간을 계산한 결과이며, 그림 12는 이를 그래프로 나타낸 것이다. Circuit 1의 값은 그림 6의 배선 모형에 대해 A에서 B까지의 지연시간을 계산한 것이다. Circuit 2 ~ 11의 값은 임의로 생성한 6 ~ 60개의 터미널을 hand routing한 회로에서 임의로 정한 A, B간의 지연

시간을 나타낸다. Circuit 12의 값은 그림 9의 RC 트리
에 대해 A에서 B까지의 지연시간을 나타내고 있다.

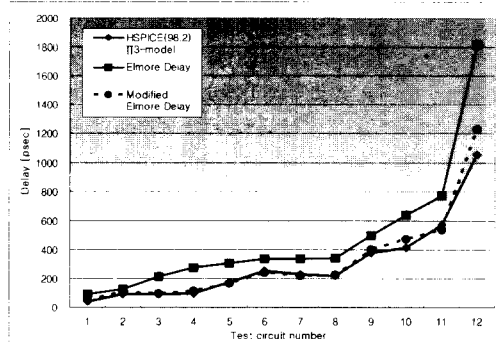


그림 12 SPICE, Elmore delay, Modified Elmore delay 비교

표 3에서의 error rate는 다음과 같으며 SPICE 값
에 대한 Elmore delay의 차에 대한 비율을 나타낸다.

$$[(Elmore\ delay - SPICE) / SPICE] * 100$$

표 3 SPICE, Elmore delay, Modified Elmore delay
비교

	HSPICE [98.2]	Elmore delay	Modified Elmore delay
Circuit 1 <그림 6>	38.18[psec] (0%)	89.39[psec] (134.1%)	46.84[psec] (22.7%)
Circuit 2	90.619[psec] (0%)	123.48[psec] (36.3%)	101.54[psec] (12.1%)
Circuit 3	87.062[psec] (0%)	213.47[psec] (145.2%)	93.30[psec] (7.2%)
Circuit 4	91.355[psec] (0%)	275.17[psec] (201.2%)	111.09[psec] (21.6%)
Circuit 5	174.32[psec] (0%)	308.09[psec] (76.7%)	164.09[psec] (-5.9%)
Circuit 6	253.3[psec] (0%)	335.79[psec] (32.6%)	237.77[psec] (-6.1%)
Circuit 7	229.99[psec] (0%)	336.01[psec] (46.1%)	217.84[psec] (-5.3%)
Circuit 8	219.14[psec] (%)	342.90[psec] (56.5%)	224.51[psec] (2.5%)
Circuit 9	376.42[psec] (0%)	495.45[psec] (31.6%)	400.93[psec] (6.5%)
Circuit 10	411.98[psec] (0%)	637.39[psec] (54.7%)	469.99[psec] (14%)
Circuit 11	571.86[psec] (0%)	769.73[psec] (34.6%)	538.77[psec] (-5.8%)
Circuit 12 <그림 9>	1056.7[psec] (0%)	1819.2[psec] (72.2%)	1229.8[psec] (16.4%)

(**%)는 SPICE에 대한 error rate

표 4 CPU time & Memory

Tested on Sun Ultra Sparc Station Enterprise
250(400MHz)

	Elmore		Modified Elmore	
	CPU Time (msec)	Memory (KB)	CPU Time (msec)	Memory (KB)
Circuit 1	0.02	0.499	0.40	16.883
Circuit 2	0.10	0.499	0.46	16.883
Circuit 3	0.13	0.499	0.48	16.883
Circuit 4	0.11	0.499	0.48	16.883
Circuit 5	0.17	0.499	0.50	16.883
Circuit 6	0.08	0.499	0.44	16.883
Circuit 7	0.07	0.499	0.45	16.883
Circuit 8	0.22	0.499	0.50	16.883
Circuit 9	0.66	0.499	0.91	16.883
Circuit 10	0.04	0.499	0.43	16.883
Circuit 11	0.44	0.499	0.68	16.883
Circuit 12	0.10	0.499	0.44	16.883

표 3으로부터, 본 논문에서 제안한 Modified Elmore
delay가 Elmore delay에 비해 그 값이 작은 것을 알
수 있으며, Elmore delay가 31.6 ~ 145.2%인 RC 트
리의 지연시간 오차를 2.5 ~ 22.7%로 크게 감소시킬
수 있음을 알 수 있다.

5. 결론

본 연구에서는 지연시간 계산 방법으로 널리 사용되
는 Elmore delay를 개선하여 그 오차를 크게 줄였다.
Modified Elmore delay의 복잡도는 Elmore delay와
같은 정도로 매우 간단하여 floorplanning, placement,
routing 그리고 설계최적화 등 수 백만 번 또는 그 이
상의 계산을 수행을 해야 하는, 지연시간을 고려하는
설계 단계에 유용하게 사용될 수 있다. Modified
Elmore delay는 Elmore delay 계산 방법으로, 31.6
~ 145.2%의 오차가 있는 RC 트리에 대하여 오차를
2.5 ~ 22.7%로 줄여 실제 지연시간과의 차이를 크게
줄였다.

참고 문헌

- [1] W. C. Elmore, "The Transient Response of Damped Linear Network with Particular Regard to Wideband Amplifiers," J. Applied Physics, vol. 19, pp. 55-63, 1948.
- [2] K. Sato, M. Kawarabayashi, H. Emura and N. Maeda, "Post-Layout Optimization for Deep Submicron Design," Proceedings of the 33th

- Design Automation Conference, pp. 740-745, 1996.
- [3] C. P. Chen, Y. P. Chen, D. F. Wong, "Optimal wire-sizing formula under the Elmore delay model," Proceedings of the 33th Design Automation Conference, pp. 487-490, 1996.
- [4] L. Pileggi, "Timing Metrics for Physical Design of Deep Submicron Technologies," International Symposium on Physical Design, pp. 28-33, 1998.
- [5] L. T. Pileggi and R. A. Rohrer, "Asymptotic Waveform Evaluation for Timing Analysis," IEEE Transactions on Computer-Aided Design, pp. 352-366, 1990.
- [6] C. J. Alpert, A. Devgan and C. Kashyap, "A Two Moment RC Delay Metric for Performance Optimization," International Symposium on Physical Design, pp. 69-74, 2000.
- [7] C. J. Alpert, A. Devgan, C. V. Kashyap, "RC Delay Metrics for Performance Optimization," IEEE Transactions on Computer-Aided Design, vol. 20, pp. 571-582, 2001.
- [8] J. Rubinstein, P. Penfield, M. A. Horowitz, "Signal Delay in RC Tree Networks," IEEE Transactions on Computer-Aided Design, vol. CAD-2, pp. 202-210, 1983.
- [9] C. Ratzlaff and L. T. Pileggi, "RICE: Rapid Interconnect Circuit Evaluator using AWE," IEEE Transactions on Computer-Aided Design, pp. 763-776, 1994.
- [10] C. P. Chen, N. Menezes, "Spec-based Repeater Insertion and Wire-Sizing for On-chip Interconnect," Proceedings of the 12th International Conference on VLSI Design, pp. 476-482, 1999.
- [11] R. Gupta, B. Krauter, B. Tutuianu, J. Willis and L. T. Pileggi "The Elmore delay as bound for RC trees with generalized input signals," Proceedings of the 32th Design Automation Conference, pp. 364-369, 1995.



김 신 형

2000년 한양대학교 전자컴퓨터공학부 학사. 2001년 ~ 현재 한양대학교 전자 전기제어계측공학과 석사 과정. 관심분야는 VLSI CAD(Clock Routing, Datapath Compiler)



임 원 택

2001년 한양대학교 전자컴퓨터공학부 학사. 2001년 ~ 현재 한양대학교 전자 전기제어계측공학과 석사 과정. 관심분야는 Reconfigurable Computing, VLSI CAD



김 선 권

1999년 한양대학교 전자공학과 학사. 2001년 한양대학교 전자통신전공학과 석사. 현재 삼성전자 반도체사업부. 관심분야는 VLSI CAD, Smart Card, Flash Memory



신 현 철

1974년 ~ 1978년 서울대학교 전자공학 학사. 1978년 ~ 1980년 한국과학기술원 전기 및 전자공학 석사. 1983년 1987년 U.C Berkeley 전기 및 전자공학 박사. 1980년 ~ 1983년 금오공과대학 조교수. 1985년 ~ 1987년 U.C Berkeley ERL 연구원. 1987년 ~ 1989년 AT&T Bell Lab Murray Hill, N.J. 연구원. 1989년 ~ 현재 한양대학교 교수. 1997년 ~ 현재 IDEC 한양대학교 지역센터 센터장