

## Effects of Various Facility Factors on CMP Process Defects

朴成祐\* · 丁韶暎\*\* · 朴昌準\*\* · 李旻珍\*\* · 金起郁\*\* · 金澈福\*\*\* · 金相用§ · 徐龍辰§§  
 (Sung-Woo Park · So-Young Jeong · Chang-Jun Park · Kyoung-Jin Lee · Ki-Wook Kim  
 Chul-Bok Kim · Sang-Yong Kim · Yong-Jin Seo)

**Abstract** - Chemical mechanical polishing (CMP) process is widely used for the global planarization of inter-metal dielectric (IMD) layer and inter-layer dielectric (ILD) for deep sub-micron technology. However, as the IMD and ILD layer gets thinner, defects such as micro-scratch lead to severe circuit failure, which affect yield. In this paper, for the improvement of CMP process, deionized water (DIW) pressure, purified N<sub>2</sub> (PN<sub>2</sub>) gas, point of use (POU) slurry filter and high spray bar (HSB) were installed. Our experimental results show that DIW pressure and PN<sub>2</sub> gas factors were not related with removal rate, but edge hot-spot of patterned wafer had a serious relation. Also, the filter installation in CMP polisher could reduce defects after CMP process, it is shown that slurry filter plays an important role in determining consumable pad lifetime. The filter lifetime is dominated by the defects. However, the slurry filter is impossible to prevent defect-causing particles perfectly.

Thus, we suggest that it is necessary to install the high spray bar of de-ionized water (DIW) with high pressure, to overcome the weak-point of slurry filter. Finally, we could expect the improvements of throughput, yield and stability in the ULSI fabrication process.

**Key Words** : CMP(chemical mechanical polishing), IMD(inter-metal dielectric), HSB(high spray bar), PN<sub>2</sub>(purified N<sub>2</sub>), hot spot, POU(point of use), DIW(deionized water)

### 1. 서 론

최근 반도체 제조 칩의 집적도가 증가함에 따라 다층 구조의 내부 연결(multi-level interconnection) 물질의 층수 또한 점점 증가하는 추세에 있다. 즉, DRAM과 logic 구조가 집적화로 인해 복잡해짐에 따라 미세 패턴 기술이 더욱 필요하게 되었으며 금속선의 층수도 6층 이상으로 증가하고 있다. 이에 따라 많은 문제점이 발생하게 되었는데 미세 패턴 형성을 위해 파장이 감소함에 따라 초점심도(DOF : depth of focus)가 작아지게 되어 정렬(align)에 어려움이 있고[1], 다층화로 인하여 단차가 점점 커지게 되어 미세 패턴 형성이 어려워 집적회로의 제조가 어려워지는 결과를 가져왔다.

이러한 문제점을 해결하기 위해 단차를 없애고 표면을 평탄화시키는 공정이 필요하게 되었는데[2], 반도체 소자 제조 공정에서 단차의 증가와 국부적(local) 또는 광역 평탄화

(global planarization) 구조를 얻기 위하여 현재에는 CMP 공정이 유일한 대안으로 평가되고 있다. CMP 공정에서 가장 중요한 장점은 다층 구조의 내부 연결 물질을 만드는데 필수적인 광역 평탄화를 실현 할 수 있다는 것이다[3]. 이는 공정수가 더 증가한 메모리 분야뿐만 아니라 비메모리 분야에서 더욱 활발히 사용되고 있고, 공정 수가 증가하고, 여러 종류의 다양한 막을 평탄화하는데 사용되고 있다. 그러나 이러한 여러 가지 장점에도 불구하고, CMP 공정에서는 금속간의 피치(pitch) 사이크가 점점 더 작아짐에 따라 회로의 성능을 저하시키고 소자 수율(yield)에 막대한 영향을 미치는 질화막 잔존물(nitride residue) 및 패드 산화막의 손상[4], post-CMP 세정 공정 후 생성된 여러 가지 오염원[5] 등과 같은 문제점들이 발생되었다. 특히, 슬러리 공급 라인(line) 내에서 1 μm 이상의 슬러리들이 응고되거나 덩어리진 체로 공급되어[6] 슬러리 파티클(particle)들을 형성하여 웨이퍼 표면과 만나면 미세한 마이크로 스크래치(micro-scratch)에 의한 금속 브릿지(bridge) 현상이나 하부 금속층과의 침목(stringer) 현상 등이 발생하여 소자에 심각한 영향을 주고 있다[7].

따라서 본 논문에서는 CMP 연마 시스템에 공급되는 여러 설비 요소(facility factors)들과 CMP 공정 결함들과의 의존성을 분석하기 위해 먼저 탈이온수(D. I. water)의 압력 조절 및 정제된 질소(purified N<sub>2</sub> : PN<sub>2</sub>) 가스를 CMP 공정 동안 첨가하여 패턴된 웨이퍼 가장자리에서의 부분적인 과도 연마 현상인 hot spot

\* 準 會 員 : 大佛大學教 電氣工學科 碩士  
 \*\* 準 會 員 : 大佛大學教 電氣工學科 碩士課程  
 \*\*\* 準 會 員 : 동성 A&T  
 § 正 會 員 : 아남 半導體 FAB 事業部 · 工博  
 §§ 正 會 員 : 大佛大學教 電氣工學科 副教授 · 工博  
 接受日字 : 2002년 1월 29일  
 最終完了 : 2002년 2월 28일

를 분석하였다. 다음으로 CMP 연마 장치의 슬러리 공급 라인에 POU(point of use) 필터를 설치하여 필터 크기에 따른 결함 밀도(defect density) 등의 분석을 통해 슬러리 필터의 장점을 제시하였다. 마지막으로 pre-wet법과 HSB(high spray bar)를 설치하여 연마효율을 개선시킬 수 있는 방안에 대해 검토하였다.

2. 실험

그림 1은 본 실험에서 사용된 IPEC 사의 Avanti 472 CMP 연마기를 개략적으로 보인 것으로 캐리어 헤드의 클리닝 효과는 연마기의 헤드 클리닝 스테이션(head cleaning station)에서 DIW 압력과 PN<sub>2</sub> 가스를 이용하여 평가하였다. 연마 패드는 Rodel 사의 IC1000/Suba-IV를 사용하였으며, 슬러리는 Cabot 사의 KOH 계열인 폼드 실리카 연마제를 사용하였다. 그리고 CMP 장비의 슬러리 공급부에 POU(point of use) 필터를 설치하였다. 연마 후 스크래치의 수는 KLA 2I35와 Tencor 사의 AIT(advanced inspection tool)를 사용하였고, 슬러리 필터의 사용 유무에 따른 슬러리의 입자 크기 분포는 PSS(particle sizing system)인 AccuSizer 780을 사용하여 비교하였다.

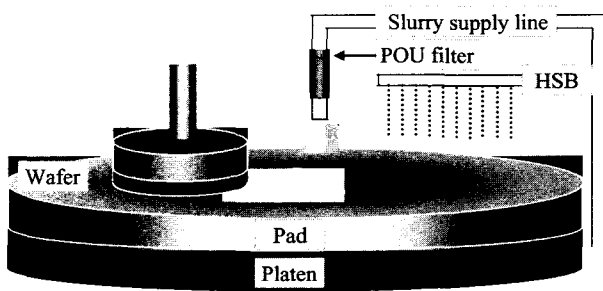


그림 1 IPEC Avanti 472 CMP 연마 장비의 개략도  
Fig. 1 Schematic diagram of IPEC Avanti 472 CMP polisher

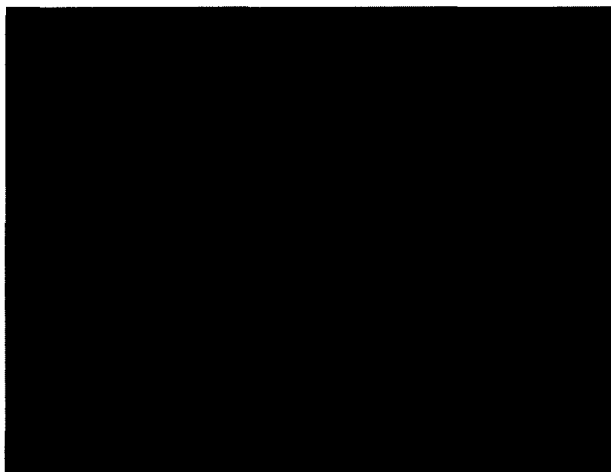


그림 2 고분사기의 사진  
Fig. 2 Photograph of high spray bar(HSB)

그림 2는 본 논문에서 제안하는 HSB(high spray bar)를 보인 것으로 연마가 진행되는 동안 패드 위에 적층되는 슬러리

입자들을 제거시켜 주기 위해 설치하였다. 또한, 이와 병행하여 pre-wet법을 적용하였는데, 여기에서 pre-wet는 슬러리 유속이 150 ml/min.인 주(main) 연마 공정이 시작되기 전에, 먼저 700 ml/min.의 유속으로 슬러리를 투입시켜 연마 패드를 습(wet)하게 만들어 주는 연마 전(前) 단계의 과정을 말한다.

3. 실험 결과 및 고찰

CMP 공정에서 DIW의 표준 압력은 45 ± 5 psi이고, 일반적인 DIW의 주(main) 압력은 70 psi 이다. 그러나 주 공급 라인의 결함으로 인하여 약 50 psi의 압력이 공급되어 헤드 클리닝 스테이션 내의 DIW 압력은 대략 30 ~ 40 psi로 상당히 감소되었다. 이러한 공정 라인상의 문제로 연마기에서 발생하는 웨이퍼 가장자리 영역에서의 부분적인 과도 연마 현상인 hot spot를 방지하기 위해 먼저 연마기의 헤드 클리닝 스테이션에서의 캐리어 헤드의 클리닝 효과를 분석하였다. 이는 DIW 압력을 변화시키면서 수행되었는데, 그림 3은 DIW 압력의 변화에 따른 hot spot 발생 횟수를 나타낸 것이다.

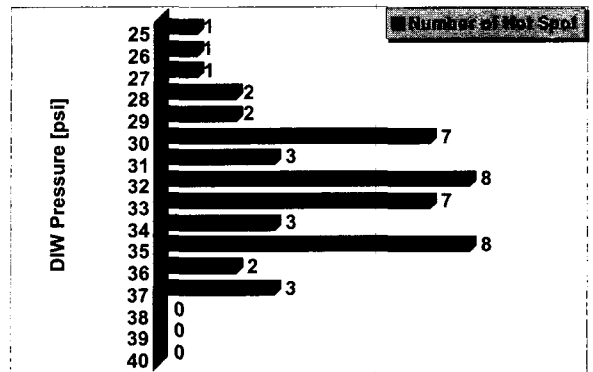


그림 3 DIW 압력 변화에 따른 hot spot 발생 빈도 수  
Fig. 3 Number of hot spot as a function of DIW pressure

그림에서 나타내는 바와 같이 낮은 DIW 압력에서는 비교적 소수의 hot spot가 보이다가 30 ~ 35 psi의 압력에서 가장 많은 빈도를 나타내었고, 표준에 가까운 40 psi 이상의 압력에서는 hot spot가 발생하지 않음을 알 수 있다. 즉, DIW 압력이 표준 이하의 압력으로 감소 시 클리닝 효과 역시 감소됨을 그림 3을 통해 확인할 수 있었다.

그림 4는 앞에서 언급하였던 주 공급 라인의 결함으로 인하여 감소된 클리닝 효과를 증가시키기 위해 연마기의 헤드 클리닝 스테이션 내에 PN<sub>2</sub> 가스를 첨가한 후, hot spot의 발생 빈도를 보인 것이다. 그림에서 보인 것처럼 처음 1 ~ 2주일 동안은 1 ~ 3개 정도의 hot spot가 계속 발생하다가 PN<sub>2</sub> 가스를 첨가한 이후부터는 hot spot가 전혀 발생하지 않았다. 이는 PN<sub>2</sub> 가스의 첨가로 인해 웨이퍼 내의 불순물의 식각이 더 용이해질 뿐만 아니라, DIW 압력 조절로써 해결할 수 없었던 웨이퍼 클리닝에 대한 한계를 극복할 수 있음을 보이는 것이다. 계속해서 연마가 진행되는 동안 슬러리 공급 라인에서 슬러리가 마르거나 덩어리져 생성된 매우 큰 슬러리 입자들이 웨이퍼 표면과 만나서 스크래치를 형성하였다. 이러한 스크래치는 소자 및 하부층에 있는 박막의 금속 배선에도 직접 영향을 주기

때문에 이를 방지하기 위해 0.5  $\mu\text{m}$  크기의 POU 필터를 슬러리 공급부에 설치하였다.

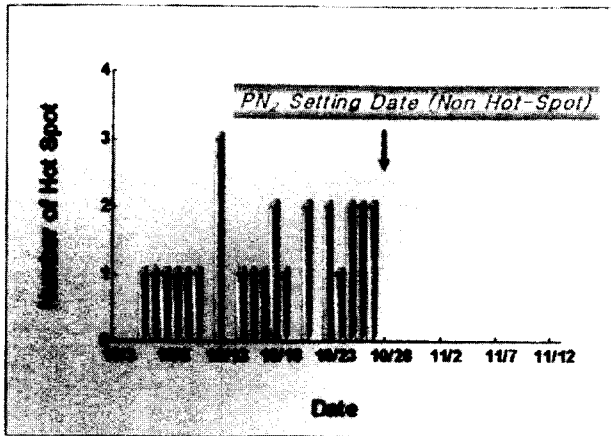
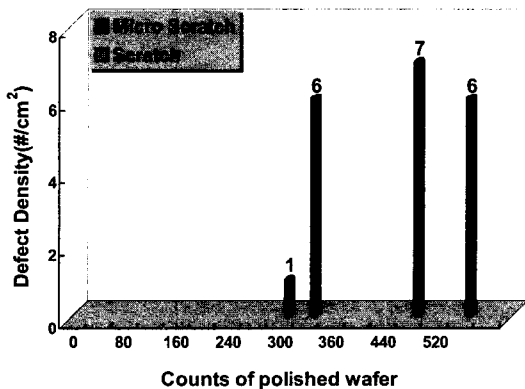
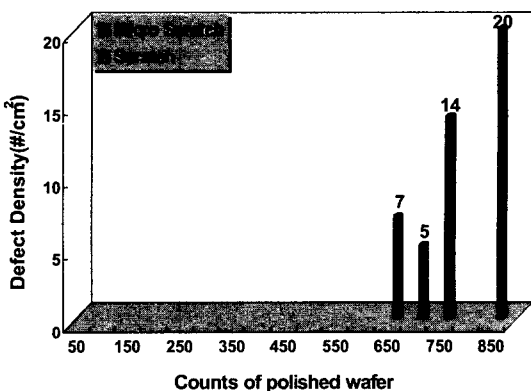


그림 4 PN2 가스를 첨가한 후, hot spot의 발생 빈도  
Fig. 4 As an adding to PN2 gas, number of hot-spot occurrence



(a)



(b)

그림 5 연마된 웨이퍼 수에 따른 결함밀도  
(a) 필터를 사용하지 않은 경우, (b) 0.5  $\mu\text{m}$  필터  
Fig. 5 Defect density as a function of polished wafer counts  
(a) Non-filter, (b) 0.5  $\mu\text{m}$  filter

그림 5는 연마가 진행된 웨이퍼 개수에 따른 결함밀도를 결함의 발생 원인인 마이크로 스크래치와 스크래치 형성으로 나누어 비교한 것이다. 그림 5의 (a)는 필터를 사용하지 않은 경우이고, (b)는 0.5  $\mu\text{m}$ 의 필터를 사용한 경우이다. 실험 결과 (a)와 (b)의 두 경우 모두 비교적 큰 스크래치는 발생하지 않았다. 여과 필터를 사용하지 않은 (a)의 경우에는 연마 패드 위의 웨이퍼 사용 수가 대략 304 번째 웨이퍼에서부터 1 ~ 3개의 마이크로 스크래치에 의한 결함밀도를 보이기 시작하여 연마가 더 진행될수록 6 ~ 7개 정도의 결함 밀도를 보였다. 0.5  $\mu\text{m}$ 의 여과 필터가 장착되었을 때는 (a)의 경우보다 거의 두 배 더 많은 650 번째 웨이퍼에서부터 740 번째의 웨이퍼까지 비교적 많은 7 ~ 15개 정도의 마이크로 스크래치 결함밀도가 나타남을 볼 수 있다. 그러나 840 번째의 웨이퍼에서부터는 거의 20개 정도의 큰 결함밀도를 보이는 것으로 이는 슬러리 필터의 수명에 따른 여과 능력의 감소도 있겠지만 주된 원인은 840장 이상의 많은 수의 웨이퍼를 연마한 결과 소모품인 연마 패드가 수명을 다했음을 의미하는 것이다. 이처럼 슬러리 필터의 사용 유무에 따라 약 2배 정도의 결함밀도가 차이 남을 알 수 있었다. 더욱 중요한 점은 슬러리 필터의 사용으로 CMP 공정의 주요한 소모자재인 연마 패드의 수명도 2배 이상 향상시킬 수 있었다는 것이다. 이상과 같이 덩어리진 슬러리 입자들이 CMP 연마기로 유입되지 못하도록 0.5  $\mu\text{m}$ 의 POU 필터를 설치하여 여과시키면서 연마하였으나, CMP 공정 후 마이크로 스크래치는 여전히 발생하였다. 더 조밀한 슬러리 필터를 사용함으로써 이를 해결할 수도 있겠지만 그러한 경우 슬러리를 원활하게 공급하기가 더 어려워진다. 또한 원하는 양의 슬러리 공급을 받기 위해 슬러리 유속을 증가시킨다면 오히려 슬러리 파편의 필터 효율이 떨어진다. 그러므로 결함을 초래하는 덩어리진 슬러리 입자들을 여과하기 위해 더 조밀한 필터를 사용한다는 것은 결과적으로 연마 효율을 더 감소시키는 결과를 가져온다. 따라서 다른 해결 방안을 찾기 위해 pre-wet법과 탈이온수의 고분사법(DIW-HSB)을 병행하는 방법을 도입하였다.

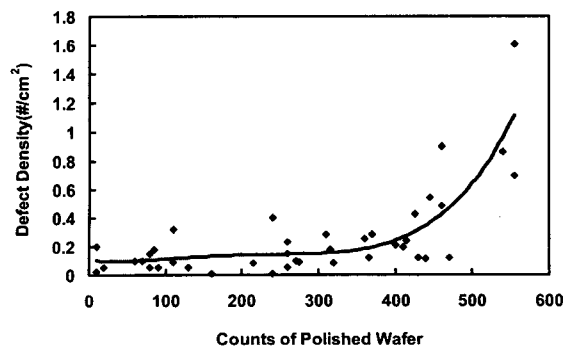


그림 6 Pre-wet 유속이 분당 700 ml 이고, 탈이온수 고분사법을 사용하지 않은 경우 결함 밀도 경향  
Fig. 6 Defect density trend with pre-wet flow rate of 700 ml/min. and without high spray method of de-ionized water

그림 6은 pre-wet 유속이 700 ml/min.이고 슬러리 필터를 사용하였을 때의 결함밀도를 나타낸 것이다. 연마되는 웨이퍼의

개수가 많아질수록 패드 위에 적층된(stacked) 연마되고 남은 찌꺼기들의 수가 증가하여 결과적으로 결함밀도도 증가하였다. 이렇게 패드 위에 적층되는 큰 입자들을 감소시켜 주기 위해 DIW-HSB를 설치하였다.

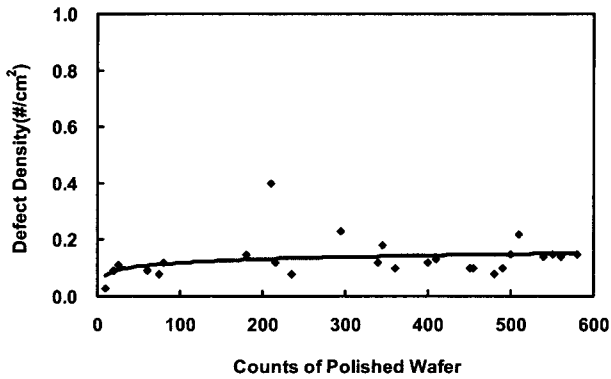


그림 7 Pre-wet 유속이 분당 200 ml 이고, 탈이온수 고분사법을 사용한 경우 결함밀도 경향

Fig. 7 Defect density trend with pre-wet flow rate of 200 ml/min. and high spray method of de-ionized water

그림 7은 pre-wet 유속이 200 ml/min.이고, DIW-HSB를 설치한 경우의 결함밀도를 나타낸 것이다. DIW-HSB를 설치하지 않았던 그림 6과 비교해 볼 때 HSB를 설치함으로써 결함밀도를 상당히 감소시킬 수 있음을 알 수 있다. 또한 HSB를 설치하지 않았던 결과인 그림 6에서는 연마된 웨이퍼의 장수가 400개 이상일 때부터 결함밀도가 점차 증가하기 시작하였으나 HSB를 설치한 경우에는 600장까지 웨이퍼를 연마한 후에도 여전히 결함밀도는 상당히 낮게 분포하고 있음을 알 수 있다. 결론적으로 적당한 슬러리 유속을 갖는 pre-wet법과 DIW-HSB 방법을 통해 앞서 논의되었던 슬러리 필터의 여과 능력의 한계를 해결함으로써 궁극적으로는 패드의 수명을 개선시킬 수 있을 것으로 판단된다.

#### 4. 결 론

CMP 공정에서 마이크로 스크래치로 인한 결함을 제거하기 위하여 DIW 압력을 조절하고, PN<sub>2</sub> 가스의 첨가 효과를 분석해 본 결과, 캐리어 헤드의 불충분한 클리닝 효과로 나타난 웨이퍼 가장자리 영역의 hot spot 현상을 DIW 압력으로는 완전히 제거할 수 없었으나 처음 1 ~ 2주일 동안은 1 ~ 3개 정도 발생하던 hot spot가 PN<sub>2</sub> 가스를 첨가한 이후부터는 전혀 발생되지 않아 매우 양호한 결과를 얻을 수 있었다.

또한 슬러리의 응고에 의한 마이크로 스크래치를 웨이퍼 표면에서 제거하기 위하여 0.5 μm의 슬러리 필터 장치를 슬러리 공급 라인에 설치해 본 결과, 마이크로 스크래치가 없는 누적 웨이퍼의 수가 여과 필터를 사용하지 않은 경우에는 304장이었고, 사용한 경우에는 650장으로 증가함으로써 필터 사용으로 인하여 2배 이상의 우수한 결과를 확보하였으나, 소모자재인 패드의 수명과 관련하여 결함이 전혀 없도록 완벽하게 여과시키는 것은 불가능하였다. 따라서 웨이퍼 연마가 진행될수록 패드 위에 계속 쌓이는 슬러리 입자들을 줄여 패드 수명을 개선하기 위한

방법으로 적당한 슬러리 유속을 갖는 pre-wet법과 높은 압력의 DIW-HSB 방법을 이용하였을 때 아주 효과적이었음을 확인할 수 있었다.

이는 결국 필터의 효율을 향상시키면서 동시에 결함들을 현저히 줄이고 공정 균일도를 향상시키고 동시에 소자 수율(yield)도 증가시킬 수 있으며, 연마 소모품(consumable)인 패드의 사용 수명을 연장시킴으로써 제조 단가를 낮출 수 있을 것으로 생각된다.

#### 감사의 글

본 논문은 2001년 정보통신부에서 지원하는 대학기초연구지원사업(과제번호: 2001-185-3)으로 수행된 결과의 일부이며, 이에 감사드립니다.

#### 참 고 문 헌

- [1] Joseph M. steigerwald, Shyam P. Murarka, Ronald J. Gutmann, "Chemical Mechanical Planarization of Microelectronic Materials", John wiley & sons, INC, 1997.
- [2] S. H. Bath, R. Legegett, A. Maury, K. Monning, and R. Tolles, "Planarizing Interlevel Dielectrics by Chemical Mechanical Polishing", Solid State Tech. pp. 87-91, May 1992.
- [3] Woo-Sun Lee, Sang-Yong Kim, Yong-Jin Seo, "An Optimization of Tungsten Plug Chemical Mechanical Polishing (CMP) Using Different Consumables" Journal of Materials Science : Materials in Electronics, Kluwer Academic Publishers, Vol. 12, No. 1, pp. 63-68, 2001.
- [4] 이우선, 서용진, 김상용, 장의구, "STI-CMP 공정의 질화막 잔존물 및 패드 산화막 손상에 대한 연구", 대한전기학회 논문지, Vol. 50, No. 9, pp. 438-443, 2001.
- [5] Yong-Jin Seo, Woo-Sun Lee, Sang-Yong Kim, Jin-Sung Park, Eui-Goo Chang, "Optimization of Post-CMP Cleaning Process for Elimination of CMP Slurry Induced Metallic Contaminations", Journal of Materials Science : Materials in Electronics, Kluwer Academic Publishers, Vol. 12, No. 7, pp. 411-415, 2001.
- [6] Z. Lin, J. Zahka, and G. Vasilopoulos, "Filtration of CMP Slurries in Chemical Delivery Systems, Proceedings of Workshop on Contamination in Liquid Chemical Distribution Systems", SEMICON West 97, July 13, 1997.
- [7] J. Huang, H. C. Chen, J. Y. Wu, and W. Lur, "Investigation of CMP Micro-Scratch in the Fabrication of Sub-quarter Micron VLSI circuit". Proceeding of Chemical Mechanical Polishing-Multilevel Interconnection Conference (CMP-MIC), pp.77-79, 1999.

저 자 소 개



**박 성 우 (朴 成 祐)**

1972년 2월 5일 생. 2000년 대불대 공대 전자공학과 졸업. 2002년 동 대학원 전기공학과 졸업(석사).

Tel : 061-469-1273

Fax : 061-469-1265

E-mail : psw@mail.daebul.ac.kr



**김 기 옥 (金 起 郁)**

1975년 10월 28일 생. 2001년 대불대 공대 전기공학과 졸업. 현재 동 대학원 전기공학과 석사과정.

Tel : 061-469-1273

Fax : 061-469-1265

E-mail : kimkw@mail.daebul.ac.kr



**정 소 영 (丁 韶 暎)**

1977년 9월 22일 생. 2000년 대불대 공대 전자공학과 졸업. 현재 동 대학원 전자공학과 석사과정.

Tel : 061-469-1273

Fax : 061-469-1265

E-mail : jsy999@mail.daebul.ac.kr



**김 철 복 (金 澈 福)**

1972년 2월 20일 생. 2000년 대불대 공대 전자공학과 졸업. 2002년 동 대학원 전자공학과 졸업(석사). 현재 동성A&T 연구원.

Tel : 011-9625-7474

E-mail : kcb@mail.daebul.ac.kr



**박 창 준 (朴 昌 準)**

1977년 8월 24일 생. 2002년 대불대 공대 전자공학과 졸업. 현재 동 대학원 전기공학과 석사과정.

Tel : 061-469-1273

Fax : 061-469-1265

E-mail : pcj@mail.daebul.ac.kr



**김 상 용 (金 相 用)**

1990.1~1996 현대전자 반도체연구소 CVD/PVD 담당 주임연구원. 1M,4M,64M Memory 반도체개발(PVD/CVD담당). CMP공정개발.

1996.11~아남반도체(주) CMP Manager



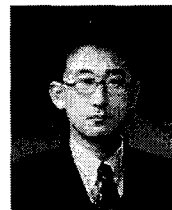
**이 경 진 (李 炘 珍)**

1975년 10월 3일 생. 2001년 대불대 공대 전기공학과 졸업. 현재 동 대학원 전기공학과 석사과정.

Tel : 061-469-1273

Fax : 061-469-1265

E-mail : leekj@mail.daebul.ac.kr



**서 용 진 (徐 龍 辰)**

1964년 2월 13일 생. 1987년 중앙대 공대 전기공학과 졸업. 1989년 동 대학원 전기공학과 졸업(석사). 1994년 동 대학원 전기공학과 졸업(공학박). 1999~2000년 Univ. of North Carolina at Charlotte(UNCC) 과학재단 Post-doctoral Fellow.

현재 대불대 전기공학과 부교수.

관심분야 : CMP 공정, Silicon based nanoelectronics.

Tel : 061-469-1260, Fax : 061-469-1260

E-mail : syj@mail.daebul.ac.kr