

DS/CDMA용 개선된 PN 코드 포착 시스템의 ASIC 설계

조 병 록[†] · 박 종 우^{††}

요 약

PN 코드 포착 과정에서 기존의 방식은 한 시점에서 PN 코드를 검색하므로 PN 코드 포착시간에서 문제가 있다. 본 논문에서는 서로 다른 2개의 코드시점에서 PN 코드를 검색하므로 PN 코드 포착시간을 줄일 수 있는 알고리즘을 제안한다. 본 논문에서는 새롭게 제안한 알고리즘으로 ASIC 칩을 설계하였다. 제안한 알고리즘을 이용하여 설계한 ASIC 칩은 기존의 PN 코드 포착과정보다 면적(게이트의 수)은 약간 늘어났지만 PN 코드포착의 성능은 기존의 방법보다 더 좋음을 확인했다.

A ASIC design of the Improved PN Code Acquisition System for DS/CDMA

Byung Lok Cho[†] · Jong Woo Park^{††}

ABSTRACT

The existing method in PN code acquisition process have a problem in PN code acquisition time because PN code searching is accomplished in one epoch. In this paper, we propose algorithm that can reduce PN code acquisition time because PN code searching is accomplished in each other two epoches. The designed ASIC chip using proposed algorithm confirmed that the area (the number of gates) increase more than existing method in PN code acquisition, but the performance of PN code acquisition is better than existing method.

키워드 : PN 코드 포착(PN code acquisition), CDMA, 동기(synchronization), ASIC, 레이아웃(layout), 프로세스(process)

1. 서 론

현재 이동 통신 시스템의 다중 접속방식으로 제안되고 있는 CDMA(Code Division Multiple Access)기술은 한정된 주파수 대역 내에서 가입자의 수용 용량을 높이고 채널에서 발생하는 기술적 문제(다중경로, 간섭, 정보보호 등)를 해결하는데 있어 우수한 장점을 갖고 있다. 특히, CDMA 확산 대역 신호를 위한 동기(복조)방식 및 구조에는 여러 가지 종류가 있다. 그 대표적인 분야로는 PN 코드 포착에 있어서의 직렬 방식과 병렬 방식, PN 코드 추적에 있어서의 비동기 방식과 동기 방식, 그리고 구현 하드웨어를 중심으로 전통적인 아날로그 회로 방식과 비교적 새로운 디지털 회로 방식으로 나누어 볼 수 있다[1, 2]. 더욱이 최근의 하드웨어의 발달로 인해 PN 코드 포착 및 추적에 대한 디지털 회로 구현에 관해서는 많은 연구가 진행 중에 있다[1, 2].

본 논문에서는 이러한 관점에서 좀더 빠른 PN 코드 포착을 위해서 기존에 하나의 코드 시점(epoch)을 설정해서

조사하는 구조를 개선시켜, 두개의 서로 다른 위치에 코드 시점을 설정함으로써 PN 코드 포착에 필요한 조사시간을 줄이고자 한다[1, 2].

본 논문의 구성은 다음과 같다. 2장에서는 확산 대역 수신기의 구조에서 세분화된 포착 방식에 대하여 살펴보고, 3장에서는 IMT-2000 DS/CDMA의 PN 코드 포착의 개선된 구조 제안 및 ASIC 설계를 하였다. 마지막으로 4장에서는 결론을 맺는다.

2. 확산 대역 수신기의 구조

2.1 PN 코드 포착

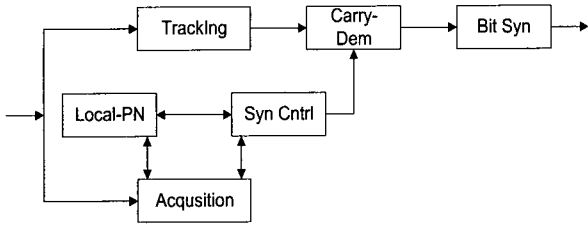
대역 확산된 신호로부터 원래의 데이터 신호를 찾아내는 과정에 있어서 정확한 PN 코드 동기는 매우 중요하다. 수신기는 송신기에서 사용한 확산 코드와 똑같은 코드를 발생시킨다. 이 국부 발생 확산 코드와 수신된 신호속의 코드와의 타이밍을 일치시키는 것이 PN 코드 동기이다. PN 코드 동기는 크게 포착과 추적으로 나눌 수 있는데, 포착은 수신 신호 속의 코드와 국부 발생 확산 코드를 반 칩 이내의 차이로 접근시키는 것이고, 추적은 포착된 신호의 동기

† 정 회 원 : 순천대학교 정보통신공학부 교수

†† 정 회 원 : (주)기산텔레콤

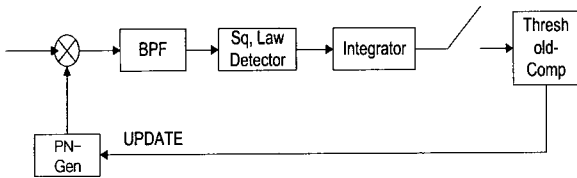
논문접수 : 2001년 10월 17일, 심사완료 : 2001년 11월 16일

가 벗어나지 않게 하고 수신된 신호의 코드와 국부 발생 확산 코드와의 타이밍 차이를 줄이는 것이다[1, 2]. 확산 대역 수신기의 PN 코드 동기 시스템의 전체 블록도를 (그림 1)에 나타내었다. 일반적으로 포착이 추적에 선행되어야 하며, 추적 도중에 동기를 잃게 되면 다시 포착으로 돌아가야 한다[1, 2].



(그림 1) 확산 대역 수신 신호를 위한 PN 코드 동기 시스템

다수의 상관기를 사용하는 방법은 포착 속도가 빠르지만, 비현실적이기 때문에 일반적으로 하나 또는 소수의 상관기를 사용하고, 각각의 가능한 시퀀스에 대하여 검출 과정을 반복함으로써 포착기의 복잡성, 크기, 가격을 줄일 수 있다 [1-3]. 하나의 상관기를 사용한 직렬 포착 시스템의 대표적인 것이 (그림 2)의 고정적분 시구간(single dwell time) 수신기이다.



(그림 2) 고정적분 시구간 PN 코드 포착 시스템

이 수신기에서 적분기의 적분 시간을 T_D , 또는 시구간 (dwell time)이라 부르며 이 경우에는 $T_D = \lambda T_c$ 이다. 또, 히트(Hit)가 결정되면 루프는 검중 모드나 추적 모드로 넘어 가는데, 만일 이것이 오경보(false alarm)이면 새로 포착이 시작되어야 하므로 KT_D 의 시간을 손해본다[1, 2].

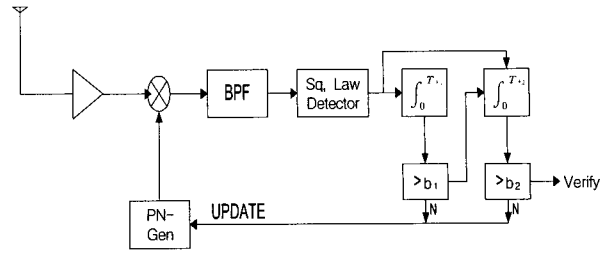
$$\bar{T} = \frac{(2 - P_a)(1 + kP_{fa})(qT_d)}{2P_{fa}} = \frac{qT_d}{2} \quad (1)$$

($P_{fa} = 0, P_d = 1$ 의 경우)

$$\sigma^2 = T_d^2(1 + kP_{fa})^2 q^2 \left(\frac{1}{12} - \frac{1}{P_d} + \frac{1}{P_d^2} \right) \quad (2)$$

$$= q^2 \frac{T_d^2}{12} \quad (P_{fa} = 0, P_d = 1 \text{ 의 경우})$$

고정적분 시구간의 문제점으로는 λ 값의 선택에 있으며, 실제로 λ 값이 PN 코드 주기의 일부만 포함함으로써 나쁜 부분 자기 상관 특성에 의한 오 로크(false lock)의 가능성이 매우 높다[1, 2].



(그림 3) 복수적분 시구간 수신기의 구조

이 보다 진보한 것이 (그림 3)의 복수적분 시구간(Double dwell time) 시스템이며, 여기서는 다른 시구간을 가진 적분기를 사용하는데 첫 번째 적분기는 신속하지만 불안정한 결정에 사용하고, 두 번째 적분기는 느리지만 신뢰성 있는 최종결정에 사용하며, 전체적으로 포착 시간을 줄이는 데 그 목표를 두고 있는 구조이다[1-5]. 이 시스템의 포착 시간에 대한 통계의 결과가 식 (3)과 식 (4)이다[1, 2].

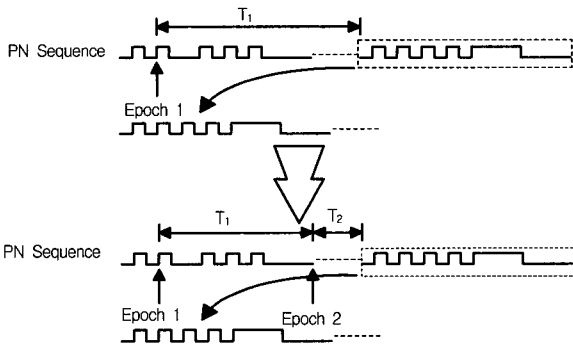
$$\bar{T} = \left[\frac{(2 - P_a)}{2P_d} \right] [T_{d1} + T_{d2} P_{fa1}(1 + kP_{fa2})] q \quad (3)$$

$$\sigma^2 = T_{d1}^2 + T_{d2}^2 P_{fa1}^2 (1 + kP_{fa2})^2 q^2 \left(\frac{1}{12} - \frac{1}{P_d} + \frac{1}{P_d^2} \right) \quad (4)$$

3. IMT-2000 DS/CDMA의 PN 코드 포착의 개선된 구조 제안 및 ASIC 설계

확산대역 방식을 이용한 수신기에서 PN 코드 포착을 위한 과정은 전체 시스템의 성능을 좌우할 만큼 중요한 부분이다. 그렇기 때문에 PN 코드 포착 시간을 줄이고자 하는 많은 연구가 현재 진행중이며, 또한 하드웨어의 발전과 더불어 많은 구조가 제시되고 있다[1, 2, 5]. 현재 제시된 다수의 구조에서는 PN 코드포착을 위해 설정된 부호 시점(epoch) 값이 어느 한곳에 고정되어 수신된 데이터와 국부 PN 시퀀스(pseudo noise sequence) 사이의 상관 관계를 수행하는 알고리즘으로, 이때 최악의 경우인 부호 시점값의 설정위치와 수신 데이터 사이의 거리가 가장 먼 곳에서 초기 PN 코드 포착을 행할 경우에 가장 긴 PN 코드 포착 시간을 요구하게 된다[6, 7]. 이러한 단점을 해결하기 위해서 본 논문에서는 초기 PN 코드 포착 수행시의 시점값을 적당한 거리 간격을 둔 두 지점에 설정하여 동시에 PN 코드 포착을 수행하게 하는 구조로 개선시켜 PN 코드 포착 시간을 줄이고자 한다. 좀더 자세히 도시적으로 표현하면 (그림 4)와 같다. 즉, 아래와 같은 구조로 두 개의 초기 PN 코드 시점을 설정함으로써 시점값과 초기 PN 코드 포착시간과 차가 클 경우에 발생하게 되는 긴 PN 코드 포착 시간의 단점을 해결할 수 있을 것이다.

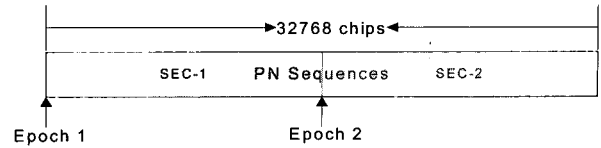
즉 기존의 동기 시스템[6]은 PN 코드 시점값이 시점-1으로 설정될 경우에 수신된 신호의 PN 시퀀스와 국부 신호



(그림 4) 개선된 PN 코드 포착 알고리즘

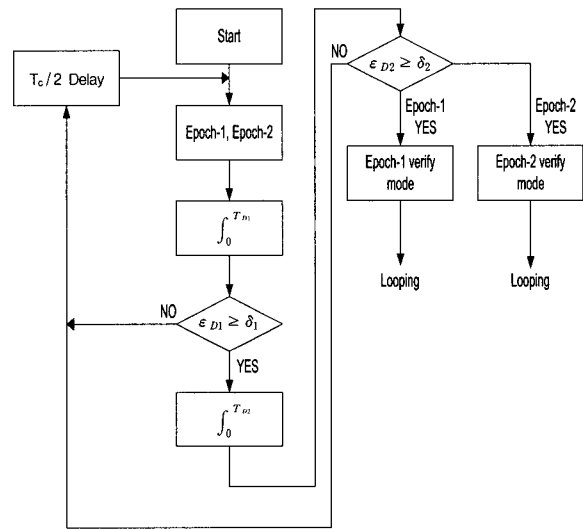
사이의 상관 관계를 만족하는 부분이 점선부분에 해당 할 경우에 PN 코드 포착에 필요한 시간은 T_1 이 걸리게 된다. 그리고 만일 나쁜 경우라고 가정하면 사실상 필요한 시간은 T_1 보다 더 걸릴 수도 있다. 그렇기 때문에, 이 시간을 줄이기 위해서 두 번째 경우와 같은 구조를 적용해서 PN 코드 포착을 수행할 경우에는 초기 과정에 (그림 4)과 같이 두 개의 Epoch 1, Epoch 2가 설정되고, (그림 4)의 첫 번째와 같은 경우라고 하면 동시에 두 지점에서 PN 코드 포착 수행 과정을 행하므로 상관 관계를 만족하는 시간이 Epoch 2쪽에서 T_2 ($T_1 > T_2$)만큼이 소요되게 된다. 따라서 개선된 알고리즘은 실제로 $T_1 - T_2$ 만큼의 시간을 절약하는 효과를 발생시키게 된다.

실제로 여기서 사용하는 PN 시퀀스는 IS-95에 근거한 PCS(personal communication system)표준안의 15개 단계 (stages)로 구성된 $2^{15}-1$ 의 주기(32768 chips)를 가진 시퀀스로 시점값의 설정은 아래의 (그림 5)과 같이 설정을 한다 [8-10].

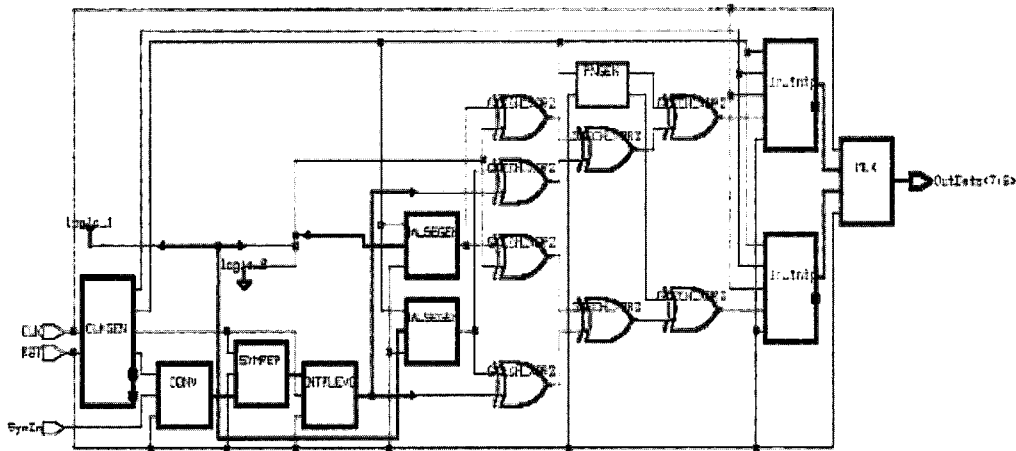


(그림 5) 시점값의 위치

(그림 5)은 시스템을 모델링하기 위해서 사용되는 PN 코드 시점값 설정을 나타낸 그림으로 Epoch 1은 0ms에 Epoch 2은 PN 시퀀스 주기의 반(32768/2)인 16384ms가 되는 지점에 설정하게 된다. 그리고, 나중에 PN 코드 포착 수행을 할 경우에 두 지점에서 동시 수행을 하게 된다. 이렇게 설정된 PN 코드 시점값을 PN 코드 포착 시스템에 적용시키기 위한 알고리즘은 (그림 6)과 같다.

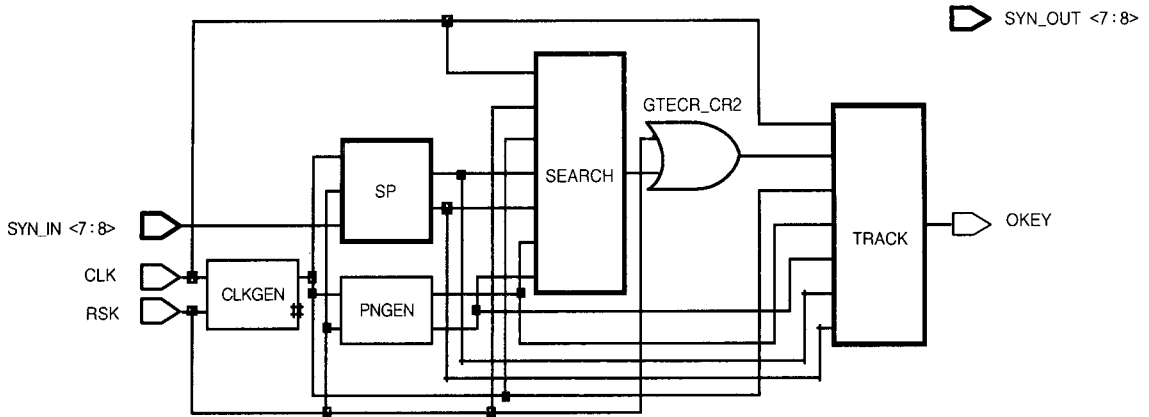


(그림 6) 개선된 PN 코드 포착 알고리즘의 순서도



design: MCM	designer: JT	date: 2/19/99
technology: gtech	compiler: ELSiS	sheet: 1 of 1

(그림 7) IMT-2000 DS/CDMA 송신기의 합성 블록도



(그림 8) 확산대역 수신기의 PN 코드 동기 시스템 합성 블록도

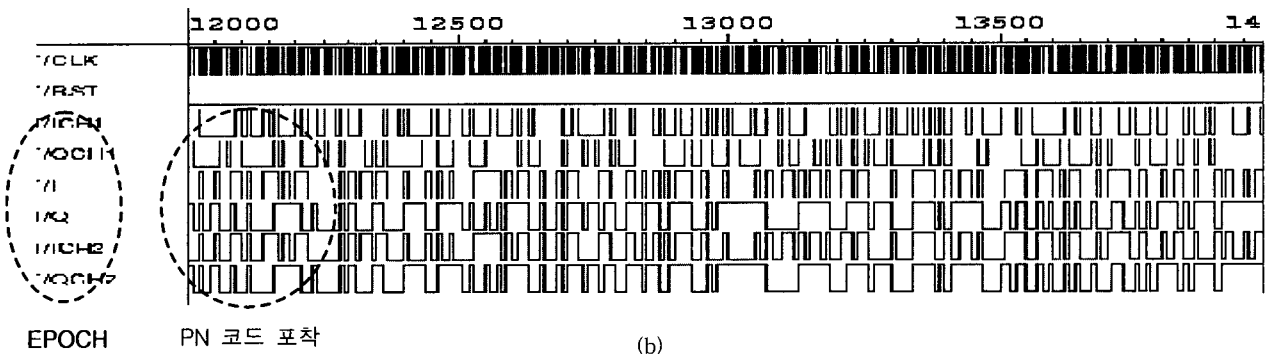
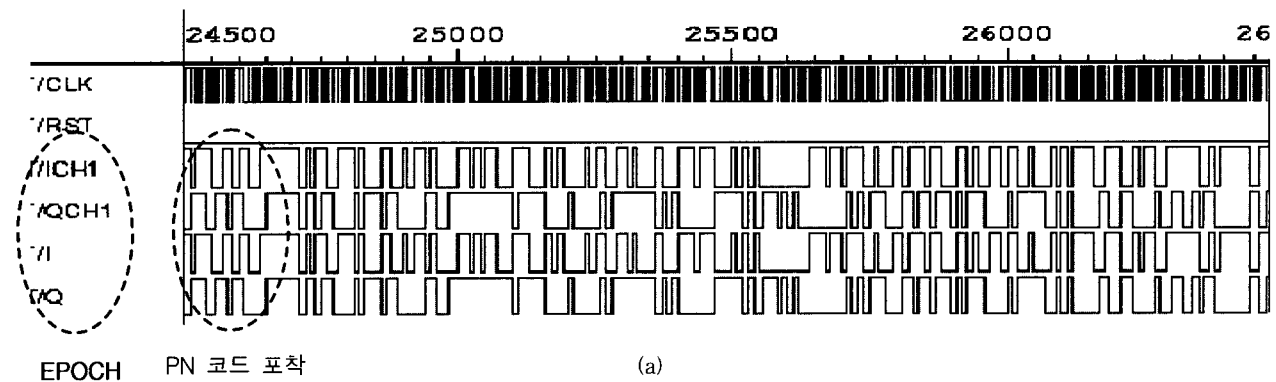
- (1) $SEC-1 \leq V_{T1}$ 이고 $SEC-2 \leq V_{T2}$: 두 지점 모두 $\frac{T_c}{2}$ 씩 이동시킴
- (2) $SEC-1 \geq V_{T1}$ 이면 SEC-1에서 검증 모드 수행
- (3) $SEC-2 \geq V_{T2}$ 이면 SEC-2에서 검증 모드 수행
- (4) $SEC-1 \geq V_{T1}$ 이고 $SEC-2 \geq V_{T2}$: 부정

확산대역 수신기의 PN 코드 포착에 대해서 개선된 구조를 사용하여 시스템의 모든 블록을 VHDL(very high integration hardware description language)로 설계하고, 설계된 블록을 SYNOPSIS사의 합성 툴(tool)을 사용하여 논리

합성한다. 최적의 논리 합성 결과를 이끌어내기 위하여 서브 블록(sub block)에 대한 여러 가지 제반사항(포트와 포트 사이의 상승/하강 지연, 중요한 경로, 커패시턴스, 파워, 팬 인, 팬 아웃 등)을 실제 칩의 사양에 맞게 설정하여 합성한다.

확산대역 시스템은 크게 송신기와 수신기, 프로세서로 나누어지고, 더 나아가 각 시스템을 좀더 작은 세부 블록으로 나누어 볼 수 있다. IMT-2000 DS/CDMA의 송신기는 (그림 7)과 같다.

(그림 8)은 확산대역 수신기에서 PN 동기 시스템의 블록도를 나타낸 것이다.



(그림 9) PN 코드 포착 시스템의 시뮬레이션 결과 파형

(그림 9)은 구현한 PN 코드 포착 블록(block)의 시뮬레이션(simulation)을 수행한 결과를 나타낸 것이다.

(그림 9)의 시뮬레이션 결과를 살펴보면, (그림 9a) 파형은 기존의 PN 코드 포착 구조의 동작결과이고, (그림 9b) 아래의 파형은 개선된 구조를 적용하여 구현한 시스템의 동작결과를 나타낸 그림이다. 여기서, I, Q는 송신기에서 보낸 신호를 의미하고, (그림 9a)에서는 하나의 Epoch(ICH1, QCH1)값에서 신호가 나와 PN 코드 포착을 수행하고, 반면에, (그림 9a)는 두 개의 Epoch(ICH1, ICH2, QCH1, QCH2)값에서 나온 신호를 가지고 PN 코드 포착 과정을 수행시킨다. 두 시스템 모두 초기에는 PN 코드 포착이 이루어지지 않다가, (그림 9a)파형은 24,500 ns에서 동기가 이루어지고 (그림 9b)파형은 Epoch 2(ICH2, QCH2)의 13,000 ns에 각각 PN 코드 포착이 됨을 볼 수 있었다. 즉 개선된 시스템이 약 13,000 ns의 PN 코드 포착 시간을 줄여주는 효과를 발생했다. 다만 또 다른 곳의 시점값을 처리해주는 과정에서 각 블록(block)에서 약 400 게이트 정도의 칩 면적이 증가하는 것을 볼 수 있었다. 설계된 PN 코드 포착 시스템 소요게이트 및 포착시간의 비교는 <표 1>과 같다.

<표 1> PN 코드 포착 시스템 소요게이트 및 포착시간의 비교

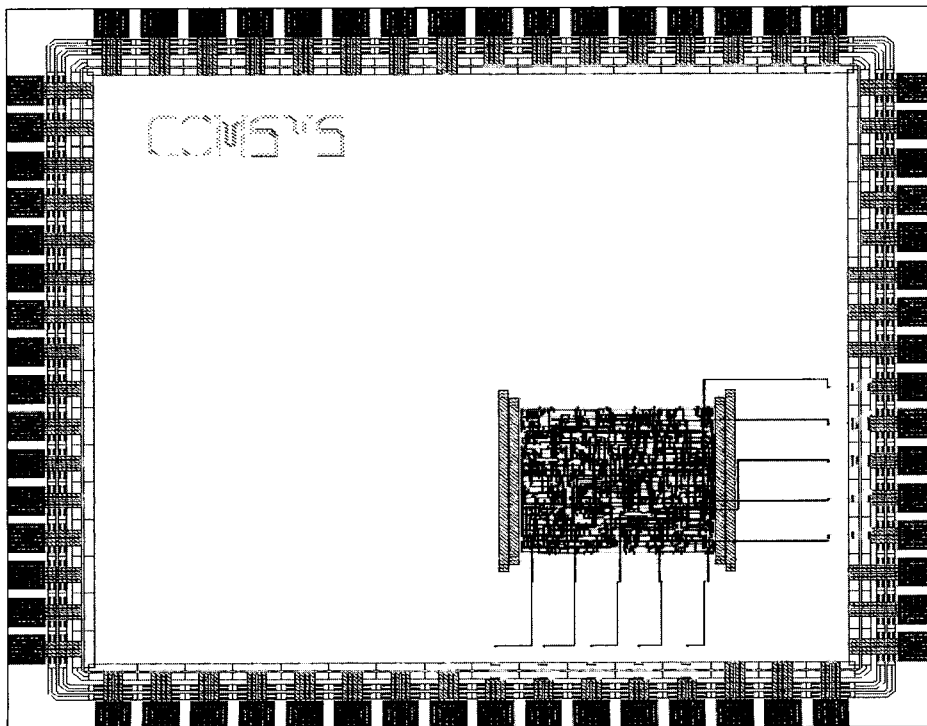
	입력핀	출력핀	LCs	gates	time
송신기	3	48	2276	45,000	
기존 PN 코드 포착 시스템[6]	6	4	419	8,200	~24,500ns
개선된 PN 코드 포착 시스템	8	4	467	8,600	~13,000ns

Function Level 에서 시뮬레이션이 완료되면 ASIC 밴더의 설계 키트를 이용하여 합성을 하는데 본 논문에서는 아남 0.25um 공정의 IDEC-C221 표준 셀 라이브러리를 사용하여 Synopsys의 Design Analyzer를 이용하여 합성하였다. (그림 10)은 PN 코드 포착 시스템의 레이아웃이다.

4. 결 론

본 논문에서는 기존의 PN 코드 포착 시스템에서 요구되는 포착 시간을 개선한 구조 및 시스템 알고리즘으로 PN 코드 포착 시스템의 성능을 향상시킬 수 있었다. 특히, 본 논문에서는 확산대역 수신기의 설계 시 성능을 좌우하는 요소인 PN 코드 포착 시간의 향상을 위하여 개선된 구조의 복수 적분 시구간 PN 코드 포착의 구조를 제안하고 직접 칩으로 설계하여 성능을 검증하였다. 제안한 알고리즘을 시스템 블록으로 표현하고, 이를 ASIC화 하였을 때 기존의 PN 코드 포착과정과 비교하면 면적(게이트의 수)은 약간 늘어났지만 PN 코드 포착 성능은 기존의 방법과 비교하면 더 좋음을 알 수 있다. 그리고 이 구조는 PN 코드 포착의 다음 단계인 추적 모드에서도 적용이 될 수 있을 것으로 본다. 그렇기 때문에 PN 코드 포착과 추적 모드를 모두 갖춘 시스템을 구현 할 경우에 아주 우수한 특성을 발휘 할 수 있을 것으로 본다. 향후 멀티미디어 서비스를 위한 IMT-2000 표준안으로 제안되고 있는 WCDMA의 동기 과정에서 적용이 될 수 있을 것으로 본다.

CAD툴을 지원해주신 IDEC에 감사드립니다.



(그림 10) 아남의 0.25um, 2.5v, five metal CMOS 기술을 이용한 PN 코드 포착 시스템의 레이아웃

참 고 문 헌

[1] Simon M. K., Omura J. k., Scholtz R. A., Levitt B. K., *Spread Spectrum Communications Handbook*, McGraw- Hill Inc., 1994.

[2] 최형진, *동기방식 디지털 통신*, (주)교학사, pp.326-358, 1995.

[3] 만용희, *CDMA Cellular Mobile Communication Network Security*, Prentice Hall, New York, 1995.

[4] Tero. ojsnpera, and Ramjee. Prasad, *Wideband CDMA For Third Generation Mobile Communication*, Artech House, New York, pp.320-570, 1998.

[5] R. De Gaudenzi, and M. Luise, "Decision-directed Coherent Delay-lock Tracking Loop for DS Spread-spectrum Signals," *IEEE Trans. on Comm.*, Vol.39, No.5, pp.758-765, May, 1991.

[6] W. R. Braun, "Comparison Between Variable and Fixed Dwell Time PN(pseudo noise) Acquisition Algorithms," *Proceeding of ICC*, pp.472-482, 1982.

[7] W. R. Braun, "Performance Analysis for the Expanding Search PN(pseudo noise) Acquisition Algorithm," *IEEE Trans. on Comm.*, Vol.com-30, No.3, pp.424-435, March, 1982.

[8] 박종우, 조병록, "DS-CDMA을 이용한 코드 동기 획득 시스템의 FPGA설계", *대한전자공학회 추계종합학술대회* : pp. 67-70, 1999.

[9] J. K. Hinderling, et. al., "CDMA Mobile Station Modem ASIC," *IEEE Journal on Solid-State Circuits*, pp.1470-1476, 1993.

[10] 박형숙, 문재경, 김대호, 임명섭, "FPGA를 이용한 CDMA 기지국 복조 핵심회로 설계 및 구현", *Telecommunications review*, Vol.3, No.9, pp.18-31, 1993.



조 병 록

e-mail : blcho@sunchon.ac.kr

1987년 성균관대학교 전자공학과(공학사)

1990년 성균관대학교 대학원 전자공학과 (공학석사)

1994년 성균관대학교 대학원 전자공학과 (공학박사)

1987년~1988년 삼성전자 (주)종합연구소

1994년~현재 순천대학교 전자공학과 부교수

관심분야 : 디지털 통신이론, 디지털 통신시스템 ASIC설계, 무선 멀티미디어용 고속 모뎀 설계, 무선인터넷 성능분석



박 종 우

e-mail : pj1620@orgio.net

1996년 순천대학교 전자공학과(공학사)

2000년 순천대학교 대학원 전자공학과 (공학석사)

2001년~현재 (주)기산텔레콤

관심분야 : 디지털 통신시스템 ASIC설계, 무선멀티미디어용 고속 모뎀 설계 등