

論文2002-39SD-8-6

최소화된 Power line noise와 Feedthrough current를 갖는 저 전력 SDRAM Output Buffer

(A Low Power SDRAM Output Buffer with Minimized Power Line Noise and Feedthrough Current)

柳在熙 *

(Jae Hee You)

요 약

낮은 전력선 잡음과 피드쓰루 전류를 갖는 저전력 SDRAM 출력 버퍼가 소개된다. 다수의 I/O를 갖는 SDRAM 출력 버퍼에 있어서, 제안된 언더슈트 방지 회로를 통하여, 피드쓰루 전류의 감소뿐 아니라, 전력 소모의 감소가 가능하다. 효율적인 피드백 방법을 사용한 풀다운 드라이버를 사용하여, 접지선 잡음을 감소시킬 수 있다. 기존의 회로에 비하여 접지선 잡음은 66.3%, 순간 전력소모는 27.5%, 평균 전력 소모는 11.4% 감소되었다.

Abstract

A low power SDRAM output buffer with reduced power line noise and feedthrough current is presented. In multi I/O SDRAM output buffer, feedthrough current as well as the corresponding power dissipation are reduced utilizing proposed undershoot protection circuits. Ground bounce is minimized by the pull down driver using intelligent feedback scheme. Ground bounce noise is reduced by 66.3% and instantaneous and average power are reduced by 27.5% and 11.4%, respectively.

I. 서 론

DRAM은 많은 응용분야에 널리 사용되고 있으나, 아직 CPU에 비해 속도 면에서 현저히 차이가 있어, DRAM과 CPU간의 성능 차이를 줄이기 위해 SDRAM, RAMBUS, DDR등의 다양한 DRAM 설계방법이 시도되고 있다. 최근의 DRAM은, 다수의 핀을 고속으로 동

작 시켜, CPU에서 요구되는 데이터를 공급하고 있다. 이때, 출력버퍼는 DRAM에 저장된 데이터를 외부에 신속히 전송하는 역할을 담당하며, 이를 위하여 상당한 크기의 output load capacitance를 신속히 구동하게 되고 따라서 큰 크기를 갖는 트랜지스터를 필요로 한다. 이 경우 스위칭시 발생하는 feedthrough 전류와, 이로 인한 전력소비가 증가하게 되어, 특히 휴대용 시스템에서 문제가 발생하게 된다. 이러한 스위칭 과정에 있어 power line으로 통과하는 전류의 변화량은 칩 내부의 각종 L 성분에 의해 $L(dI/dt)_{max}$ 으로 주어지는 noise가 발생하게 된다. 이 결과 power line noise에 의한 출력 파형의 ringing이 클 경우 메모리 access time을 증가시키는 결과를 가져오게 된다. 이러한 문제점은 현재의 추세인, synchronous 모드를 사용하고, I/O 핀이 증가함에 따라 더욱 심각하게 된다. 따라서 구동 능력을

* 正會員, 弘益大學校 電子電氣工學部
(School of Electronics and Electrical Engineering, Hongik University)

※ “본 논문은 홍익대학교 연구년 기간 (2000. 3~2001. 2)중 정보 통신 연구진흥원 정보 통신 해외 장학 프로그램 지원 하에 연구되었음.”

接受日字:2001年7月25日, 수정완료일:2002年6月25日

줄이지 않으면서 ground bounce noise 및 output ringing과 저 전력 소모를 위한 feedthrough 전류를 줄이는 방법이 필요하다. 기존의 설계방법을 살펴보면, [1]의 DRAM 출력버퍼는 pull-up과 pull-down 트랜지스터의 구동을 output preset과 feedback을 이용해 구동을 제어하여 고속화와 더불어 출력 스위칭 동안에 발생하는 inductive noise를 최소화시켰다. [2]는 parasitic RLC 회로의 저항 특성을 제어함으로써 ringing을 감소시키도록 하여 ground bounce noise를 최소화하였다. 그러나 기존의 설계에서는 feedthrough 전류를 동시에 감소시키는 것이 불가능하며, [1]의 경우에는 많은 양의 복잡한 feedback 처리 회로를 필요로 하고 [2]는 제어하기 어려운 가변적인 RLC 회로를 조정하는 것이 요구된다. 본 논문에서는 신속한 스위칭시에 발생하는 power line noise를 감소시켜 ground bounce noise를 최소화하고 feedthrough 전류에 의한 전력 소모를 감소시키기 위하여 간단한 feedback 회로를 통하여 slew rate를 조절함으로써 전력소모 및 power line noise를 최소화할 수 있는 Undershoot Protection dual Driver Output Buffer (UPDOB)를 제안하였다. II장에서는 기존의 방법과 제안된 출력버퍼의 회로 설계 구조에 대해서 비교 설명되고, III장에서는 simulation 및 결과 분석에 대하여 서술된다.

II. 출력버퍼 회로 설계

1. 기존의 DRAM 출력버퍼

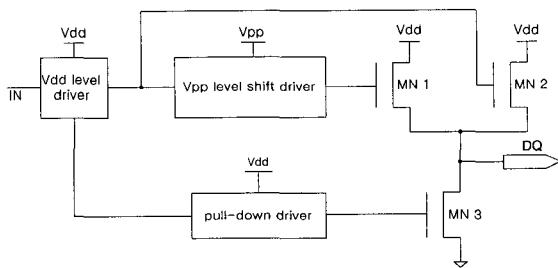


그림 1. 기존의 DRAM 출력버퍼
Fig. 1. Conventional DRAM output buffer.

그림 1은 Vdd level driver, pull-down driver, Vpp level driver 및 MN1, MN2, MN3으로 구성되어 있는 기존의 DRAM 출력버퍼이다. 일반적으로 PMOS와 NMOS사이에서 발생하는 latch up을 방지하기 위해서 NMOS MN1, MN2로 pull up driver를 구현한다. 이로 인해 MN2의 gate에 Vdd level driver에서 발생하는 Vdd가 인가되어 출력을 구동할 경우, 출력은

Vdd ~ Vth까지만 상승하게 되므로, Vpp level driver로 MN1을 구동하여, 출력을 Vdd까지 상승시키게 된다. Vpp는 DRAM에서 일반적으로 사용되는, boost word line을 위한 Vpp pump 회로 출력을 공유하여 사용한다.

2. 제안된 Undershoot protection dual driver output buffer

그림 2는 그림 1의 undershoot protection 및 feed-through 전류를 감소시키는 회로를 설계하여, power line noise 및 전력 소모를 최소화할 수 있는 UPDOB 회로를 나타낸다. 그림 2에는 power line 및 bonding wire에 대한 interconnection 모델링이 추가되었다. 일반적으로 instantaneous power는 데이터를 외부에 출력할 때 발생하는데 보통 load capacitance가 50pF 내지 100pF으로 되어 있어, 신속한 스위칭시 매우 큰 feedthrough 전류를 발생시키게 된다. 이로 인해 순간적인 전류의 변화는 power line과 bonding wire들에 존재하는 inductance에 의해 큰 순간적인 전압 및 ringing을 발생시키게 된다. 특히 출력버퍼 ground의 ringing은 최종 출력 DQ가 logic 0 상태에서 그림 2의 MN22 등을 구동시켜, 최종 DRAM 출력에서 거꾸로 출력버퍼 ground로 큰 전류를 흐르게 하게 된다. 이와 동시에 DQ의 ringing은 꺼져있는 MN1, MN2 등을 구동시켜, 출력버퍼에 feedthrough 전류를 발생시켜, 막대한 전력이 낭비되게 된다. 이를 해결하기 위한 제안된 그림 2의 회로도들 분리하여 설명하면 다음과 같다. Vpp level shift driver는 II.1에서 설명된 바와 같이 NMOS를 이용, DQ를 Vdd까지 상승시키는 역할을 수행하고, 또한 MP6과 MP7은 latch 동작을 통하여, 스위칭 동안에 MP1, MP2, MN12, MN13을 통하여 흐르

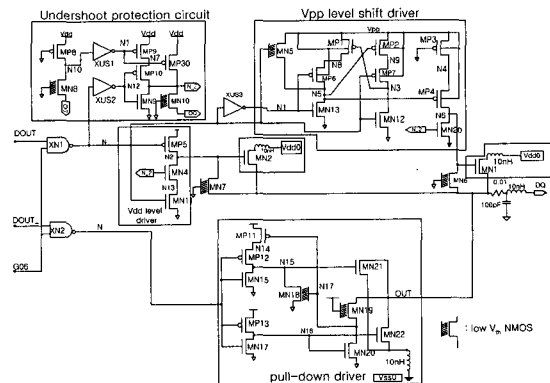


그림 2. Undershoot protection dual driver output buffer (UPDOB) 회로도

Fig. 2. Undershoot protection dual driver output buffer (UPDOB) circuit diagram.

는 Vpp 전원에서의 전류를 최소화시켜 Vpp pump회로의 부하를 최소화시킨다. MN1과 MN2는 각각 n-채널 트랜지스터 8개를 병렬로 연결하여 스위칭시 고속으로 차례차례 구동시킴으로써 Vdd Power line noise 극소화시키게 된다. MP3은 pull up 전류를 제어하여 MN1의 slew rate를 최적화시켜 Vdd power line noise를 최소화시킨다. Ground bounce 문제를 최소화시키기 위하여 feedback을 이용한 pull-down driver가 설계되었다.

이 회로의 입력인 노드 N이 logic 0이면 MN2가 먼저 구동되고 DQ를 pull down 시킨다. 초기에 급속한 pull down 전류가 흐르는 것을 방지하기 위하여, DQ쪽에서 feedback되어 들어오는 노드 OUT은 MN19와 MN20에 의해 조절되어 MN18을 동작시킴으로써 MN21의 구동정도를 조절하게 된다. 따라서 pull down driver인 MN21의 slew rate를 조절시켜, ground bounce를 주어진 조건에서 최소화시킨다. 마지막으로 undershoot protection 회로를 살펴보면 DQ가 ground 전압에서 Vth 보다 더 떨어질 때 DQ 전압이 MN8의 gate 전압보다 낮기 때문에 MN8은 구동되게 되고 그 순간 N10의 전압은 거의 DQ와 같아진다. N₂는 그 순간만큼은 MN10에 의해 DQ와 거의 동일하게 된다. 그래서 N₂ 신호는 트랜지스터 MN4, MN20의 게이트를 제어함으로써, Vdd level driver 및 Vpp level shift driver에서 흐르는 feedthrough 전류를 방지하게 되어, 전력 소모를 최소화할 수 있다. 이와 더불어, MN6, MN7은 DQ가 logic 0시, pull up driver인 MN1, MN2가 구동되는 것을 방지함으로써, 큰 W/L을 갖고 있는 MN1, MN2와 MN21, MN22로 흐르는 막대한 feedthrough 전류를 방지하게 된다.

III. Simulation 및 결과 분석

Star_HSPICE를 이용하여 회로 검증이 수행되었으며, CMOS 0.65 μ m 공정 파라미터를 사용하였다. Package 및 bonding wire등에서 발생하는 RLC를 modeling하여 여러 가지 조건하에서 feedthrough 전류로 인한 power 소모 및 ground bounce noise을 살펴보았다. 그림 3은 Vdd0이 3.3V이고 load capacitance가 100 pF, inductance가 10nH 일 때 ground bounce noise 측면에서 전체적인 simulation 결과를 나타내었다. 기존의 DRAM 출력버퍼와 UPDOB의 출력인 DQ 결과를 비교하여 나타내고 그림 2의 undershoot

protection 회로에서 DQ가 Vth이하로 떨어진 순간 n₂가 DQ를 따라 내려감을 확인할 수 있다. 또한 Vdd0, load capacitance의 변화에 대한 simulation을 수행한 결과 그림 3과 동일한 유사한 결과를 얻을 수 있었다. 제안된 DRAM 출력버퍼는 기존의 방식에 비해, ground bounce noise를 최대 66.3% 감소함을 확인할 수 있었다.

그림 4와 그림 5에 기존 DRAM 출력버퍼 (CONVOB)와 UPDOB의 instantaneous 및 average power를 Vdd0과 load capacitance 변화에 따라 비교한 것을 각각 나타내었다. Power면에서 load capacitance가 증가할수록 Vdd0이 증가할수록 feedthrough 전류의 상대적 감소비율이 증가함으로써 전력 소모를 최소화함을 알 수 있었다. Vdd0이 고정되어 있고 각각의 load capacitance에 대하여 power 비교결과 UPDOB는 기존 DRAM 출력버퍼보다 Vdd0이 3.6V이고 load capacitance가 150pF 일 때 instantaneous 및 average power가 각각 최대 27.5%, 11.4% 감소함을 확인할 수 있었다.

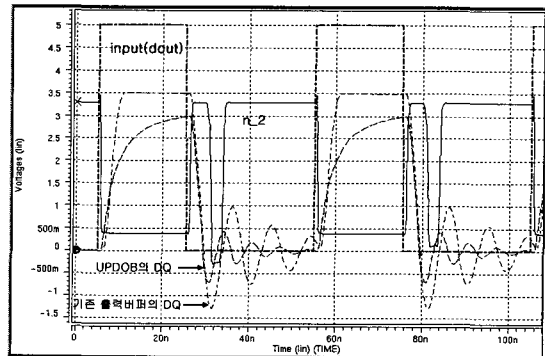


그림 3. 전체적인 simulation 결과

Fig. 3. Overall simulation results.

(load capacitance = 100pF, inductance = 10nH, Vdd0 = 3.3V).

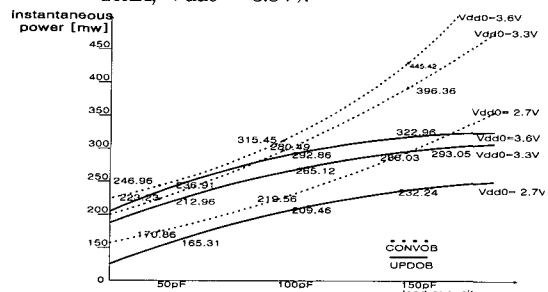


그림 4. 기존 DRAM 출력버퍼와 UPDOB의 instantaneous power 소모 비교

Fig. 4. Instantaneous power comparison between conventional output buffer and UPDOB.

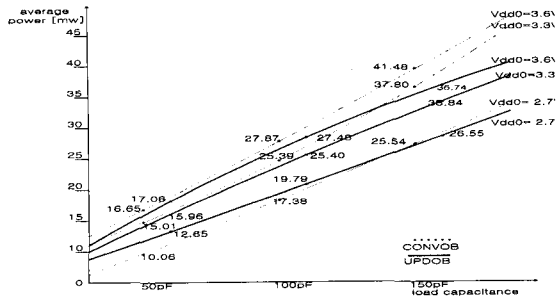


그림 5. 기존 DRAM output buffer와 UPDOB의 average power 소모 비교

Fig. 5. Average power consumption comparison between conventional output buffer and UPDOB.

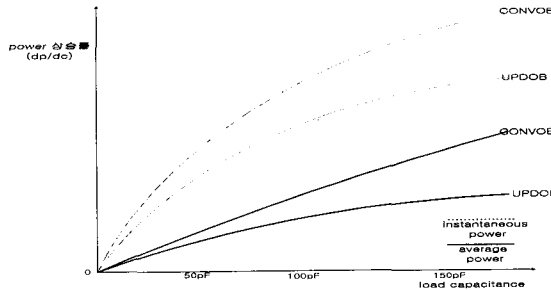


그림 6. 기존 DRAM output buffer와 UPDOB의 load capacitance에 따른 power 상승률 비교

Fig. 6. Power vs. load capacitance comparison between conventional output buffer and UPDOB.

그림 6은 load capacitance에 따른 기존과 제안된 출력버퍼의 instantaneous 및 average power 변화를 나타낸다. 그림 6에서 알 수 있듯이 제안된 출력버퍼가 load capacitance가 증가함에 따라 적은 상승률을 보임을 알 수 있다.

IV. 결 론

Multi I/O synchronous DRAM 출력버퍼에 있어 ground bounce 문제를 최소화하고 스위칭시 발생하는 상당한 feedthrough 전류를 방지할 수 있는 undershoot protection 회로 및 효율적인 dual driver를 사용하는 출력버퍼 설계 방안이 제안되었다. Package 및 bonding wire를 정확히 모델링하여 모의 실험한 결과 기존의 DRAM 출력버퍼에 비해 instantaneous power 면에서 최대 27.5%, average power 면에서 최대 11.4% 감소하였다. 또한 ground bounce noise가 최대 66.3% 감소하여, 기존회로에 비하여 access time이 향상되었으며, 이와 같은 개선점은 load capacitance가 증가함에 따라 보다 현저한 차이가 있음을 알 수 있었다.

참 고 문 헌

- [1] E. Chioffi, F. Maloberti, G. Marchesi, G. Torelli, "High Speed Low-Switching Noise CMOS Memory Data Output Buffer", IEEE J. of Solid state Circuit, Vol. 29, No. 11, Nov. 1994.
- [2] Thaddeus J. Gabara, Wilhelm C. Fischer, John Harrington, William W. Troutman, "Forming Damped LRC Parasitic Circuits in Simultaneously Switched CMOS Output Buffers", IEEE J. of Solid state Circuit, Vol. 32, No. 3, March 1997.
- [3] Neil H. E. Weste Kamran Eshraghian, "Principles of CMOS VLSI Design", Second Edition, pp. 231~238, 1994.

저 자 소 개



柳在熙(正會員)

1963年 3月 3日生 1985年 2月 서울대학교 전자공학과 학사. 1990年 2月 Cornell 대학교 전기공학과 공학박사. 1990年 3月~1991年 3月 Texas Instruments. Dallas, VLSI Design Laboratory MTS. 1991年 3月~현재, 홍익대학교 전자전기 공학부 부교수, P&K, GET, 성진 C&C, Global Communication Technologies, Primeret 기술 고문. <주관심분야: Multimedia VLSI 아키텍처 및 시스템 설계, Home Networking 시스템, DRAM 회로 설계 등임>