

論文2002-39SD-8-7

면적을 감소시킨 중첩된 싱크러너스 미러 지연 소자를 이용한 저전력 클럭 발생기

(Low Power Clock Generator Based on An Area-Reduced Interleaved Synchronous Mirror Delay Scheme)

成基赫*, 朴炯俊*, 梁炳燾*, 金利燮**

(Kihyuk Sung, Hyoungjoon Park, Byung-Do Yang, and Lee-Sup Kim)

요 약

회로의 크기와 소모 전력을 줄이기 위하여 새로운 구조의 중첩된 싱크러너스 미러 지연 소자를 제안한다. 기존의 중첩된 싱크러너스 미러 지연 소자는 지터를 줄이기 위하여 여러 쌍의 포워드 지연 배열과 백워드 지연 배열을 사용하였다. 제안하는 중첩된 싱크러너스 미러 지연 소자는 멀티플렉서의 위치를 변경시킴으로써 오직 단 하나의 포워드 지연 배열과 백워드 지연 배열을 필요로 한다. 뿐만 아니라, 제안하는 중첩된 싱크러너스 미러 지연 소자는 인버터를 추가함으로써 기존 회로의 극성 문제를 해결하였다. 모의 실험 결과로부터 제안하는 중첩된 싱크러너스 미러 지연 소자는 약 30%의 전력 소모 감소와 약 40%의 면적 감소 효과를 가져온다는 것을 알 수 있다. 모든 모의 실험과 구현은 0.25um two-metal CMOS 공정기술을 사용하여 행해졌다.

Abstract

A new interleaved synchronous mirror delay(SMD) is proposed in order to reduce the circuit size and the power. The conventional interleaved SMD has multiple pairs of forward delay array(FDA) and backward delay array(BDA) in order to reduce the jitter. The proposed interleaved SMD requires one FDA and one BDA by changing the position of multiplexer. Moreover, the proposed interleaved SMD solves the polarity problem with just one extra inverter. Simulation results show that about 30% power reduction and 40% area reduction are achieved in the proposed interleaved SMD. All circuit simulations and implementations are based on a 0.25um two-metal CMOS technology.

I. 서 론

시간이 흐름에 따라 마이크로프로세서와 메모리 사

이의 속도 차이는 점점 더 커지고 있다. 마이크로프로세서의 속도 증가가 메모리의 속도 증가보다 훨씬 더 빨리 이루어지고 있기 때문이다. 메모리의 속도를 증가시키기 위해 구조적 측면에서 SDRAM, Rambus DRAM, 그리고 DDR DRAM과 같은 여러 구조의 메모리가 제안되었다. 회로 설계 수준에서 메모리의 속도를 증가시키기 위해서는 외부의 클럭과 내부의 클럭을 동기화시킴으로써 메모리 접근 시간을 줄이고자 하는 노력이 있었다. 대표적으로 phase-locked loop와 delay-locked loop가 클럭 동기화를 위해 지금까지 많이 사용된 기술이다. 그러나 PLL과 DLL은 피드백 구조이기

* 學生會員, 韓國科學技術院 電子電算學科
(Department of EECS, KAIST)

** 正會員, 韓國科學技術院 電子電算學科
(Department of EECS, KAIST)

※ 본 연구는 한국과학재단과 미세정보시스템 연구센터의 지원을 받아 수행되었습니다.

接受日字:2002年1月30日, 수정완료일:2002年6月12日

때문에 클럭이 동기화되는 데에 걸리는 시간이 수 백 사이클이나 필요하다. 최근에 소개된 싱크러너스 미러 지연 소자는 이런 단점을 해결할 수 있는 구조로서 두 사이클 후에 클럭의 동기화가 이루어진다.^[1] 중첩된 싱크러너스 미러 지연 소자는 지터를 더욱 줄이고자 제안된 구조이지만 회로가 차지하는 면적이 두 배 가까이 증가한다는 단점이 있다.^[2] 직접적인 스큐 감지 싱크러너스 미러 지연 소자는 dummy clock driver를 제거한 구조이지만, 중첩된 싱크러너스 미러 지연 소자처럼 지터를 반으로 줄일 수는 없다.^[3]

본 논문에서는 면적을 증가시키지 않으면서 지터를 줄일 수 있는 중첩된 구조의 싱크러너스 미러 지연 소자를 제안한다. 그리고 인버터 한 개를 추가함으로써 기존의 회로가 가지고 있던 극성 문제를 해결하였다. 2장에서는 기존 회로의 극성 문제와 그 해결책에 대해서 설명하고, 3장에서는 기존의 중첩된 싱크러너스 미러 지연 소자와 그 단점에 대해 설명한다. 제안하는 중첩된 싱크러너스 미러 지연 소자는 4장에서 다룬다. 5장은 모의 실험 결과를 보여주고, 마지막으로 6장에서 결론을 제시한다.

II. 기존의 싱크러너스 미러 지연 소자

그림 1은 기존의 싱크러너스 미러 지연 소자의 회로도이다.^[1]

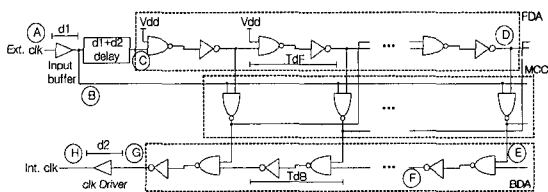


그림 1. 기존의 싱크러너스 미러 지연 소자의 회로도
Fig. 1. Circuit diagram of the conventional SMD.

그림 1에서 알 수 있듯이 기존의 싱크러너스 미러 지연 소자는 포워드 지연 배열(FDA), 백워드 지연 배열(BDA), 미러 제어 회로(MCC), 그리고 입력 버퍼의 지연시간(d1)과 클럭 구동기의 지연시간(d2)의 합만큼의 지연시간을 가지고 있는 버퍼로 구성되어 있다. 포워드 지연 배열의 단위 지연 소자의 지연시간(TdF, NAND와 인버터의 지연시간의 합)은 백워드 지연 배열의 단위 지연 소자의 지연시간(TdB)과 같다. 주기가

Tclk인 외부에서 들어온 신호는 포워드 지연 배열에서 Tclk-d1-d2만큼의 지연시간을 가지고, 마찬가지로 백워드 지연 배열에서도 Tclk-d1-d2의 지연시간을 가진다. 전체적으로 보면 외부에서 입력되는 클럭 신호는 $d1+(d1+d2)+(Tclk-d1-d2)+(Tclk-d1-d2)+d2 = 2Tclk$ 의 지연시간을 갖는다. 즉 두 사이클 후에 클럭 동기화가 이루어진다.

그림 2는 주기가 4nsec인 클럭 신호가 그림 1의 회로에 입력될 때 각각의 노드의 파형을 보여 준다. B 노드와 D 노드가 동시에 High일 때, E 노드에서 음의 펄스가 생기는 것을 관찰할 수 있다. 생성된 음의 펄스는 백워드 지연 배열과 클럭 구동기를 통과해서 내부 클럭으로 입력된다. 즉, 외부의 양의 펄스가 미러 제어 회로를 통과하면, 음의 펄스로 바뀌어서 180도의 위상차가 생기는 것이다. 그러므로, 정상적인 내부 클럭 신호를 얻기 위해서는 클럭 구동기 앞에 인버터가 한 개 필요하다. 제안하는 중첩된 싱크러너스 미러 지연 소자에서는 이런 문제점을 해결하기 위해 인버터를 클럭 구동기 앞에 추가하였다.

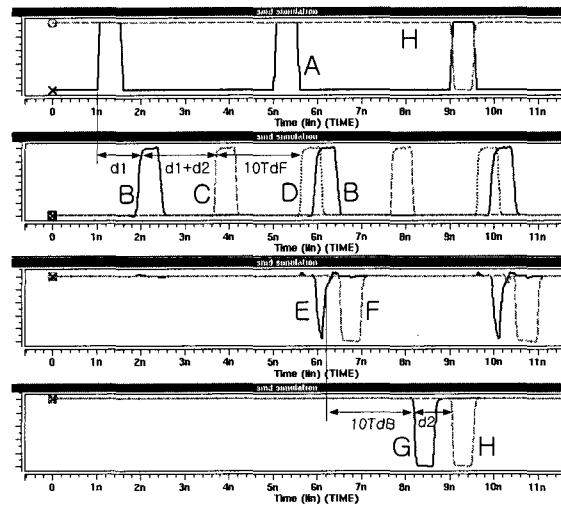


그림 2. 그림 1의 각각의 노드의 파형
Fig. 2. Waveforms of each node in Fig. 1.

III. 기존의 중첩된 싱크러너스 미러 지연 소자

그림 3은 기존의 중첩된 싱크러너스 미러 지연 소자를 보여 준다.^[2] 포워드 지연 배열과 백워드 지연 배열이 평행으로 두 쌍이 있고, 한 쌍에는 단위 지연 소자

의 절반에 해당하는 크기의 지연 시간이 더해지므로 멀티플렉서를 통과시키면 중첩되지 않은 싱크러너스 미러 지연 소자에 비해 지연의 크기가 반으로 줄어든다. 반면에, 두 쌍의 포워드 지연 배열과 백워드 지연 배열을 사용하였기 때문에 회로가 차지하는 전체 면적이 두 배 가까이 증가한다. 그리고, 그림 3의 MUX는 실제의 멀티플렉서가 아니고 AND 또는 OR 로직이다.^[2] 전체 회로가 정상적으로 작동하려면 MUX로 들어오는 두 개의 신호 중에서 어느 것을 선택할지 결정해 주는 제어 신호도 하나 더 필요하다. 그리고, 2장에서 설명한 바와 같이 극성 문제를 해결하기 위해 클럭 구동기 앞에 인버터도 첨가되어야 한다.

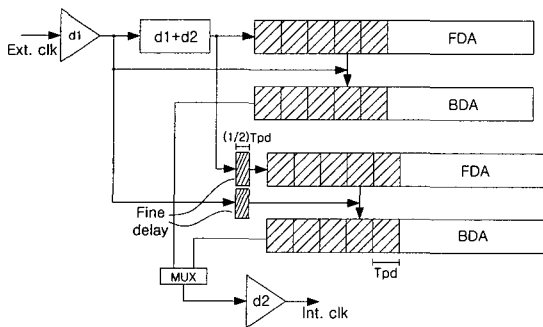


그림 3. 기존의 중첩된 싱크러너스 미러 지연 소자
Fig. 3. Conventional interleaved SMD.

IV. 제안하는 중첩된 싱크러너스 미러 지연 소자

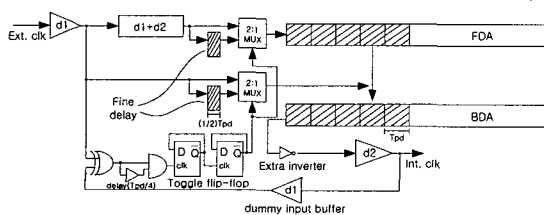


그림 4. 제안하는 중첩된 싱크러너스 미러 지연 소자
Fig. 4. Proposed interleaved SMD.

그림 4는 제안하는 중첩된 싱크러너스 미러 지연 소자의 전체 회로도이다. 토글 플립플롭은 true single phase clocking을 이용한 D-플립플롭을 사용하여 구현한다.^[4] 그림 3과는 달리 한 쌍의 포워드 지연 배열과 백워드 지연 배열을 사용함으로써 전체 회로의 면적을 대략 반으로 줄였다. 멀티플렉서의 제어 신호를 생성해 내기 위해 약간의 회로가 첨가되었지만 포워드 지연

배열과 백워드 지연 배열이 차지하는 면적이 훨씬 크기 때문에 전체적으로 보면 면적이 약 40%정도 감소한다. 내부 클럭의 신호와 외부 클럭의 신호의 클럭 skew가 $T_{pd}/4$ (포워드 지연 소자의 단위 지연 시간의 4분의 1)보다 커지면 2:1 멀티플렉서의 제어 신호가 바뀌게 된다. 즉, Exclusive-OR 로직이 일종의 위상 비교기의 역할을 한다. 멀티플렉서의 제어 신호를 만들어 주기 위한 회로 외에 앞에서 언급한 바와 같이 극성 문제를 해결하기 위해 인버터가 클럭 구동기 앞에 첨가되었다.

그림 4의 fine delay와 2:1 multiplexer는 그림 5와 같이 구현할 수 있다.

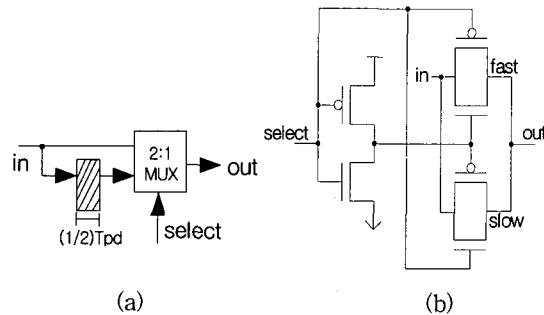


그림 5. Fine delay와 2:1 MUX의 결합

- (a) 회로도
- (b) 실제 구현

Fig. 5. Merge of fine delay and 2:1 MUX.

- (a) Circuit diagram
- (b) Real implementation

2:1 MUX는 transmission gate로 구성되어 있으므로 transmission gate에 사용되는 transistor의 길이를 키우고, 폭을 감소시키면 transmission gate의 전달 속도가 감소된다. 이를 이용하여 그림 5와 같이 fine delay를 2:1 MUX에 결합시킬 수 있다.

V. 모의 실험 결과

HSPICE 모의 실험은 다음과 같은 환경 하에서 이루어졌다. 전원 전압은 2.5V이고, 온도는 섭씨 125도로 정했고, 0.25um two-metal CMOS 공정 변수를 사용하였다.

그림 6은 제안한 중첩된 싱크러너스 미러 지연 소자가 정상적으로 동작함을 보여 준다. 단위 지연 시간은 0.2nsec로 정했다. 외부 클럭과 내부 클럭의 클럭 skew는 두 사이클 후에 0.11nsec가 되어 예상했던 대로 단위

지연 시간의 반으로 줄었다. 전력 소모는 10.18mW이다. 기존의 회로는 16.36mW나 되는 전력을 소모한다.

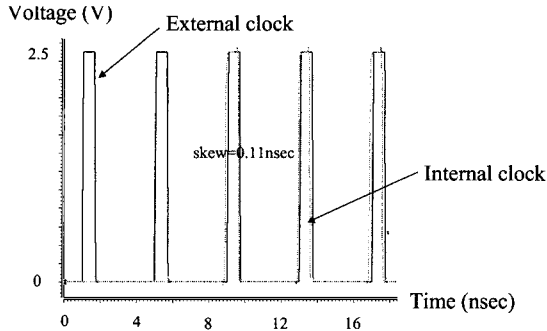


그림 6. 제안한 중첩된 싱크러너스 미러 지연 소자의 외부 클럭과 내부 클럭의 파형

Fig. 6. Waveforms of external clock and internal clock in the proposed interleaved SMD.

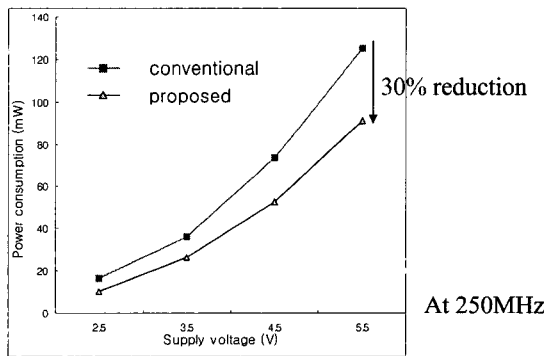


그림 7. 전력 소모

Fig. 7. Power consumption.

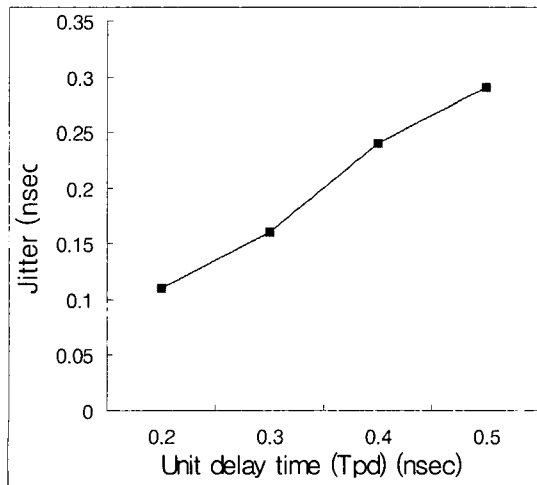


그림 8. Tpd의 변화에 따른 지터

Fig. 8. Jitter as a function of Tpd.

입력 클럭 신호의 주기가 4nsec일 때, 전원 전압의 크기를 바꾸어 가면서 소모되는 전력을 모의 실험으로부터 구해 보면 그림 7과 같다. 전원 전압의 크기가 커질수록 소모 전력이 커지고, 제안하는 중첩된 싱크러너스 미러 지연 소자가 기존의 중첩된 싱크러너스 미러 지연 소자보다 30%정도 전력소비가 적은 것을 알 수 있다.

그림 8은 중첩된 구조의 싱크러너스 미러 지연 소자의 단위 지연 소자의 지연시간의 변화에 따른 클럭 skew를 보여 준다. 대략적으로 단위 지연 소자의 지연시간의 2분의 1이 클럭 skew가 된다. 만약 네 쌍의 포워드 지연 배열과 백워드 지연 배열을 사용한다면 클럭 skew는 4분의 1로 줄어들 것이다.^[2]

그림 9는 외부의 클럭 신호의 주기의 변화에 따른

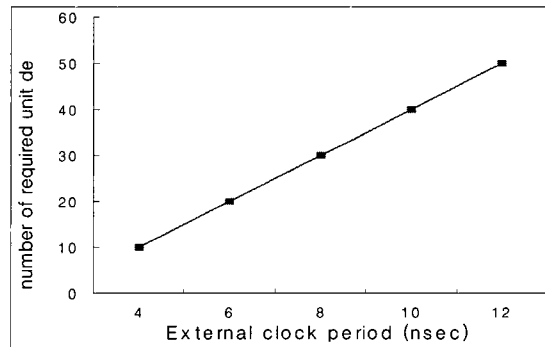


그림 9. 외부 클럭의 주기에 따른 단위지연소자의 필요 개수 (Tpd는 0.2nsec일 때)

Fig. 9. The number of required unit delays vs. external clock period (at Tpd=0.2nsec).

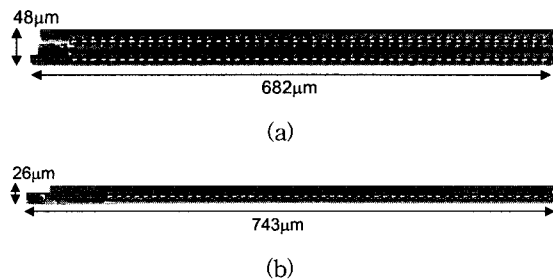


그림 10. 레이아웃 비교 (50개의 단위지연소자)

(a) 기존의 중첩된 싱크러너스 미러 지연 소자

(b) 제안된 중첩된 싱크러너스 미러 지연 소자

Fig. 10. Comparison of layout (at 50 delay units).

(a) Conventional interleaved SMD

(b) Proposed interleaved SMD

포워드 지연 배열 또는 백워드 지연 배열에서 필요한 단위 지연 소자의 개수를 나타낸다. 외부 클럭의 주기가 커질수록 더 많은 수의 단위 지연 소자가 필요하다.

그림 10은 50개의 단위 지연 소자를 사용했을 때 제안한 회로가 기존의 회로보다 약 40%정도 작은 면적을 차지한다는 것을 보여 준다. 기존의 회로의 면적은 $32736\mu\text{m}^2$ 이고, 제안된 회로의 면적은 $19318\mu\text{m}^2$ 이다. 표 1은 제안한 중첩된 싱크러너스 미러 지연 소자의 전체 특성을 요약한 것이다.

표 1. 제안한 중첩된 싱크러너스 미러 지연 소자의 특성

Table 1. Specification of the proposed interleaved SMD.

공정 기술	0.25 μm two-metal CMOS
전원 전압	2.5V
클럭 skew	0.11nsec
전력 소모	10.18mW(at 250MHz, 2.5V)
면적	19318 μm^2 (50개의 단위지연소자)

VI. 결 론

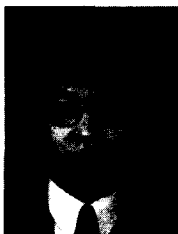
본 논문에서 제안하는 중첩된 싱크러너스 미러 지연 소자는 기존의 싱크러너스 미러 지연 소자의 극성 문제를 해결하기 위해 인버터를 클럭 구동기 앞에 삽입하였다. 제안하는 중첩된 싱크러너스 미러 지연 소자는

멀티플렉서의 위치를 바꿈으로써 기존의 회로와는 달리 하나의 포워드 지연 배열과 백워드 지연 배열을 사용한다. 모의 실험 결과로부터 약 40%의 면적 감소와 약 30%의 전력소모 감소를 확인할 수 있었다. 제안하는 회로의 면적과 전력 면에서의 장점은 지터 특성이 나빠지지 않으면서 얻을 수 있다. 본 논문에서 제안하는 중첩된 싱크러너스 미러 지연 소자는 클럭 동기화의 수단으로 널리 사용될 수 있을 것이다.

참 고 문 헌

- [1] T. Saeki et al., "A 2.5-ns Clock Access, 250-MHz, 256-Mb SDRAM with Synchronous Mirror Delay," *IEEE J. Solid-State Circuits*, Vol. 31, pp. 1656~1665, Nov. 1996.
- [2] T. Saeki et al., "A 10ps Jitter 2 Clock Cycle Lock Time CMOS Digital Clock generator Based on an Interleaved Synchronous Mirror Delay Scheme," in *Proc. Symp. VLSI Circuits*, pp. 109~110, June 1997.
- [3] T. Saeki et al., "A Direct-Skew-Detect Synchronous Mirror Delay for Application-Specific Integrated Circuits," *IEEE J. Solid-State Circuits*, Vol. 34, pp. 372~379, Mar. 1999.
- [4] J. Yuan and C. Svensson, "High-Speed CMOS Circuit Technique," *IEEE J. Solid-State Circuits*, Vol. 24, pp. 62~70, Feb. 1989.

저 자 소 개



成基赫(學生會員)

1997년 2월 한국과학기술원 전기 및 전자공학과 졸업 (공학사). 1999년 2월 한국과학기술원 전기 및 전자공학과 졸업 (공학석사). 1999년 3월~현재 한국과학기술원 전자전산학과 전기 및 전자공학 전공 박사과정.

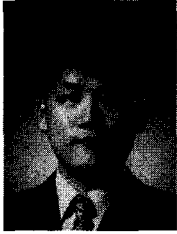
<주관심분야 : VLSI 회로 설계>



朴炯俊(學生會員)

1995년 2월 한국과학기술원 전기 및 전자공학과 졸업 (공학사). 1997년 2월 한국과학기술원 전기 및 전자공학과 졸업 (공학석사). 1997년 3월~현재 한국과학기술원 전자전산학과 전기 및 전자공학 전공 박사과정.

<주관심분야 : 3D 그래픽스 알고리즘 및 아키텍처>



梁炳燾(學生會員)

1999년 2월 한국과학기술원 전자전산학과 전기및전자공학 전공 졸업 (공학사). 2001년 2월 한국과학기술원 전자전산학과 전기및전자공학 전공 졸업 (공학석사). 2001년 3월~현재 한국과학기술원 전자전산학과 전기및전자공학 전공 박사과정. <주관심분야 : 저전력/고성능 VLSI 회로 설계>



金利燮(正會員)

1982년 서울대학교 전자공학과 학사. 1986년 Stanford University 전자공학과 석사. 1990년 Stanford University 전자공학과 박사. 1990~1993년 Toshiba Corporation 연구원. 1993년~현재 한국과학기술원 전자전산학과 전기및전자전공 부교수. <주관심분야 : 멀티미디어 VLSI 설계, 저전력 설계, EML 설계, 3D Graphics>