

論文2002-39SD-8-11

시간 제약 조건 하에서 저전력을 고려한 CLB구조의 CPLD 기술 매핑 알고리즘

(CLB-Based CPLD Technology Mapping Algorithm for Power Minimization under Time Constraint)

金才鎮*, 金熙碩**

(Jae-Jin Kim and Hi-Seok Kim)

요 약

본 논문은 시간 제약 조건 하에서 저전력을 고려한 CLB 구조의 CPLD 기술 매핑 알고리즘을 제안하였다. 제안한 알고리즘은 DAG로 구성된 회로에 대하여 각 노드들의 TD와 EP를 계산하여 분할함으로써 저전력을 수행하였다. 또한 CLB의 구조에 따라 매핑 할 수 있는 조건으로 입력과 출력의 수, OR-텀수를 고려하여 시간 제약 조건에 맞도록 매핑 가능 클러스터를 생성한다. 매핑 가능 클러스터들 중에서 저전력의 기술 매핑이 되도록 출력의 수가 가장 적은 매핑 가능 클러스터를 우선 매핑하고 시간 제약 조건에 만족하는 매핑 가능 클러스터를 선택하여 매핑 한다. 제안된 알고리즘을 벤치마크에 적용하여 실험한 결과 기존의 알고리즘인 DDMAP에 비해 46.79%, TEMPLA에 비해 24.38% 감소된 결과를 나타내었다.

Abstract

In this paper, we proposed a CLB-based CPLD technology mapping algorithm for power minimization under time constraint in combinational circuit. The main idea of our algorithm is to exploit the "cut enumeration and feasible cluster" technique to generate possible mapping solutions for the sub-circuit rooted at each node. In our technology mapping algorithm conducted a low power by calculating TD and EP of each node and decomposing them on the circuit composed of DAG. It also takes the number of input, output, and OR-term into account on condition that mapping can be done up to the base of CLB, and so it generates the feasible clusters to meet the condition of time constraint. Of the feasible clusters, we should first be mapping the one that has the least output for technology mapping of power minimization and choose to map the other to meet the condition of time constraint afterwards. To demonstrate the efficiency of our approach, we applied our algorithm to MCNC benchmarks and compared the results with those of the exiting algorithms. The experimental results show that our approach is shown a decrease of 46.79% compared with DDMAP and that of 24.38% for TEMPLA in the power consumption.

* 正會員, 極東情報大學 電算情報處理科

(Dept. Computer Informaton Process, College of Keukdong)

** 正會員, 清州大學校 情報通信工學部

(School of Computer and Communication Engineering, University of Chongju)

※ 본 연구는 과학기술부 한국과학재단 지정 청주대학교 정보통신연구센터의 지원에 의한 것입니다.

接受日字:2002年1月29日, 수정완료일:2002年7月22日

I. 서 론

VLSI 제조 및 설계 기술의 발달과 더불어 최근 휴대용 전자 제품의 수요가 급증함에 따라 회로의 전력 소모를 개선하기 위한 저전력 회로의 설계가 중요한 사양으로 등장하고 있다. 따라서 저전력 회로 설계 자동화에 관한 연구가 활발히 진행되고 있으며, 상위 수준 합성기, 전력 소모 예측 시스템 등이 개발되고 있다.^[1]

CMOS 소자로 구현된 VLSI 회로는 내부 노드 값의

스위칭 동작(switching activity)에 의한 전력 소모가 전체 전력 소모량의 90% 이상을 차지하므로 회로의 평균 소모 전력을 감소시키기 위하여 스위칭 동작을 감소시키는 방안이 제안되었다.^[2,3] 저전력 소모를 위한 논리 회로 설계는 주로 STG(State Transition Graph) 수준과 논리 게이트 및 F/F 수준에서 이루어지고 있다. 스위칭 동작을 감소시키기 위한 방법으로는 돈-케어 최적화(don't-care optimization), path balancing, factorization, precomputation, 회로 분할 알고리즘 등이 제안되어 있다.^[4~7] 그러나 이러한 알고리즘들은 FPGA에 적용 가능하도록 구성되어 있다. 최근에 발표된 저전력 기술 매핑 알고리즘으로는 분할 계산(cut enumeration) 알고리즘이 있으며 LUT 구조에 적용 가능하며 노드 분할(decomposition)을 고려하지 않은 기존 알고리즘의 단점을 보완하여 density와 propagation delay를 고려하여 노드 분할을 수행하도록 구성되어 있다.^[8~11] 그러나 이러한 알고리즘들은 현재 많이 사용하고 있는 CPLD에 적용하기에는 어려움이 많다. 기존에 발표된 CPLD 기술 매핑 알고리즘으로는 DDMAP과 TEMPLA, TMCPLD등만이 제안되어 있다.^[12~14] 또한 시간 제약 조건이라는 제약 조건을 고려하여 회로를 구현한 알고리즘으로는 TMCPLD가 제안되어 있으나 소비 전력에 대해서는 고려하지 않은 단점을 가지고 있다.

따라서 본 논문에서는 이러한 단점을 보완하기 위해 시간 제약 조건 하에서 다단의 수(the number of multi-level)를 고려하여 저전력으로 회로를 구현할 수 있는 새로운 CPLD 기술 매핑 알고리즘을 제안하였다.

II. 관련 연구

FPGA 또는 CPLD를 이용한 저전력의 기술 매핑을 수행하기 위해서는 대상 소자를 구성하고 있는 구성요소인 LUT나 CLB의 구조에 맞도록 소모 전력을 고려하여 회로를 분할하여야 한다. 최근에 발표된 분할 계산 알고리즘은 LUT 구조에 맞도록 저전력의 회로를 구현할 수 있는 알고리즘이다. 분할 계산 알고리즘은 세단계로 구성되어 있다. 첫 번째 단계는 시간 요소를 고려하여 신호 변화 시간의 회수인 TD(transition density)를 계산하는 단계이다. 두 번째는 분할 계산 단계로서 임의의 값 p에 따라 매핑을 수행하는 단계이다. 세 번째 단계는 매핑 단계로서 두 번째 단계의 정보를 이용하여 최종 매핑을 수행하는 단계로 구성되어 있다.

분할 계산은 불린 네트워크 N에 대해 저전력의 회로 분할을 수행하여야 한다. 회로 분할은 게이트의 단수(p)를 설정하여 LUT 구조에 맞도록 매핑하고 LUT의 출력 에지수를 계산한다. 2개 이상의 출력 에지를 갖는 LUT를 복제(duplication)하거나 우선 매핑 한다. 그러나 분할 계산 알고리즘은 LUT의 구조에 맞도록 구성되어 있어 CPLD를 구성하고 있는 CLB의 구조에 적용하기가 어려움이 많다. 특히 제약 조건이 되는 K-매핑 가능 셋의 경우 분할 계산에서는 입력 변수의 수가 제약 조건이 되므로 OR-텀수를 고려하여야 하는 CPLD의 구조에 적합하지 않은 단점이 있다. 또한 게이트의 단수를 설정하는 p의 값도 LUT에 비해 CLB의 크기가 크고 OR-텀수가 제약 조건이 되므로 현실성이 부족하다. 노드 복제(duplication)를 수행한 후 그래프 분할을 수행하는 방법은 스위칭 동작이 증가하게 되는 단점도 가지고 있다.

III. 전력 모델

조합 논리 회로는 DAG형태로 재구성한다. DAG를 구성하는 각각의 노드는 m-입력, q-출력을 갖는 게이트를 의미한다. m-입력은 $In(x)$ 로 정의되고 (x_1, x_2, \dots, x_m) 으로 표현된다. q-출력은 $Out(y)$ 로 정의되고 (y_1, y_2, \dots, y_q) 로 표현된다. $In(x)$ 는 초기 입력(PI)을 포함한다. 최종 출력(PO)은 1개의 출력만을 가지고 있다. 각 노드는 1 이상의 OR-텀수를 가지고 있으며 OR-텀수는 $Num(k)$ 로 정의하고 $(Num_1, Num_2, \dots, Num_k)$ 로 표현된다. 따라서 각 노드는 (식 1)과 같은비용을 갖는다.

$$C(n) = [Num(k), In(x), Out(y)] \quad (식 1)$$

$$Num(k) = \prod_{p=1}^n [Num(p)] \quad Num(k) = 1$$

$$\left[\begin{array}{l} \sum_{i=1}^m \sum_{j=1}^m [Num(i) \cdot Num(j)] \quad Num(k) > 1 \&\&AND \\ \sum_{i=1}^m \sum_{j=1}^m [Num(i) + Num(j)] \quad Num(k) > 1 \&\&OR \end{array} \right] \quad (식 2)$$

$$In(x) = \sum_{i=1}^m [In(x_i) - 1] \quad (식 3)$$

(식 2)는 노드의 OR-텀수를 계산하는 수식으로 노드의 OR-텀수가 1인 경우는 AND 연산만을 가지고 있으므로 곱으로 계산하고, 2이상인 경우는 부울식의 형태에 따라 곱과 합의 형태로 계산하여 현재 노드의 OR-텀수를 계산한다. (식 3)는 입력의 수를 계산하는 수식

으로 현재 노드의 입력이 되는 자식 노드의 입력 수를 합산하여 전체 입력 노드 수를 계산하는 수식이다.

소모 전력을 계산하기 위해 각 노드를 구성하고 있는 게이트에 대한 EP(equilibrium propability)와 TD를 계산하여야 한다. 노드를 구성하고 있는 게이트는 INVERTER와 AND, OR 게이트이므로 각 게이트에 대한 EP와 TD는 다음과 같다. 신호 x에 대해 EP는 $p(x)$, TD는 $d(x)$ 로 정의한다. 또한, 게이트의 출력 수를 $out(x)$ 라고 정의한다. 출력 신호 y에 대해 다음과 같은 수식을 정의한다.

INVERTER게이트의 경우

$$p(y) = \frac{1 - p(x_1)}{out(x)} \quad (식 4)$$

$$d(y) = d(x_1) out(x) \quad (식 5)$$

AND 게이트의 경우

$$p(y) = \frac{\prod_{i=1}^m p(x_i)}{out(x)} \quad (식 6)$$

$$d(y) = \sum_{i=1}^m [(I_{j=1, j \neq i}^m p(x_j)) d(x_i)] out(x) \quad (식 7)$$

OR 게이트의 경우

$$p(y) = \frac{1 - \prod_{i=1}^m (1 - p(x_i))}{out(x)} \quad (식 8)$$

$$d(y) = \sum_{i=1}^m [(I_{j=1, j \neq i}^m (1 - p(x_j))) d(x_i)] out(x) \quad (식 9)$$

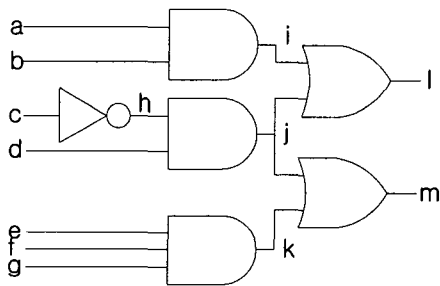


그림 1. EP와 TD 계산

Fig. 1. Calculation of EP and TD.

입력 a, b, c, d, e, f, g의 EP를 각각 0.1, 0.2, 0.3, 0.4, 0.5, 0.6, 0.7로 주고 TD를 1,000으로 주어졌을 경우, (식 4)에서 (식 9)의 수식을 사용하여 EP와 TD를 계산하는 방법은 그림 1에 나타내었다.

$$h \text{에 대해 } EP = \frac{1 - 0.3}{1} = 0.7$$

$$TD = 1,000 \times 1 = 1,000$$

$$i \text{에 대해 } EP = \frac{0.1 \times 0.2}{1} = 0.02$$

$$TD = [(0.1 \times 1,000) + (0.2 \times 1,000)] \times 1 = 300$$

$$j \text{에 대해 } EP = \frac{0.7 \times 0.4}{2} = 0.14$$

$$TD = [(0.7 \times 1,000) + (0.4 \times 1,000)] \times 2 = 2,200$$

$$k \text{에 대해 } EP = \frac{0.5 \times 0.6 \times 0.7}{1} = 0.21$$

$$TD = [(0.5 \times 1,000) + (0.6 \times 1,000) + (0.7 \times 1,000)] \times 1 = 1,800$$

$$l \text{에 대해 } EP = \frac{1 - [(1 - 0.02) \times (1 - 0.14)]}{1} = 0.1572$$

$$TD = [(1 - 0.02) \times 2,200 + (1 - 0.14) \times 300] \times 1 = 2,414$$

$$m \text{에 대해 } EP = \frac{1 - [(1 - 0.14) \times (1 - 0.21)]}{1} = 0.3206$$

$$TD = [(1 - 0.14) \times 1,800 + (1 - 0.21) \times 2,200] \times 1 = 3,286$$

CMOS 게이트의 전력은 (식 10)과 같이 나타낼 수 있다.

$$P_{avg}(y) = \frac{1}{2} C V_{dd}^2 d(y) \quad (식 10)$$

C는 load capacitance이고 V_{dd} 는 인가 전압을 나타낸다. 이 두 가지 함수는 선택된 CPLD 소자에서 주어지는 값들이다.

따라서 소비 전력을 감소시키기 위해서는 전체 회로의 $d(y)$ 의 값을 줄여야 한다.

CPLD를 구성하고 있는 CLB에 대한 소비 전력을 계산하여 전체 회로에 대한 소모 전력을 계산하여 저전력을 구현하여야 한다.

CLB로 구성되어 있는 CPLD의 소비 전력은 (식 11)과 같이 나타낼 수 있다.

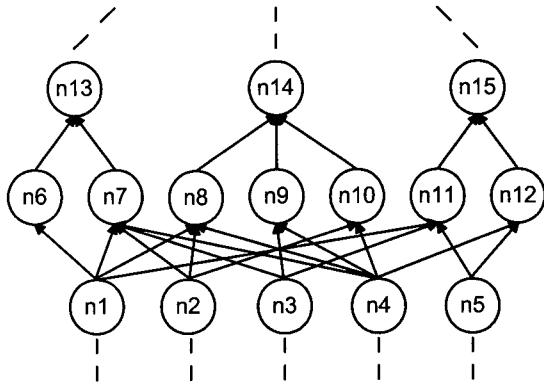
$$P_{avg}(N) = \sum_{p_i} (\frac{1}{2} C_{in} V_{dd}^2 d(p_i)) + \sum_{CLB C_i} (\frac{1}{2} N_{OR} [C_{out} + fanout(C_i) C_{in}] V_{dd}^2 d(C_i)) \quad (식 11)$$

$d(p_i)$: 초기 입력 p_i 의 TD

$fanout(C_i)$: CLB C_i 의 출력 수

$d(C_i)$: CLB C_i 의 TD

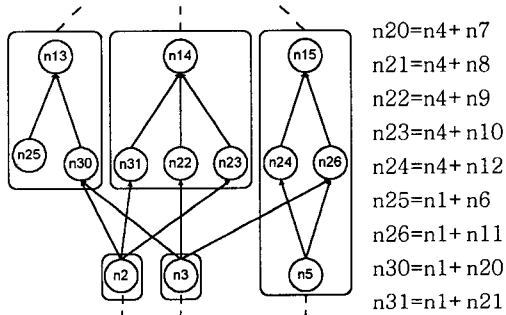
N_{OR} : 하나의 CLB 내부에 사용된 OR 게이트의



(a) DAG

노드	In(x)	Out(y)
n1	2(in0, in1)	4(n6, n7, n8, n11)
n2	2(in1, in2)	3(n7, n8, n10)
n3	3(in3, in4, in5)	3(n7, n9, n11)
n4	2(in4, in5)	5(n7, n8, n9, n10, n12)
n5	3(in2, in4, in5)	2(n11, n12)
n6	1(n1)	1(n13)
n7	4(n1, n2, n3, n4)	1(n13)
n8	3(n1, n2, n4)	1(n14)
n9	2(n3, n4)	1(n14)
n10	2(n2, n4)	1(n14)
n11	3(n1, n3, n5)	1(n15)
n12	2(n4, n5)	1(n15)
n13	2(n6, n7)	1(n16)
n14	3(n8, n9, n10)	1(n16)
n15	2(n11, n12)	1(n17)

(b) 매핑 정보



(c) 매핑 결과

그림 2. 저전력을 고려한 매핑
Fig. 2. Mapping considering low-power.

TD

$$\begin{aligned} \text{사용된 OR게이트 수} &= \frac{\text{매핑된 OR터름수}}{\text{CLB의 기본 OR터름수}} \\ &\leq \frac{\text{CLB의 최대 OR터름수}}{\text{CLB의 기본 OR터름수}} \end{aligned}$$

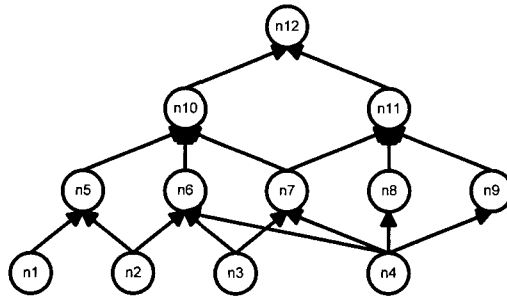
그림 2의 (a)는 입력이 되는 불린 네트워크를 DAG로 표현한 그림이고, (b)는 저전력을 고려한 매핑을 수행하기 위해 필요한 정보를 표로서 표현한 그림이다. (c)는 (b)의 정보를 이용하여 노드들의 EP와 TD를 (식 6)에서 (식 11)까지의 수식을 이용하여 계산한 후 노드들 중에서 관련노드가 가장 많은 n4를 우선적으로 상위노드에 매핑 하여 n20부터 n24까지의 노드를 구성하였다. n4 다음으로 나가는 에지의 수가 최대인 n1 노드에 대해서도 상위 노드에 매핑 하여 n25, n26, n30, n31 노드를 새롭게 생성한 후 매핑 가능 클러스터를 생성한 매핑 결과를 나타내었다. 이러한 매핑 방법은 노드의 변화에 따른 CLB의 변화를 최대한으로 억제하여 전체적인 변화의 수를 줄임으로서 소모 전력을 감소시키기 위한 방법이다.

IV. 시간 제약 조건 하에서 저전력을 고려한 CPLD 기술매핑 알고리즘

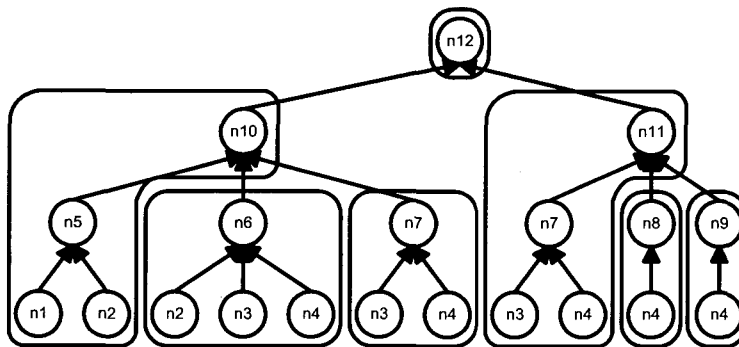
본 논문에서 제안한 저전력 CPLD 기술 매핑 알고리즘은 스위칭 동작을 고려한 저전력 기술 매핑 알고리즘을 제안하였다.

주어진 불린 네트워크의 소비 전력을 계산하여 저전력의 그래프 분할을 수행하고 주어진 시간 제약 조건을 고려한 그래프 분할로 나누어 순서대로 수행한다.

저전력을 고려한 그래프 분할은 불린 네트워크를 DAG형태로 변환하여 수행한다. DAG를 구성하고 있는 각 노드는 하나의 연산자만으로 구성되어 있는 논리 함수를 의미한다. 저전력을 위한 그래프 분할을 위해 DAG를 구성하고 있는 노드들 중에서 나가는 에지의 수가 가장 많은 노드를 검색한다. 나가는 에지의 수가 많은 것은 다른 노드들에 영향을 가장 많이 끼치므로 노드에서 스위칭 변화가 발생되면 많은 노드에서 스위칭 변화가 발생되기 때문에 우선적으로 검색하여 노드의 나가는 에지에 관련된 노드들을 병합하여 매핑 가능 클러스터를 생성한다. 생성된 매핑 가능 클러스터는 CLB로 구성되어 있는 CPLD의 특성상 출력이 하나로 구성되어야 한다.

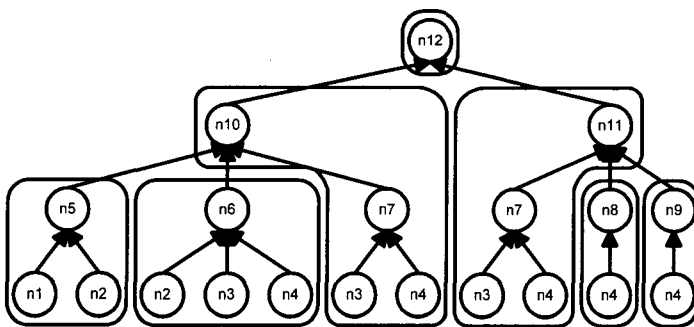


(a) DAG



$$\begin{aligned}
 n_{12} &= n_{11} + n_{10} \\
 n_{10} &= n_3 + n_4 + n_5 + n_6 \\
 n_6 &= n_3 + n_4 + n_2 \\
 n_5 &= n_1 + n_2 \\
 n_{11} &= n_3 + n_4 + n_8 + n_9 \\
 n_8 &= n_4 \\
 n_9 &= n_4
 \end{aligned}$$

(b) 저전력을 고려하지 않은 매핑 가능 클러스터



$$\begin{aligned}
 n_{12} &= n_{11} + n_{10} \\
 n_{10} &= n_6 + n_7 + n_1 + n_2 \\
 n_6 &= n_3 + n_4 + n_2 \\
 n_7 &= n_3 + n_4 \\
 n_{11} &= n_7 + n_3 + n_4 \\
 n_8 &= n_4 \\
 n_9 &= n_4
 \end{aligned}$$

(c) 저전력을 고려한 매핑 가능 클러스터

그림 3. k=5일 때 매핑 가능 클러스터 생성

Fig. 3. Feasible cluster generation at k=5.

매핑 가능 클러스터는 $FC(v)$ 로 정의되고 저전력을 고려한 매핑 가능 클러스터는 (식 12)과 같이 나타낸다.

$$LP_Re(v) = \cup LP_FC(v) \quad (식 12)$$

예를 들어 그림 3의 (a)와 같은 DAG가 있을 경우 (b)는 저전력을 고려하지 않고 매핑 가능 클러스터를 생성했을 경우의 결과이다. n7 노드는 n10과 n11에 입

력으로 사용되는 노드이다. 따라서 (b)와 같이 매핑 가능 클러스터를 생성하여 매핑 했을 경우 n7의 스위칭 변화에 의해 n7과 n10, n11, n12노드가 모두 스위칭 변화를 일으키게 되어 소모 전력이 증가한다. (c)는 본 논문에서 제안한 저전력을 고려하여 생성한 매핑 가능 클러스터이다. 가장 많은 출력 에지를 가지고 있는 n4 노드에 대해 우선 상위 노드와 결합하여 매핑 가능 클

러스터를 생성하고, n3 노드에 대해 수행한다. 다음으로 n7에 대해 매핑 가능 클러스터를 생성함으로써 클러스터의 수는 같으나 스위칭 변화에 대해 변화하는 블록의 수가 감소하여 저전력의 회로 구현이 가능하다. 저전력을 위한 그래프 분할을 수행한 후 주어진 시간 제약 조건에 대한 그래프 분할을 수행하여야 한다.

시간 제약 조건에 만족하도록 그래프 분할을 수행하기 위해서는 우선 저전력을 고려한 그래프 분할을 제외한 나머지 DAG를 출력 에지의 수가 1이 되도록 팬아웃 프리 트리(fanout free tree)로 재구성한다. 팬아웃 프리 트리가 생성되면 클러스터를 만들기 위해 초기 비용을 이용하여 주어진 CPLD를 구성하고 있는 CLB의 OR 텀수를 초과하지 않는 범위 내에서 최대의 노드를 포함하도록 구성한다. 주어진 CPLD의 내부를 구성하고 있는 CLB의 OR 텀수를 k라 정의한다. 따라서 매핑 가능한 클러스터를 생성하기 위해서는 전체 비용을 계산하여 k 값보다 작은 비용이 되는 클러스터를 생성하여야 한다. 전체 비용을 계산은 (식 2)와 동일한 방법으로 계산된다.

매핑 가능 클러스터가 생성되면 주어진 시간 제약 조건에 맞도록 불린 네트워크를 분할하여야 한다. 시간 제약 조건을 만족하는 그래프 분할을 수행하기 위해서는 선정된 소자의 CLB를 몇 단으로 구성할 수 있는가에 대한 다단의 수(mm)를 결정하여야 한다. 다단의 수를 계산하는 수식은 (식 13)과 같이 나타낼 수 있다.

$$\text{다단의 수}(mm) = \frac{\text{시간제약 조건}}{\text{소자의 CLB 지연 시간}} \quad (\text{식 13})$$

$$\begin{aligned} \text{선정된 소자의 지연 시간} &= T_{CO} + T_{CA} + T_{RO} \\ T_{CO} &: \text{조합 논리 지연 시간} \\ T_{CA} &: \text{클럭 스퀘} \\ T_{RO} &: \text{레지스터 출력 지연 시간} \end{aligned}$$

시간 제약 조건에서 저전력을 고려한 그래프 분할 알고리즘은 그림 4에 나타내었다.

본 논문에서 제안한 저전력을 고려한 알고리즘의 복잡도(complexity)는 단계 1과 2에서는 $O(n)$ 이다. 단계 3에서 단계 7까지의 복잡도는 $O(n+nk)$ 이다. 단계 9에서 14까지의 복잡도는 $O(n^2)$ 이다. 따라서 전체 복잡도는 $O(n(2+n+k))$ 이다.

표 1. 다단의 수를 고려하지 않은 상태의 소모 전력 비교
Table 1. Comparison power not considered the number of multi-level.

	DDMAP				TEMPLA			본 연구		
	입력	출력	블록	전력	블록	전력	수행 시간 (sec)	블록	전력	수행 시간
alu4	14	8	199	92.15	155	75.77	37.44	176	61.6	42.66
cps	24	109	159	81.6	120	57.24	24.48	135	47.25	29
apex4	9	19	193	77.51	193	78.32	45.84	193	67.55	51.88
misex3	14	14	214	76.84	154	71.3	35.16	193	66.78	39.14
ex5p	8	63	27	32.97	132	49.3	29.64	136	49.1	34.96
s38417	1664	1742	1208	495.65	603	423.13	598.56	716	250.6	543.06
seq	40	29	337	88.62	229	86.34	64.32	247	74.6	68.72
fir	897	1232	1424	675.41	249	271.33	151.68	314	187.3	145.84
pmac	45	67	911	84.53	237	60.36	154.8	242	57.73	144.62
psdes	34	23	301	74.29	151	63.94	45.36	186	62.12	49.32
sort	78	19	275	65.48	138	58.38	36.6	177	57.2	41.32
total				1845.05		1298.41			981.83	
비교				+87.9%		+32.24%			1	

표 2. 다단의 수를 고려한 소모 전력 비교

Table 2. Comparison power considered the number of multi-level.

	mn=4		mn=8		mn=20	
	블록	전력	블록	전력	블록	전력
alu4	201	67.37	181	63.23	176	61.6
cps	169	83.61	142	79.32	135	47.25
apex4	243	70.81	231	67.86	193	67.55
misex3	204	67.2	194	66.87	193	66.78
ex5p	156	51.37	136	49.1	136	49.1
s38417	989	314.51	894	297.72	783	261.32
seq	307	81.2	247	74.6	247	74.6
fir	761	318.94	412	201.33	321	191.61
pmac	411	72.87	279	61.23	242	57.73
psdes	299	74.29	186	62.12	186	62.12
sort	186	60.45	177	57.2	177	57.2
total		1262.62		1080.58		996.86
비교		+26.66%		+8.4%		1

Algorithm LP_CPLD

Input : k, mn, N, 각 입력에 대한 EP와 TD,

 C_{in} , C_{out}

Output : 저전력 매핑

0 N에 대한 DAG 생성

1 PI를 제외한 모든 노드의 TD계산

2 for 각 노드 v 에 대해

3 find 출력 에지의 수가 가장 많은 노드

4 매핑 가능 클러스터 ($LP_FC(V)$) 생성

5 가상 노드 생성

6 end for

7 mn 계산

8 for 가상노드를 포함한 각 노드 v 에 대해

9 fanout free tree 생성

10 k를 만족하는 매핑 가능 클러스터 생성

11 find mn의 조건을 만족하는 매핑 가능 클러스터 선택

12 mn의 조건을 만족하는 매핑 가능 클러스터 저장

13 end for

14 시간 제약 조건을 만족하는 저전력 기술 매핑 결과 추출

그림 4. 저전력을 고려한 그래프 분할 알고리즘

Fig. 4. Graph partition algorithm considered low-power.

V. 실험 결과

본 논문에서 제안한 시간 제약 조건 하에서 저전력을 고려한 CPLD 기술 매핑 알고리즘을 벤치마크에 적용하

여 전력 소모량을 측정하였다.

실험을 위한 대상 소자는 Lattice사의 MACH4를 선정하여 실험하였다. MACH4의 OR 텀수는 최대 20개이다. 각 입력에 EP는 0.5, TD는 1,000으로 설정하였으며 C_{in} 과 C_{out} 은 10 pF으로 설정하였다.

또한 주어진 시간 제약 조건에 따라 다단의 수를 주어 실험하였다.

실험 결과 다단의 수를 고려하지 않았을 경우 기존의 CPLD 기술 매핑 알고리즘인 DDMAP이나 TEMPLA에 비해 각각 46.79%와 24.38% 감소된 결과를 나타내었다. 다단의 수를 고려한 경우는 다단의 수가 증가할수록 소모 전력이 감소되는 결과를 나타내었다. 표 1은 다단의 수를 고려하지 않은 상태에서 기존의 CPLD 알고리즘과 소모 전력을 비교한 표이다.

표 2는 다단의 수에 따른 소모 전력을 비교한 실험 결과이다. 다단의 수에 따른 실험 결과 다단의 수가 증가할수록 소비 전력은 감소하는 결과를 나타내었다. 다단의 수를 고려하지 않았을 경우에 비해 다단의 수가 20인 경우 보다 1.5%, 다단의 수가 8인 경우 9.14%, 다단의 수가 4인 경우 22.24% 증가된 결과를 나타내었다. 따라서 다단의 수가 작으면 생성된 매핑 가능 클러스터에 대한 그래프 분할의 조건이 많아 분할이 어려워지며 이에 따라 소비 전력이 증가하게 된다. 반면에 다단의 수가 증가되면 될수록 생성된 매핑 가능 클러스터에 대한 저전력 그래프 분할이 용이하여 소비 전력을 줄일 수 있다.

VI. 결 론

본 논문은 제안한 시간 제약 조건 하에서 저전력을 고려한 CPLD 기술 매핑 알고리즘을 제안하였다.

제안된 알고리즘은 회로를 구현할 대상 소자에 맞추어 주어진 시간 제약 조건 하에서 소모 전력을 주려 기술 매핑 할 수 있는 알고리즘으로서 저전력을 고려한 그래프 분할, 시간 제약 조건을 고려한 그래프 분할을 수행하였다.

실험 결과 기존의 CPLD 기술 매핑 알고리즘들에 비해 소모 전력이 감소된 결과를 나타내었다. 또한 다단의 수에 따라 소모 전력이 감소된 결과를 보였다.

참 고 문 헌

- [1] The MACH 4 *Family Data Sheet*, Advanced Micro Devices, 1996.
- [2] S. Devadas, S. malik, "A Survey of Optimization Techniques Targeting Low Power VLSI Circuits", in Proc. 32nd DAC, pp. 242~247, June 1995.
- [3] A. Chandrakasan, T. Sheng, and R. Brodersen, "Low Power CMOS Digital Design", Journal of Solid State Circuits, vol. 27, no. 4, pp. 473-484, April 1992.
- [4] S. Chakravarty, "On complexity of using BDDs for the synthesis and analysis of boolean circuits", in Proc. 27th Annual Allerton Conf. On Communication, Control and computing., pp. 730~739. 1989.
- [5] S. ErColani et al., "Testability measures in pseudorandom testing", IEEE Trans. Computer-Aided Design., vol. 11, pp. 794~800, 1992, June.
- [6] J. Cong and Y. Ding, "FlowMap : An 'Optimal Technology Mapping Algorithm for Delay Optimization in Lookup-Table Based FPGA Designs", *IEEE Transactions on Computer-Aided Design of Integrated Circuit and Systems*, Vol. 13, No. 1, January 1994, pp. 1~11.
- [7] R.J Francis, J. Rose and Z. Vranestic, "Chortle-crf : Fast Technology Mapping for Lookup Table-Based FPGAs", *28th ACM/IEEE Design Automation Conference*, June 1991, pp. 227~233.
- [8] Zhi-Hong Wang, En-Cheng Liu, Jianbang Lai, Ting-Chi Wang, "Power Minimization in LUT-Based FPGA Technology Mapping", ASP-DAC, pp. 635~640, January 2001.
- [9] A. H. Farrahi and M.Sarrafzadeh, "FPGA Technology Mapping for Power Minimization", Proc. Int. Workshop on field Programmable Logic and Applications, pp. 66~77, 1994.
- [10] C. -C. Wang and C. -P. Kwan, "Low Power Technology Mapping by Hiding high-Transition Paths in Invisible Edges of LUT-Based FPGAs", Proc. Int. Symp. on Circuits and Systems, pp. 1536~1539, 1997.
- [11] R.J Francis, J. Rose and Z. Vranestic, "Technology Mapping of Lookup Table-Based FPGAs for Performance", *1991 IEEE Conference on Computer Aided Design*, pp. 568~571.
- [12] E. M. Sentovice et al., "SIS : A system for sequential Circuit Synthesis", *Technical Report UCM/ERL M92/41*, Electronics Research Laboratory, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 1992.
- [13] Jason Helge Anderson, Stephen Dean Brown, "Technology Mapping for Large Complex PLDs", Design Automation Conference, 1998, pp. 698~703.
- [14] Jae-Jin Kim, Hi-Seok Kim, Chi-Ho Lin, "A New Technology Mapping for CPLD under the time constraint" ASP-DAC, pp. 235~238, January 2001.

저 자 소 개

金 熙 碩(正會員) 論文 第38卷 SD編 第1號, 參照
: 현 청주대학교 정보통신공학부 교수

金 才 鎮(正會員) 論文 第38卷 SD編 第1號, 參照
현 극동정보대학 전산정보처리과 전임강사