

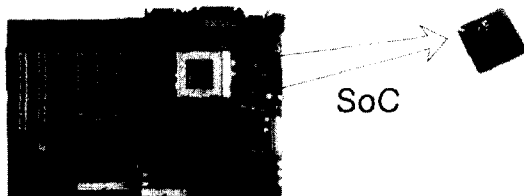
SOC 기술 동향

최 종 찬

전자부품연구원 시스템 IC 연구센터 책임연구원

I. SOC 개요

SOC는 시스템 온어 칩(System on a Chip)의 약자로 하나의 시스템이 하나의 칩으로 집적되는 기술 및 제품을 의미한다. 예전에는 여러 개의 칩들이 모여서 하나의 시스템을 구성하였다면 이제는 하나의 칩으로 하나의 시스템이 구현된다는 개념이다. 반도체 공정 기술의 획기적인 발전으로 인해 이러한 일이 점점 현실적인 의미로 다가오고 있다. 예를 들면 현재 사용하고 있는 PC의 메인보드를 보면 많은 반도체 칩들로 구성되어 있다. 이 메인보드를 하나의 칩으로 구현한다면 현재의 PC는 그 크기가 지금의 절반 이하로 줄어들 것이며, 공급가격도 상당부분 낮아질 것이다. ZF 마이크로 디바이스는 업계 최초로 1999년 하나의 단일칩으로 부팅이 가능한 X86과 호환되는 CPU가 내장된 메인보드를 선보였다. <그림 1>은 단일칩으로 구현된 SOC의 한 예를 여주고 있다. 이와 같은 요구는 앞으로의 사회에서는 계속적으로 일어날 것이며 향후 급속히 적용 분야 및 시장을 넓혀갈 것이다. 또한 80년대 이후 PC가 반도체 성장을 주도하였으나 앞으로



<그림 1> 단일칩으로 구현된 SOC의 한 예

는 정보가전제품, 전장제품, 디스플레이, 스마트카드 및 유무선 통신등과 관련된 SOC 제품이 반도체 시장을 이끌어 나갈 것이다. 본고에서는 이러한 시장의 변화와 요구에 대응하는 SOC 제품을 내기 위한 기술동향에 대해서 알아본다.

II. SOC 기술 동향

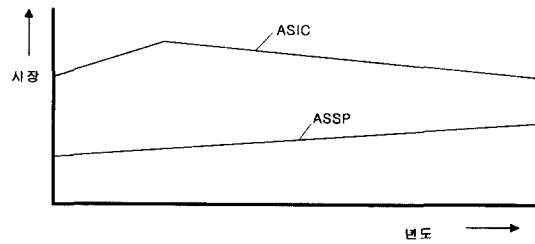
십년 전부터 전문 분야에 있는 사람들에 의해 시스템 온어 칩(SOC)이라는 용어가 사용된 이래 실제적으로 이에 가까운 제품이 나오기 시작한 것은 불과 얼마전이다. 이는 PC의 소형화와 이동통신 단말기의 크기변화를 보면 피부로 느낄 수 있을 정도이다. 현재 많은 업체에서 미래의 PC의 모양 및 기능에 대해서 관심을 가지고 있다. 이는 PC를 포함한 기기들이 휴대용 제품으로 통합된다는 것을 의미하며 이를 가능하게 하는 기술이 바로 SOC 기술이다. 반도체 초미세공정 기술과 집적회로기술의 발전으로 인해 이러한 것이 가능하게 되었다. 이러한 SOC 기술 개발에 가장 유리한 위치에 있는 것이 현재 까지는 설계 경험이 풍부한 ASIC업체들이다. 하지만 SOC 개발의 성공 열쇠는 단순한 설계 기술에만 있지 않다는 것이 중요하다. SOC의 등장은 반도체 칩과 시스템 개발의 전통적인 개발 순서를 바꾸고 있다. 과거 반도체 업체들은 새로운 칩 개발을 위해 우선 기술 개발 계획서를 작성한 다음 칩의 응용분야를 분석하고 최종적으로 각각 다른 반도체 칩이 적용되는 시스템으로 분리하는 순서를

따랐지만 최근에는 이러한 흐름은 급변하는 시장에 대응하기 위하여 완전히 뒤바뀌고 있다. 또한 과거와 같이 하드웨어 개발과 소프트웨어 및 응용 프로그래밍을 개발이 분리된다면 SOC 시장에 제대로 대응을 할 수 없게 된다. 개발 초기 단계부터 소프트웨어 및 응용 프로그래밍 기술이 하드웨어 기술과 병행되어 진행되어야 하며 점점 소프트웨어 및 응용 프로그래밍 기술이 SOC 개발에서 차지하는 비중이 크게 증가하고 있다. 이러한 점에서 보면 설계, 제조, 소프트웨어 등 전반적인 기술개발이 병행되어야만 제대로 된 SOC를 구현할 수 있고 이와 같은 기술은 시스템 생산을 병행하고 있는 일부 대형 반도체 업체들만이 실현할 수 있을 것이라고 전망하는 이도 있다.

SOC 시장이 도래하기 위해서는 아직도 넘어야 할 기술적인 부분이 많이 있다. 공정기술, 설계 기술 및 검증 능력, 새로운 설계 방법론, 전력 소모, 배선지연문제, 개발 환경 툴의 개발 등 앞으로 이러한 문제를 어떻게 대응해서 시장이 요구하는 시점에 SOC 제품을 내놓을 수 있는가 하는 것이 성공의 중요한 관건이 된다. 지금부터는 반도체 기술동향, IP 기술동향, PLD 업체 동향, SOC 설계 방법론, SOC 요구조건에 대해서 살펴 보기로 한다.

1. 반도체 기술 동향

최근의 비모메리 반도체분야의 가장 중요한 동향은 ASSP(Application Specific Standard Products) 설계 시장이 ASIC 설계 시장 보다 빨리 성장하고 있다는 점이다. 이와 더불어 Standard Products 설계 시장도 점점 크게 형성되어 가고 있다. ASIC 설계 시장은 고객이 원하는 특정 제품을 설계하는 것을 의미하고 대표적인 것이 특정 제품에만 사용되어지는 controller 설계 등이 있다. ASSP 설계 시장은 특정 고객만이 아닌 적용 분야가 비슷한 다수의 고객을 상대로 제품을 설계하는 것을 의미하고 대표적인 것이 VoIP(Voice over IP), 3G baseband 설계 등이 있다. Standard Product 설계 시장은 다수의 고객을 대상으로 다수의 응용분야에 적용

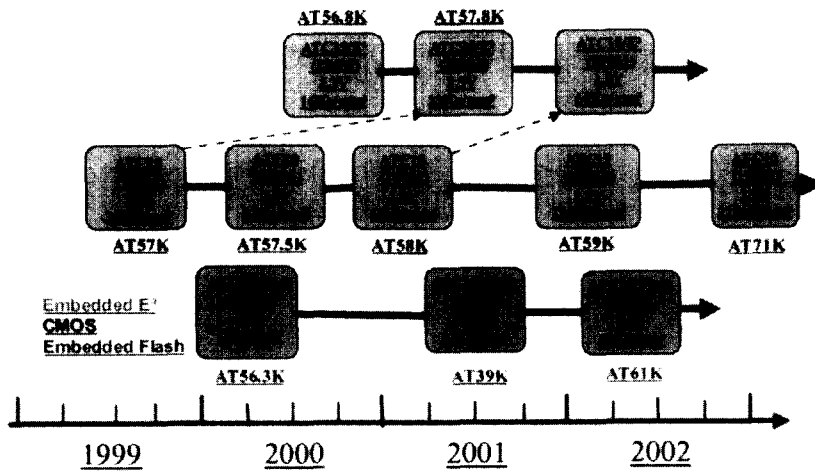


〈그림 2〉 ASIC과 ASSP 설계 시장의 전망

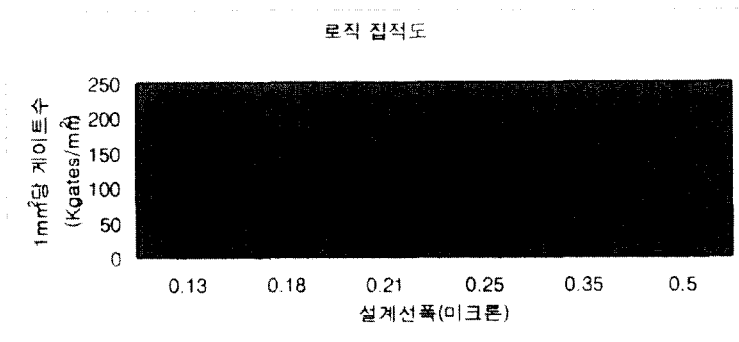
이 가능한 제품을 설계하는 것을 의미하고 대표적인 것이 ARM based 설계 등이 있다. 이러한 설계 시장의 변화는 SOC 설계 시장으로 점점 다가가고 있음을 보여주고 있다. 〈그림 2〉는 ASIC과 ASSP 설계 시장의 전망을 보여주고 있다. ASSP 설계 시장은 설계기술의 발달과 설계의 복잡도의 영향으로 서서히 증가함을 보여주고 있다.

SOC에 대한 관심이 증가하면서 설계의 복잡도는 기하급수적으로 증가하고 있다. 마이크로프로세서, DSP, 핵심디지털코어, 메모리 등이 하나의 칩으로 들어오게 된 것이 가장 큰 원인이 될 것이다. 현재도 많은 업체들이 원하는 크기의 임베디드 SRAM 및 DRAM 등의 메모리를 내장하고 싶어한다. 하지만 이러한 임베디드 메모리의 경우 일반 로직 보다 면적이 30% 이상씩 크게 차지함으로 인해 SOC를 위해서는 현실적으로 어려움이 많다. 이에 진보적인 메모리설계 기술 및 구조의 개발이 시급한 실정이다. 〈그림 3〉은 아트멜사의 CMOS 공정 및 임베디드 EEPROM & Flash 메모리의 로드맵을 보여주고 있다.

새로운 설계 공정의 도입은 거의 2년 마다 빠르게 일어나고 있다. 현재 국내외에서 설계의 주류를 이루는 설계 선폭은 0.35 미크론에서 어느새 0.25 미크론, 0.18 미크론으로 빠르게 이동하고 있다. 향후 2004년 이후에는 0.13 미크론이나 0.1 미크론 공정 기술이 주류를 이룰 것으로 보여진다. 공정기술 이외에도 구리배선과 SOI, 그리고 부상하고 있는 저유전율 기술, 실리콘 게르마늄(SiGe) 공정등은 SOC 기술에 중요한 영향을 미치는 요소들이다.



〈그림 3〉 제조공정 로드맵 (아트멜)



〈그림 4〉 설계선폭에 따른 로직 집적도 변화

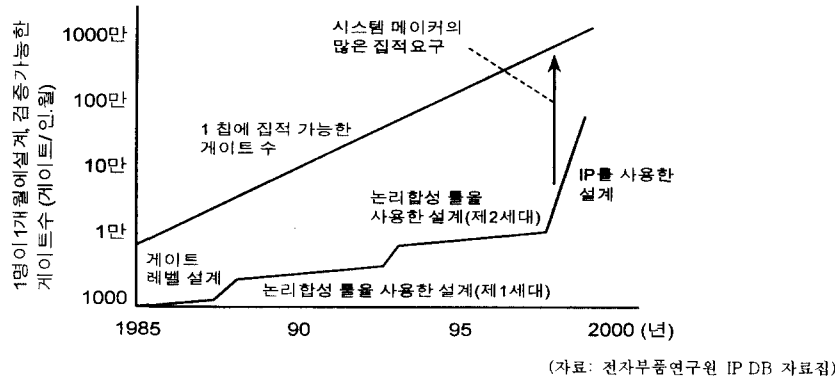
급격한 성장을 보여온 이동통신시장에서는 RF를 포함한 단일칩 솔루션을 강력하게 원하고 있는 실정이다. 실리콘 게르마늄 공정은 이러한 요구에 대한 해답을 주는 중요한 역할을 할 것으로 사료되어진다. 또한 패키징 기술의 중요성도 SOC의 시대에서는 중요한 요소로 자리잡게 될 것이다.

2. IP 기술 동향

반도체 제조 공정 기술의 발달로 하나의 칩에 수천만개의 트랜지스터를 집적 할 수 있는 제조 능력이 생겼다. 하지만 이에 반해 설계 능력의 발전은 크게 못 미치고 있는 실정이다. 또한 갈수록 복잡한 규격 및 사양, 줄어드는 시장 진입 시간,

단축되는 제품 수명등 다양하게 요구되는 시장에 종전의 논리 합성에 기반을 둔 설계 기술은 이러한 제품을 주어진 시간 내에 설계하는 것을 어렵게 한다. 〈그림 5〉에서는 이러한 집적도 대비 설계 능력을 잘 보여 주고 있다.

이러한 문제를 극복하는 방법으로 설계 모듈을 재사용 하고자 하는 노력이 90년대 후반부터 활발하게 일어나고 있다. 이러한 재사용 가능한 설계 모듈이 특허, 판권, trade secrets를 통해서 보호 될 때 이를 IP(Intellectual Property)라고 한다. 이러한 IP는 재사용을 위하여 설계에 관련된 모든 부분의 표준화가 필요하다. 이에 1996년 6월에 IP 국제표준단체인 VSIA (Virtual Socket Interface Alliance)가 미국에서 설립



〈그림 5〉 집적도 대비 설계 능력

되어 현재 VC(virtual component) 표준화를 통한 VC 사용 촉진을 목표로 활발한 활동을 전개하고 있다.

DWG(Development Working Group)를 운영하여 표준 인터페이스 정의와 설계, 데이터 포맷과 설계 방법 등을 정의하며 반도체 업체, EDA 업체, 그리고 IP 개발 회사등 200여 업체가 회원으로 등록되어 있다. 또한 새로운 국제 기구로 VCX가 있으며 IP를 이용한 사업과 거래 문제를 주로 취급하며 1998년 8월에 스코틀랜드에서 설립되었다. 국내에서도 IP와 관련되어 많은 업체들이 활발한 활동을 하고 있다. 이러한 IP가 SOC의 대안으로 확고한 자리매김을 하려면 손쉬운 통합과 검증 절차가 이루어져야만 한다. 현재 개발 업체들의 요구에 의해 표준화된 버스 와 인터페이스를 바탕으로 플러그 앤 플레이 되는 IP 개발 및 제공을 강력하게 요구 받고 있는 실정이다.

3. PLD 업체 동향

수많은 ASIC 업체가 SOC 시장에서 유리한 고지를 선점하기 위해서 많은 노력을 하고 있다. 하지만 집적화 되는 회로의 크기가 커질수록 앞에서 살펴 본 바와 같이 설계부터 검증까지 많은 시간이 들고 개발 기간의 장기화와 비용의 증가는 피할 수 없는 과제가 되고 있다. 이러한 점에서 최근 개발 기간이 짧고 개발비 부담이 거의

없는 PLD 업체의 SOC 구현을 위한 합리적인 솔루션에 많은 관심을 가지게 된다. 주요 PLD 벤더들은 자사의 디바이스에 프로세서 코어를 임베디드하여 사용자가 보다 쉽게 SOC를 만들 수 있도록 하고 있다. 알테라에서는 이러한 SOC 구현을 위한 최적의 솔루션을 SoPC(System on a Programmable Chip)으로 부르고 있으며, 킷로직에서는 ESP(Embedded Standard Products)라고 부르고 있다. 알테라의 Excalibur는 업계 최초의 SoPC를 구현한 디바이스 제품군이름으로 3가지의 RISC 코어를 내장하고 있으며 PLD의 장점인 유연성과 SOC가 가지고 있는 시스템 통합의 장점을 결합하여 보다 쉽게 시스템을 설계 할 수 있다. 자이링스사는 FPGA 플랫폼 기반의 디자인 설계 방법론을 공개하였다. 자이링스 플랫폼의 핵심은 Virtex-II 플랫폼에 있는 IBM의 PowerPC 프로세서 코어와 같은 임베디드 프로세서이다.

이는 단순 게이트 디자인이 아닌 플랫폼 디자인으로 전체 시스템 디자인에 초점을 맞추어야 한다. 킷로직은 다양한 ESP 제품군을 제공한다. 기본구조는 산업계에 널리 사용되는 표준 기능들을 기존 PLD 제품의 로직게이트와 주변구성에 필요한 부가 기능을 원칩화 시킨 SOC 형태의 구조를 갖는다. 액텔은 임베디드 FPGA 시장에서 고부가가치의 스타 IP를 공급하는데 중점 목표를 두고 있다.

4. SOC 설계 방법론

SOC 시대의 실현을 가로막는 걸림돌이 되는 것은 0.1 마이크로 전후의 딥 서브미크론 반도체 제조공정에서 일어나는 Wiring 시간 지연 문제 등의 물리, 제조 공정적인 문제와 설계 복잡도 문제이다. 이러한 물리적인 문제를 해결하는 방법으로 주로 로직합성과 레이아웃을 하나로 통합하는 방법을 채택하고 있으며 설계의 복잡도 문제를 대응하기 위해 상위 시스템 단계 설계라는 개념을 고려하고 있다. SOC 설계를 위해서는 많은 부분이 고려되어야 한다. 가장 중요한 개념은 반도체 설계자산에 대한 재사용이다. 여기서 강조하는 부분은 SOC 시장에 적응하기 위해 재사용 규모가 IP 블록에서 점점 커지고 있다는 것이 달라지고 있는 점이다. SOC 시대에 있어서 재사용 규모로 판단되는 것이 플랫폼이다. 플랫폼은 특정 응용분야에 있어서 공통적으로 사용되는 하나의 기본적인 구조와 구성된 환경이라고 볼 수 있다. 이러한 변화는 IP 블록만의 재사용으로는 급변하는 시장의 요구에 적응할 수 없다는 판단에 의해서 점점 새로운 해결책으로 부각되고 있다. 이러한 개념을 바탕으로 등장한 설계 개념이 플랫폼 기반의 설계 방법론이다. 이와는 달리 인터페이스를 효과적으로 관리하여 인터페이스 기반의 설계 방법론도 대두되고 있으며, 기능 및 아키텍처 통합 설계 방법도 적용되고 있다.

5. SOC 개발을 위한 요구 조건

위에서 살펴본 SOC 개발을 위한 요구 조건들을 정리해 본다.

- 1) Advanced Process Technology
- 2) 플러그 앤 플레이 가능한 IP Blocks & 플랫폼
- 3) 고성능 Microcontrollers & DSP Cores
- 4) Advanced Memories
- 5) High-performance Analog
- 6) Design Methodology & Design Tools
- 7) Development Platforms
- 8) Drivers & Firmware

- 9) Design & Application Support
- 10) A Wide Range of Packaging Solutions
- 11) Time-to-market & Cost-effective Solutions

III. 결 론

메모리 위주로 성장해온 국내 반도체업체가 비 메모리 반도체인 SOC 시장에서의 경쟁에 나서고 있으며 기술 개발과 인력 양성을 위해서 많은 투자를 하고 있는 사실은 고무적인 일이다. 향후 5년간은 SOC가 반도체 시장을 지배할 것이라는 의견에는 많은 이들이 동의하고 있다. 위에서 살펴본 바와 같이 본격적인 SOC 시대가 올려면 아직도 많은 기술적인 난제를 풀어야 한다. 이 가운데 몇 가지 기술적 문제는 메모리 강국으로써 축적된 기술력으로 풀 수 있을 것이다. 하지만 SOC 설계에서 큰 부분을 차지하는 로직 설계와 물리적 설계를 통합하고 검증하는 EDA 도구의 개발은 오래 전부터 우리에게 가장 취약한 분야로 여겨지고 있지만 도구 개발을 위한 투자는 그리 활발하지 않은 실정이다. 이 분야에 대한 집중적인 지원 및 대책이 필요하다고 사료되어진다. 향후 SOC의 핵심은 이동성과 연결성이다. 고객이 원하는 모든 기능들이 하나로 통합되고 이러한 것들을 한데 묶는 작업은 반도체업체의 미래 과제이며 국가 경쟁력을 높일 수 있는 계기가 될 것이다.

참 고 문 헌

- [1] 전자신문, <http://www.etimesi.co.kr>
- [2] 디지털타임스, <http://www.dt.co.kr>
- [3] 한국전자통신연구원 “ASIC Technology & Market Analysis”, 2000
- [4] IP 선진 기술 동향, 전자부품연구원, 1999.

6. 15

- [5] VSI Alliance, <http://www.vsi.org>
 [5] 월간전자부품, pp.122-130, 1월, 2001
 [6] Bill Cordan, "Configurable Platform Based SoC Design Techniques," EE Design, <http://www.eedesign.com/story/OEG20010312S0077>

저자 소개



崔鍾讚

1963년 1월 2일생, 1985년 2월 경
 희대학교 전자공학과 졸업, 2000
 년 3월 서경대학교 컴퓨터과학과
 입학, 1985년 3월~1990년 10
 월 : 삼성 SDI 종합연구소, 1992
 년 1월~현재 : 전자부품연구원
 시스템 IC 연구센터 책임연구원/센터장, <주관심 분
 야: ① SoC 설계, -PAN 통신용 SoC 설계, -혼성
 신호 SoC 설계, ② 디스플레이 드라이버 IC 설계>