

SOC CAD 기술 동향

유 승 주*, 최 기 영**

*서울대 반도체공동연구소, **서울대 전기컴퓨터공학부

SOC 설계를 위한 CAD 기술은 아직 새로운 설계방법론을 정립하는 단계라고 볼 수 있다. IP 기반 설계방법론에서 시작하여, platform 기반 설계방법론, function/architecture codesign, 최근의 on-chip 네트워크 시스템 설계의 개념에 이르기까지 SOC 설계방법은 계속 변화와 발전을 거듭하고 있다. 이러한 변화의 가장 큰 이유는 설계생산성 향상을 위한 새로운 설계방법이 필요하게 되었기 때문이다. 널리 알려진 바와 같이, Moore의 법칙에 따라 시스템의 복잡도는 3년에 약 2배 증가하는데 비해, 설계생산성은 이에 훨씬 미치지 못하기 때문에, 결국 복잡한 시스템설계의 시간이 시장출시시간을 만족시키지 못하는 상황이 되었기 때문이다.

설계생산성 향상을 위한 최근의 CAD 기술은 on-chip 통신설계를 위한 기술이라고 할 수 있다. IP 기반 설계에서 IP 간의 연결을 위한 기술, platform 기반 설계에서 기존의 platform과 새로운 컴포넌트간의 통신설계를 위한 기술, function/architecture codesign에서 실제 아키텍처를 구현하는 기술은 on-chip 통신설계 기술이다. On-chip 네트워크 시스템 설계의 경우 역시 기술의 핵심은 on-chip 통신설계 기술이다.

칩의 집적도가 증가함에 따라, 0.1 μ m급의 공정에서는 32비트 RISC 프로세서 200여 개가 하나의 칩 상에 집적될 수 있다^[1]. 이러한 상황에서 SOC 설계는 multiprocessor 시스템을 칩 상에 구현하는 설계가 된다. 또한, 프로세서간의 통신을 효과적으로 구현하기 위해 칩 상에 네트워크를 구성할 필요가 있게 되었다. 본 글에서는 최근 SOC 설계에서 그 필요성이 강조되는 multipro-

cessor(MP) SOC에 대해 소개하고, MP SOC 설계를 위해 현재 개발되었고, 또 앞으로 개발 중인 CAD 기술로 function/architecture codesign, on-chip 통신구현 및 on-chip 네트워크 설계기술을 소개한다.

I. Multiprocessor SOC

칩의 집적도 향상이 multiprocessor를 가능하게 한 요인이라면, multiprocessor를 필요로 하는 요인은 두 가지이다. 하나는 application-specific 프로세서를 기반으로 한 시스템 설계의 필요성이고, 다른 하나는 구현할 시스템이 가진 병렬성이다.

SOC의 성능사양을 만족시키기 위해 시스템의 각 부분의 기능에 적합한 프로세서를 설계에 사용하는 것은 필수적이다. 예를 들어, 차세대 화상 PDA 시스템 또는 디지털 TV 시스템은 기본적으로 DSP, 마이크로프로세서, 비디오코덱으로 구성된 SOC이다. 이때, DSP는 시스템의 음성신호처리 부분에, 마이크로프로세서는 제어부분에, 비디오코덱은 화상데이터처리에 사용하는 것은 설계의 비용을 줄이고, 성능을 향상시키는 일반적인 방법이다. 이와 같이, application-specific 프로세서를 사용한 설계의 경우, 서로 다른 프로세서들이 한 칩에 집적되게 되어 자연스럽게 MP SOC가 되게 된다. 이러한 MP SOC의 실제 예로는 퀄컴의 MSM 칩, Philips의 Nexperia 아키텍처 기반의 digital TV 칩을 들 수 있다.

MP SOC를 필요로 하는 또 하나의 요인인 시스템의 병렬성은 시스템 성능향상과 밀접한 관련을 갖는다. 예를 들어 네트워크 프로세서의 경우, 패킷들은 각각이 독자적으로 처리되어야 한다. 따라서, 이 경우 패킷의 수만큼의 명확한 (explicit) 병렬성이 시스템에는 존재한다. 이러한 시스템을 하나의 고성능 프로세서로 구현하는 것은 네트워크프로토콜의 성능요구수준이 낮을 때는 가능하지만, SONET OC-768 등의 고성능 네트워크를 구현하기 위해서는 기술적으로 불가능하다. 예를 들어 OC-768(40Gbps)의 경우 초당 114×10^6 개의 패킷을 처리해야 하고, 패킷 하나 당 500개 정도의 assembly 명령어 수행이 필요하다. 따라서, 한 패킷 당 처리시간은 9ns가 된다^[2]. 이 경우 하나의 프로세서로 처리하려면, 57 GIPS의 성능을 가진 프로세서가 필요한데 이는 현재 기술적으로 불가능하다. 따라서, 여러 프로세서가 병렬적으로 동작하며 패킷들을 나누어서 처리하는 MP SOC가 요구된다.

이러한 명확한 병렬성은 고급화상데이터처리의 경우에도 뚜렷이 나타난다. 예를 들어 MPEG4 디코더 시스템의 경우, 하나의 프레임은 네 가지 다른 종류의 데이터(natural 비디오, 오디오, 그래픽스, scene description)를 가질 수 있고, 이들은 동기화 조건만 만족시키면 병렬적으로 수행될 수 있다. 그 중 natural 비디오의 경우에도 객체단위(object-based) 디코딩은 각 객체단위로 병렬적으로 수행될 수 있다. 그리고 객체단위 디코딩에서도 매크로 블록(macro block) 단위의 디코딩 역시 매크로 블록별로 병렬적으로 수행이 가능하다. 이러한 명확한 병렬성을 가진 SOC의 또 다른 예로 Sony의 Playstation2 칩을 들 수 있다^[3].

MP SOC의 아키텍처 측면에서는 homogeneous MP 또는 heterogeneous MP의 문제, MP와 simultaneous multithreading(SMT)의 trade-off 등의 문제가 있다. 본 글에서는 이러한 문제와 관련이 있는 "MP SOC를 어떻게 설계할 것인가"라는 문제의 해법으로 function/architecture codesign, on-chip 통신설계, on-chip 네

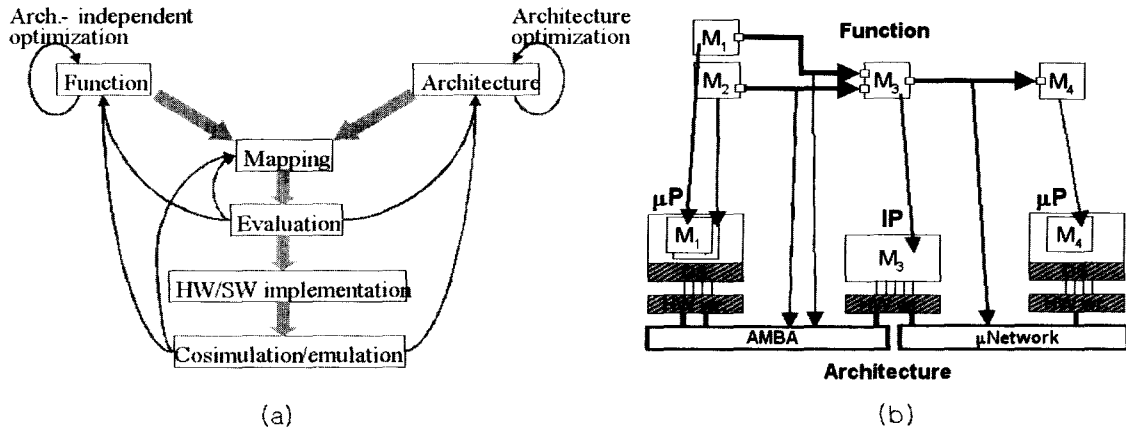
트워크 설계 CAD 기술을 설명한다.

II. Function/Architecture Codesign과 On-Chip 통신구현

MP SOC 설계의 문제는 시스템의 기능, 즉 function을 MP SOC target 아키텍처에 매핑하는 문제와 매핑된 기능들 사이의 통신을 구현하는 문제로 나눌 수 있다. 우선, function의 아키텍처에 대한 매핑은 function과 아키텍처의 분리를 전제로 한다. 즉, 아키텍처와 독립적인 function을 설계하고, 이를 주어진 또는 선택한 아키텍처 상에 매핑한다. MP SOC를 구현하는 이러한 설계방법을 function/architecture codesign이라고 한다. <그림 1(a)>는 function/architecture codesign의 설계흐름을 보인 것이다. Function/architecture codesign을 지원하는 상용툴로는 Cadence의 VCC(Virtual Component Codesign), Coware의 N2C 등이 있다.

<그림 1(a)>에서 function은 시스템설계자가 시스템의 동작사양에 따라 설계하고, 아키텍처와 독립적으로 성능최적화를 수행한다. 아키텍처는 기존의 아키텍처를 platform으로 재사용할 수도 있고, 새로운 아키텍처를 구성해서 사용할 수 있다. 이때, 아키텍처 역시 최적화가 가능하다. 예를 들어, 기본 platform의 버스의 크기를 32비트로 할지, 16비트로 할지 등의 결정이 필요한데, 이를 성능을 만족하는 범위 내에서 비용을 최소화하는 방향으로 결정하는, 일종의 최적화가 가능하다.

Function은 계산부분과 통신부분으로 나눌 수 있다. <그림 1(b)>에서 function은 계산부분을 나타내는 사각형, 통신부분을 나타내는 연결선으로 표현되어 있다. 설계자는 function 상의 계산부분과 통신부분을 아키텍처 상의 프로세서, IP, on-chip 버스에 매핑한다. 매핑은 시스템의 성능을 결정하는 중요한 설계단계이므로 매핑의 결과



〈그림 1〉 Function/architecture codesign : 설계흐름 (a), 매핑의 예 (b)

를 보기 위해, 성능예측작업 (evaluation)이 필요하다.

성능예측(여기서는 수행시간만을 예로 들어 설명한다)은 function/architecture codesign 방법에서 핵심적인 기술이다. 성능예측 방법은 다음과 같다. Function에 아키텍처 상의 매핑에 따른 수행시간을 추가한 후, function을 시뮬레이션하면서 수행시간을 더해 나간 후, 시뮬레이션이 끝나면, 그 결과로 구해진 전체 수행시간을 구한다. 이를 위해, 시뮬레이션 전에, 우선 아키텍처상의 프로세서, IP 상에 매핑된 계산부분의 성능예측과 on-chip 통신의 성능예측을 수행한다.

프로세서, DSP, HW IP나 ASIC 상에서의 계산부분의 수행시간은 프로세서의 경우 C언어 수준의 수행시간 예측방법이나 assembly 명령어 단위의 수행시간 예측방법을 적용한다. DSP의 경우 성능을 결정하는 kernel function의 수행시간을 미리 계산해두고 이를 DSP 수행시간 예측에 사용한다. HW IP나 ASIC의 경우 대체로 정적인 수행시간을 가지므로 하드웨어 시뮬레이션 등으로 구한 수행시간 값을 이용한다.

통신부분의 수행시간 예측을 위해서는 통신에 대한 여러 가지 수준의 시뮬레이션 모델을 사용한다. 예를 들어, 최상위 수준의 시뮬레이션 모델로 메시지/패킷 단위의 통신, 버스 트랜잭션 수

준의 통신, 최하위 수준의 모델로 cycle-accurate 수준의 통신을 사용할 수 있다. 이와 같은 여러 가지 수준의 시뮬레이션 모델을 사용하는 이유는 시뮬레이션 성능을 향상시키기 위해서이다. 예를 들어, ATM 시스템을 시뮬레이션할 때, 패킷(이 경우 53바이트 크기의 데이터) 단위로 통신하는 모델을 쓸 경우, cycle-accurate 모델보다 시뮬레이션 상에서 처리할 event의 수가 적으므로 cycle-accurate 모델보다 빠른 시뮬레이션이 가능하다.

〈그림 1(a)〉에서 성능예측을 통해 매핑이 주어진 성능 및 비용조건을 만족하는 경우, 실제 on-chip 통신을 구현하는 작업을 수행한다. On-chip 통신은 〈그림 1(b)〉에 보인 바와 같이, operating system (OS), hardware (HW) wrapper, on-chip 통신네트워크(그림의 경우 AMBA와 μNetwork 버스)로 구현된다. 예를 들어, 〈그림 1(b)〉에서 M₁과 M₃ 사이의 통신이 FIFO라고 할 때, 이 FIFO는 target 아키텍처 상에서는 μP와 IP 사이의 통신으로 구현된다. 이를 위해, μP 상에는 OS가 필요하고, μP와 AMBA 사이에는 HW wrapper, IP와 AMBA 사이에도 HW wrapper가 필요하다. 이 경우 OS는 M₁에 FIFO에 쓰기 동작을 수행하는 API, 예를 들어 fifo_write을 제공한다. 실제 FIFO 동작, 즉 FIFO 내의 버퍼에 데이터를 쓰

고, 읽기, 데이터 카운터 변경 등의 동작은, OS, μP 의 HW wrapper, IP의 HW wrapper에서 구현된다.

이러한 통신 구현을 위해 상용들은 매핑 결과와 함께 설계자가 보다 자세한 통신구현사양(예를 들어 인터럽트의 사용여부 등)을 제시하도록 한다. 이에 따라, μP 에 포팅된 OS를 configuration하고, HW wrapper를 생성함으로써 on-chip 통신구현이 수행된다.

On-chip 통신구현에 관한 최근의 주요 관심사는 application-specific OS 설계와 OS의 모델링 등이다^{[4][5]}. Application-specific OS는 설계하는 시스템에 꼭 맞는 OS를 의미한다. 예를 들어, PDA에 사용하는 OS와 네트워크프로세서에 사용하는 OS는 필요한 기능과 성능 면에서 분명한 차이가 있다. 이 경우 기능이 고정된 하나의 OS를 두 개의 다른 시스템에 사용하기보다는, 설계하는 시스템 각각에 꼭 맞는 OS를 설계하는 것이 시스템의 성능과 비용 면에서 우수할 것이다. 이러한 application-specific OS 설계에서 필요한 기술 중 하나는 application-specific OS의 성능을 예측하는 방법이다. 이를 위해 OS의 성능을 ISS(instruction set simulation) 보다 빠르고, 그러나 정확한 시뮬레이션으로 검증하는 방법이 필요하다.

III. 칩 상의 네트워크

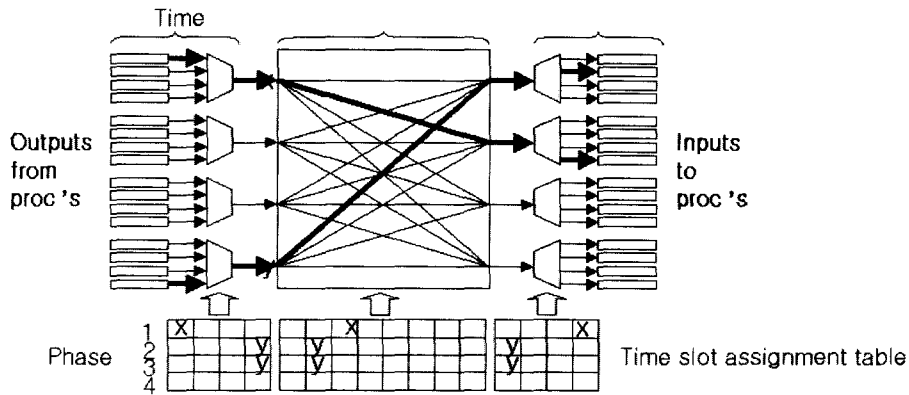
하나의 칩 위에 많은 수의 프로세서, IP들이 집적됨에 따라 이들 간의 통신을 위해 칩 상에 통신 네트워크가 필요하게 되었다. 우선, 통신 네트워크의 필요성을 알아보기 위해, 기존의 우선순위(priority) 기반 on-chip 버스가 가지는 문제점을 살펴보도록 하자. on-chip 버스는 통신 용량이 고정되어 있다는 단점이 있다. 따라서, derivative design의 경우, 새로운 프로세서나 IP를 기존의 on-chip 버스에 추가하는 데 통신 용량 측면에서 제약을 받을 수 있다. 또, on-chip

bus는 실제 layout 상에서 아주 긴 wire가 되는데, 이 경우 wire 간의 간섭에 의한 성능저하 및 전력소모증가의 문제를 가질 수 있다. 통신능력 예측의 측면에서는 버스를 접근하는데 우선순위를 기반으로 하므로, 버스상의 통신의 성능예측이 어렵다는 단점이 있다.

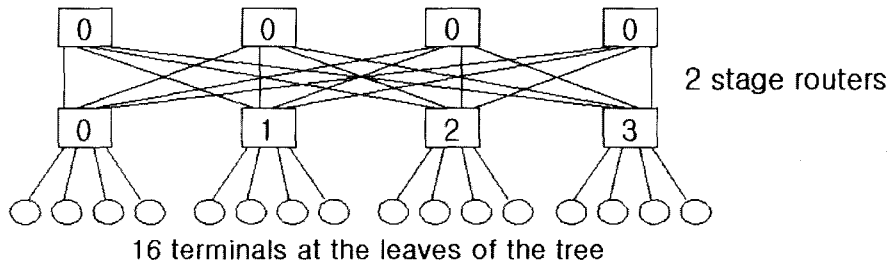
우선순위 기반 on-chip 버스의 이러한 문제점을 해결하기 위해, Sonics사에서는 μ Network이라는 on-chip 버스를 제안한다^[6]. 이 버스는 버스접근을 제어하는 데 기존의 우선순위방식을 이용하지 않고, Time Division Multiple Access(TDMA) 방식을 이용한다. 즉, 버스에 연결된 프로세서나 IP가 time slot을 할당받아, 자신의 time slot이 될 때 버스를 통해 통신을 하는 것이다. TDMA 방식의 장점은 최악경우(worst case)의 통신능력예측이 가능하다는 것이다. 따라서, 실시간 SOC 설계에 적합한 on-chip 버스이다.

On-chip 버스의 통신용량 측면에서의 문제를 해결하기 위해, 최근 circuit switch와 packet switch 네트워크를 칩 상에 구현하는 연구가 활발히 진행되고 있다. Philips의 경우 digital TV 칩 상에서 화상데이터를 프로세서들과 IP들 간에 고속으로 전달하기 위해, circuit switch 네트워크를 칩 상에 구현하였다^[7]. <그림 2(a)>는 circuit switch 네트워크의 예를 보인다. Circuit switch 네트워크는 프로세서들 간의 연결을 시간에 따라 바꿔 준다. 프로세서들 간에 연결이 되었을 경우는 point-to-point 연결이 되고, 동시에 여러 쌍의 프로세서들 간의 연결이 가능하므로 고속데이터통신을 구현할 수 있다.

Circuit switch 네트워크는 고속통신을 구현하는 장점이 있으나 통신자원의 사용도 면에서는 그 사용도가 낮은 단점이 있다. 이러한 단점을 극복하기 위해 on-chip packet switch 네트워크가 제안되었다^{[8][9]}. <그림 2(b)>는 16개의 프로세서간의 통신을 위한 packet switch 네트워크의 예를 보인다. Packet switch 네트워크에서는 각 프로세서는 통신을 위해 데이터를 패킷으로 만든 후, 프로세서에 가까운 네트워크 인



(a) circuit switch network의 예 : Philips



(b) packet switch network의 예 : 16 terminal fat tree network

<그림 2> Circuit/packet switch 네트워크의 예

터페이스를 통해 네트워크에 패킷을 보낸다. 네트워크 상의 스위치들은 패킷들을 목적지까지 routing을 하게 된다. Packet switch 네트워크는 통신자원의 사용도 면에서는 circuit switch 네트워크보다 우수한 것으로 입증되어 있다. 하지만, 통신의 지연시간 측면에서는 최악통신시간 해석이 힘들고, 평균통신시간 해석을 queueing theory를 통해 주로 수행한다.

[9]에서는 On-chip 버스의 DSM (deep sub-micron) 효과에 의한 long wire의 문제를 해결하기 위해서는 packet/circuit switch 네트워크 사용을 주장한다. 이는 packet/circuit switch 네트워크의 경우 스위치 간의 짧은 연결들을 통해 패킷이 전달되므로 on-chip 버스의 long wire 문제를 감소시킬 수 있다는 장점이 있다. 또한, packet/circuit switch 네트워크는 구조가 규칙적이므로 wire 지연시간 예측 면에

서 장점이 있다.

통신네트워크를 칩 상에 구현하기 위해 필요한 CAD 기술로 최근에는 application-specific on-chip packet/circuit switch 설계기술, 통신네트워크의 layout을 고려한 function/architecture 매핑기술, on-chip 통신네트워크의 QoS(Quality of Service)와 통신소모전력간의 trade-off 기술^[10] 등이 현재 활발히 연구되고 있다.

IV. 결 론

본 글에서는 최근의 SOC 설계 CAD 기술로서, 연구 및 제품개발이 활발한 분야인 function/architecture codesign과 on-chip 통신

구현기술, 그리고 칩 상의 네트워크 구현 기술동향을 살펴보았다. 이러한 CAD 기술들은 multi-processor SOC의 설계 생산성을 향상시키는 데 필수적이다.

참 고 문 헌

- [1] H. De Man, "Designing Systems-on-a-chip: Impact on engineering education and research", Katholieke Universiteit Leuven/IMEC, Belgium.
- [2] F. Karim, A. Nguyen, S. Dey, R. Rao, "On-Chip Communication Architecture for OC-768 Network Processors", Proc. DAC, pp.678-683, June 2001.
- [3] H. Tago, "CPU for Playstation2", Proc. SASIMI, Apr. 2000.
- [4] L. Gauthier, S. Yoo, and A. A. Jerraya, "Automatic Generation and Targeting of Application Specific Operating Systems and Embedded Systems Software", IEEE Transactions on CAD, Nov. 2001.
- [5] S. Yoo, G. Nicolescu, L. Gauthier and A. A. Jerraya, "Automatic Generation of Fast Timed Simulation Models for OS in SOC Design", Proc. DATE, Mar. 2002.
- [6] Sonics Inc. Sonics mNetworks, Technical Overview, <http://www.sonicsinc.com/Documents/Overview.pdf>, June 2000.
- [7] J. A. J. Keijten *et. al.*, "Stream Communication between Real-Time Tasks in a High Performance Multi-processor", Proc. DATE, 1998.
- [8] P. Guerrier and A. Greiner, "A Generic Architecture for On-Chip Packet-Switched Interconnections," Proc. DATE, 2000.
- [9] William J. Dally, Brian Towles, "Route Packets, Not Wires: On-Chip Interconnection Networks", Proc. DAC, pp.684-689, June 2001.
- [10] L. Benini, G. De Micheli, "Powering Networks on Chips: Energy Efficient and Reliable Interconnect Design for SoCs", Proc. ISSS, Sep. 2001.

저 자 소 개



劉承周

1969년 3월 10일생, 1992년 2월 서울대 전자공학과 학사, 1995년 2월 서울대 전기공학부 석사, 2000년 2월 서울대 전기공학부 박사, 2000년 4월~2001년 7월: 프랑스 TIMA 연구소 연구원, 2001년 7월~현재: 서울대 반도체공동연구소 특별연구원, <주관심 분야: SOC 설계방법론, on-chip 통신구현, reconfigurable SOC 설계기술>



崔起榮

1955년 8월 30일생, 1978년 2월 서울대 전자공학과 학사, 1980년 2월 한국과학원 전기 및 전자공학 석사, 1989년 6월 Stanford 대학 전기공학 박사, 1978년 1월~1983년 7월: 금성사, 1989년 8월~1991년 1월: Cadence Design Systems Inc., 1991년 3월~1995년 9월: 서울대 반도체공동연구소 조교수, 1995년 9월~2000년 12월: 서울대 전기공학부 부교수, 2001년 1월~현재: 서울대 전기컴퓨터공학부 교수, <주관심 분야: SOC 설계방법론, 저전력 내장형시스템 설계기술, reconfigurable SOC 설계기술>