

論文2002-39SD-1-1

## 유한요소법을 이용한 실리콘 기판에서의 공핍 영역 해석

### (Depletion region analysis of silicon substrate using finite element methods)

卞 起 良 \* , 黃 好 正 \*

(Ki-Ryang Byun and Ho-Jung Hwang)

#### 요 약

본 논문에서는 나노영역의 고해상도 도핑 농도 측정 장비 개발을 위해 공핍 근사 조건하에 복잡한 계산 영역에서 공핍 영역을 간단히 계산할 수 있는 방법을 개발하였다. 개발된 공핍 영역 계산 방법은 유한요소법을 이용한 적응분할 포아송 방정식 해석기를 사용하여 대전된 영역의 경계에서 전위가 0인 등고선과 일치하도록 하여 계산하는 방법이다. 이 방법의 타당성을 검증하기 위해 계산된 대전영역 및 전위분포가 공핍 영역의 정의에 맞는지 확인하였으며, pn 접합에서의 공핍영역 깊이 및 MOS 구조에서 정전용량을 계산하여 비교해 본 결과 이론치와 정확히 일치함을 알 수 있었다. 이러한 pn접합 및 MOS 에서 공핍영역 계산 검증은 바탕으로 나노영역의 탐침을 장착한 SCM에서 전압에 따른 실리콘 내의 공핍영역 모양과 전위를 분석하여, 정전용량 모델링을 하였으며, 이로부터 CV 곡선과 SCM의 출력인 dC/dV 곡선을 계산하였다.

#### Abstract

In this paper, new simple method for the calculation of depletion region under complex geometry and general purpose numerical simulator that could handle this were developed and applied in the analysis of SCM with nanoscale tip, which is a promising tool for high resolution dopant profiling. Our simple depletion region seeking algorithm alternatively switches material of elements to align ionized element boundary with contour of zero potential. To prove the validity of our method we examined whether our results satisfy the definition of depletion region and compared those with known values of pn junction and MOS structure. By modeling of capacitance based on the shape of depletion region and potential distribution, we could calculate the CV curve and dC/dV curve between silicon substrate and nanoscale SCM tip.

#### I. 서 론

차세대 GSI(Gigantic Scaled Integration) 급 소자 개

\* 正會員, 中央大學校 電子電氣工學部 半導體 工程素子 研究室

(School of Electrical and Electronic Engineering, Chung-Ang Univ.)

接受日字:2001年8月27日, 수정완료일:2001年11月13日

발에 있어 소자 극소형화가 진행됨에 따라 예상치 못했던 마스크 모서리와 가장자리의 3차원 효과들로 인한 도핑농도의 불균일성이 문제가 되고 있어 정확한 도핑 프로파일 예측이 소자개발의 중요한 관건이 되고 있다.

따라서 SPM(scanning probe microscopy) 과 같이 분해능이 10 nm 에서 70 nm 범위인 장비를 2차원 도핑농도 측정장비로 이용하기 위한 연구가 활발히 진행 중이며, 이러한 SPM 방식 중에 SCM(scanning capacitance microscope), Scanning Kelvin Probe

Microscopy 및 AFM(atomic force microscopy) 등이 고해상도의 도핑농도를 측정할 수 있는 유력한 방식이라고 예상되고 있다.<sup>[1-2]</sup>

SCM 을 이용한 파괴 및 비파괴 도핑 농도 측정장비는 모두 탐침과 시료사이의 정전용량 계산을 필요로 하며, 장비를 개발하기 위해서는 이와 더불어 탐침과 기판 사이에 일어나는 물리적인 현상의 이해가 필수적이다. 현재 정전용량 계산을 위해 각각의 인가 전압에 대해서 포아송 방정식을 풀고 페르미 통계를 따르는 캐리어에 대해 결합(couple)된 드리프트-확산 방정식(drift-diffusion equation) 을 연속적으로 계산하여 동적 정전용량을 계산한다<sup>[3]</sup>. 그러나 이러한 방법은 공핍 영역에 대한 정보를 제공하지 못하고 있다.

본 논문에서는 공핍 근사(depletion approximation) 조건 하에 공핍(depletion) 모드에서 공핍영역을 정확히 구해낼 수 있는 새로운 공핍영역 계산 방법을 제안하고 이를 구현하여 미세 탐침에 의해 기판에 생성되는 공핍층 및 정전용량을 해석하고자 한다.

제안된 공핍영역 계산 방법에 대한 타당성 검증을 위해 MOS 구조에서 공핍(depletion)모드의 정전용량과 비교 검증하고, 이를 바탕으로 전압이나 도핑 농도에 따른 공핍층의 깊이 변화를 관찰하였다.

## II. 공핍영역 해석의 필요성

비파괴로 도핑 농도를 측정하는 정전용량-전압 방법(C-V 법)은 전압이 유기된 미세 탐침으로 인하여 생성되는 공핍영역을 해석함으로써 구현할 수 있다.

기존의 도핑 농도 측정법은 크게 파괴검사와 비파괴 검사 두 가지로 나눌 수 있다. 파괴검사에는 SIMS(Secondary Ion Mass Spectroscopy), RBS(Rutherford Backscattering Spectroscopy), SRP(Spreading Resistance Profiling), AFM(Atomic Force Microscopy) 등의 방법이 있으며, 비파괴 검사로서는 1차원 및 2차원 C-V법 등이 있다.

최근에 고해상도로 수직방향의 도핑 농도를 측정하는 방법의 결과로서 주입된 이온이 모두 활성화된 경우에 SIMS 측정치와 잘 일치하는 것으로 보고되었다<sup>[4]</sup>. 이 방법으로 2차원에서 도핑농도를 측정하기 위한 다양한 연구가 시도되고 있으나, 지금까지 보고된 바로는 탐침의 재질이나 시료의 표면상태에 대한 의존성이 매우 큰 것으로 알려지고 있다<sup>[5]</sup>. 그럼에도 불구하고

SCM 을 사용하여 얻을 수 있는 칼라맵을 사용하여, 반도체 소자의 2차원 단면에서 불순물의 상대적인 분포를 정성적으로 판단하는데 사용할 수 있다<sup>[13]</sup>.

현재 이와 같은 SCM을 사용한 2차원 고해상도 도핑 분포 측정장치의 개발은 활발히 연구되고 있다<sup>[1, 2, 6-7]</sup>. Khalil 은 도핑분포 곡선으로 3차 스플라인(cubic spline)을 사용하여, 여러 인가전압에 대해 계산된 측정치와 대체로 잘 일치함을 보였으며, 최근에는 가우시안(Gaussian) 함수가 시도되고 있다<sup>[2, 9]</sup>. 이러한 정전용량과 전압과의 관계를 이용한 도핑농도 분포 측정법은 탐침에 의해 생성되는 공핍층을 정확히 알거나 탐침에 인가된 전압에 의해 변화하는 충전하의 양을 측정하는 것이 필요하다. 2차원에서 도핑추출 방법은 도핑농도를 가정하여 계산하는 CV 곡선이 실제 측정치와 일치할 때까지 도핑농도의 변수를 변경시키면서 계산하는 방법으로서 계산량이 많은 방법이다.

전술한 바와 같이 이론적인 계산치와 실제 측정치를 최적화하는 방법은 계산치의 정확성과 함께 측정치의 정확성을 요구한다. 이 두 가지를 모두 만족시키는 것은 매우 어렵기 때문에 아직 이에 대한 연구는 기초 단계에 있다.

## III. 새로운 공핍영역 계산방법의 제안

SCM 을 이용한 파괴 및 비파괴 도핑 프로파일 측정장비는 모두 탐침과 시료사이의 정전용량 계산을 필요로 하며, 이와 더불어 새로운 장비 개발을 위해서는 탐침과 기판 사이에 일어나는 물리적인 현상의 이해가 필수적이다. 현재 정전용량을 계산하기 위해서는 각각의 인가 전압에 대해서 포아송 방정식을 풀고 페르미 통계를 따르는 캐리어에 대해 결합된 드리프트-확산 방정식(coupled drift-diffusion equation) 을 연속적으로 계산하여 동적 정전용량을 계산한다<sup>[3]</sup>. 만약 정확한 공핍영역의 계산이 가능하다면 이로부터 정전용량의 계산이 가능하게 된다. 본 논문에서는 공핍근사의 가정 하에 간단한 방법으로 공핍(depletion)모드에서 SCM 탐침 근방에 생성되는 공핍층을 계산할 수 있는 방법을 고안하였다.

공핍(depletion) 모드에서 공핍층을 계산할 수 있도록 다음과 같은 방법을 고안하였다.

P 형 실리콘 기판의 표면에 양의 전압  $\phi_s$ 가 가해지면 원래 중성상태인 기판에 전자들이 모여들어 억셉터

(acceptor) 불순물 원자의 정공(hole) 과 결합하게 되고 역셉터 원자는 음으로 대전된다. 충분한 영역이 대전되었을 경우 기판 표면에 가해진 전압과 대전된 이온의 효과가 서로 상쇄하여 대전영역 밖에서는 전기장이 0 이 되어 더 이상 전자의 유입이 없어지게 된다. 이렇게 대전된 영역을 공핍영역이라고 하는데 이러한 공핍영역은 영역의 내부에서만 이온과 전기장이 존재하게 된다. 그림 1은 이와 같은 공핍영역 계산방법의 물리적 의미를 보여주고 있다.

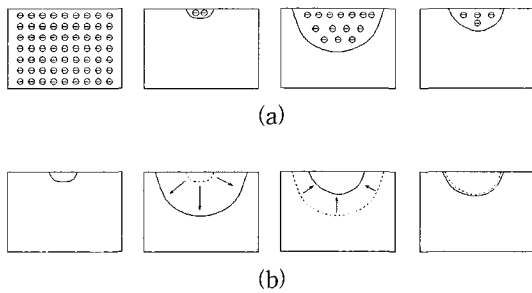


그림 1. 공핍영역 계산 방법의 물리적 의미 (a) 요소의 대전 상태 (b) 대전 상태에 따른 전위가 0 인 등고선의 위치

Fig. 1. Physical meaning of depletion region calculation methods. (a) charged condition (b) contour position of zero potential for charged condition.

공핍영역의 체적은 도핑농도가 주어질 때 기판의 표면의 전압  $\psi_s$  에 비례하게 되는데, 이러한 성질을 만족하는 공핍영역을 구하기 위해 다음과 같은 방법을 고안하였다.

일단 실리콘 기판의 표면에 전압  $\psi_s$  가 가해지면 기판 안의 모든 요소가 대전되었다고 가정한다. 대전된 영역은 단위 면적 당 도핑 농도만큼의 전하를 띠게 된다. 이 상태에서 전위를 구하여 전위가 0 보다 작은 곳에 위치한 영역의 요소들은 대전 상태에서 해지하여 전위가 0 보다 큰 영역만 대전된 요소들로 채워지도록 한다. 이번에는 대전된 영역의 크기가 처음보다 작아졌기 때문에 전위가 0 인 등고선이 대전된 영역보다 넓어지게 된다. 전위를 계산하여 다시 전위가 0 보다 큰 영역과 대전된 영역을 일치시킨다. 이러한 대전 영역의 변경 작업을 반복하면 전위가 0 인 등고선과 대전된 영역의 경계면이 요소의 크기 안에서 일치하도록 만들 수 있다. 대전 영역의 변경 작업을 할 때에는 최소 전위값

을 갖는 요소를 대전 변경 대상에서 하나씩 제거함으로써 수렴을 보장하도록 하며, 간혹 발생할 수 있는 외톨이 대전영역을 제거해 준다. 공핍영역의 정밀도는 사용된 요소의 크기에 의해 결정되므로, 전위의 값이 0 근방인 요소들만 선택적으로 분할하며 위의 과정을 수행하면 원하는 정밀도의 공핍영역을 계산할 수 있게 된다. 이 때 메쉬(mesh)의 분할 근거는 해당 삼각형 요소의 세 절점에서 전위의 부호가 하나라도 다른 경우 이 삼각형을 분할되도록 하는 것이다. 메쉬의 분할 방법은 메쉬의 모양이 예각을 많이 갖는 정규 분할(Standard Partition) 보다는 분할이 될수록 자식 삼각형이 정삼각형에 가까워지는 최장변 분할법(Longest Side Partition)을 사용하였다. 그림 2는 이와 같은 적응분할을 이용한 공핍영역 계산 알고리즘을 보여주고 있다.

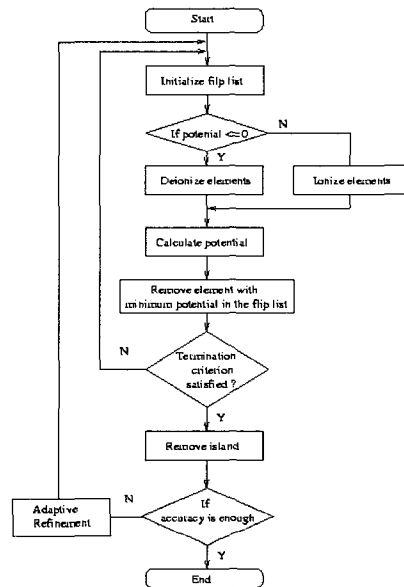


그림 2. 적응분할을 이용한 공핍영역 계산 알고리즘  
Fig. 2. Algorithm of depletion region calculation using adaptive refinement.

#### IV. 제안된 공핍영역 계산방법의 검증

본 논문에서 제안된 공핍영역의 정의를 만족시키는 방법은 공핍(depletion) 모드에서 공핍층을 계산할 수 있다. 이러한 방법이 실제로 이론치와 일치하는지 알아보기 위해 실리콘 표면준위가 주어질 때의 공핍층 두께를 제안된 방법으로 구하여 이론치와 비교하였다. 수치실험에 사용된 실리콘 기판은 p 형으로  $N_A = 1.45 \times$

$10^{16} \text{ cm}^{-3}$  으로 도핑되었다. 이론치 계산은 MOS 에서 실리콘의 표면 준위가 주어질 때의 반전(inversion) 을 고려하지 않고 공핍층의 두께를 계산하는 아래의 식을 사용하였다<sup>[10, 11]</sup>.

$$w = \sqrt{\frac{2\epsilon}{qN_A} \psi_s} \quad (1)$$

여기서  $w$  는 생성되는 공핍층의 두께,  $\epsilon$  은 기판의 유전율,  $q$  는 단위전하량,  $N_A$  는 도핑농도,  $\psi$  는 실리콘의 표면준위를 나타낸다. 그림 3은 이 수치실험의 결과와 이론치를 보여주고 있다. 이 그림에서  $x$  축은 실리콘의 표면준위,  $y$  축은 해당 표면준위에서 생성된 공핍층의 두께를 나타낸다. 식 (1)에 의해 이론적으로 예측된 값은 점선으로, 제안된 방법을 사용하여 구한 값은 '+' 기호로 나타내었다. 이 그림 3을 보면 인가된 전압이 공핍(depletion) 모드 범위라고 가정할 경우, 제안된 방법으로 구한 공핍층의 두께가 실리콘 기판에서 이론적인 예측값과 잘 일치함을 보여주고 있다.

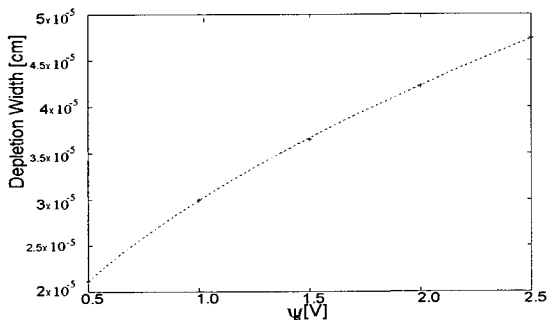


그림 3. 표면준위가 주어질 경우의 공핍영역 계산  
Fig. 3. Calculation of depletion region for surface potential.

이번에는 MOS 에서 게이트 전압에 따른 C-V 곡선을 계산하였다. MOS 에서는 실리콘의 표면준위를 미리 알 수 없기 때문에 주어진 게이트 전압  $V_G$  에 대해 다음과 같이 주어지는 실리콘의 표면준위  $\psi_s$  를 알아야 한다.

$$V_G = V_0 + \psi_s \quad (2)$$

여기서  $V_0$  는  $\text{SiO}_2$  에서 일어나는 전압강하를 나타내며, 식 (3)에서 처럼 기판의 공핍층에 대전된 총전하량  $Q_B$  와  $\text{SiO}_2$  의 정전용량  $C_0$  에 의해 결정된다.

$$V_0 = -\frac{Q_B}{C_0} \quad (3)$$

$\psi_s$  를 구하기 위해 다음과 같은 방법을 사용하였다.

- 1)  $\psi_s = V_G$  로 초기화한다.
- 2) 실리콘 내부에 생성된 공핍영역을 구한다.
- 3) 공핍영역에 대전된 전하량  $Q_B$  를 구한다.
- 4)  $Q_B$  와  $\text{SiO}_2$  의 정전용량  $C_0$  를 사용하여 식 (3) 에서  $V_0$  를 구한다.
- 5)  $V_0$  의 값을 식 (2)에 넣어  $V_G$  를 구한다.
- 6)  $V_G$  값이 실제로 게이트에 가해진 전압보다 클 경우는  $\psi_s$  의 값을 줄이고 작을 경우는 값을 크게 한다.
- 7)  $V_G$  가 게이트에 걸린 전압이 될 때까지 2)~6)의 이분법(bisection) 과정을 반복한다.

MOS 는 게이트 전압의 범위에 따라 축적(accumulation or enhancement), 공핍(depletion), 반전(inversion)의 세 가지 특성을 나타낸다. 축적(Accumulation) 은 게이트의 전압이 0 보다 작을 경우에 생기며, 공핍(depletion)은 게이트 전압이 기판의 도핑 농도와 온도에 의해 결정되는 문턱 전압을 넘지 않을 경우에, 반전(inversion)은 게이트 전압이 그 이상일 경우에 생기게 된다. 여기서는 공핍층의 영역 변화에 따른 정전용량을 계산하기 위해 반전(inversion)이 일어나기 전의 전압까지 공핍층을 구하여 이를 이론치와 비교하였다. 계산에 사용된 n 채널 MOS 의 p 형 실리콘 기판의 도핑농도는  $N_A = 1.45 \times 10^{16} \text{ cm}^{-3}$  이었으며,  $\text{SiO}_2$  의 두께는  $0.1 \mu\text{m}$  였다. 300K 에서 반전(inversion)이 일어나기 전까지 전압이 대략 2.4 V 이므로 게이트 전압을 0.5 V 부터 2.5 V 까지 0.5 V 단위로 변화시키며 정전용량

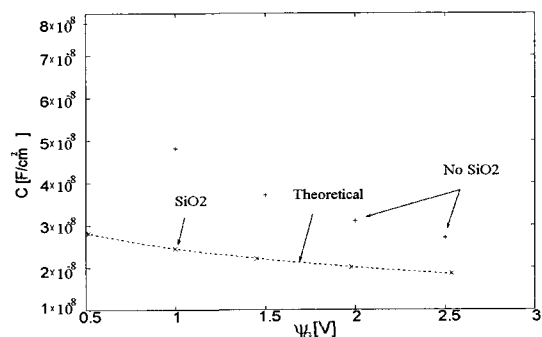


그림 4. MOS 구조에서의 정전용량  
Fig. 4. Capacitance for MOS structure.

을 구하였다. 그림 4에 이와 같이 구한 MOS 의 CV 곡선을 이론치와 함께 나타내었다.

그림에서 '+' 와 'x' 기호는 각각  $SiO_2$  층이 없다고 가정하고 구한 MOS 의 정전용량과  $SiO_2$  에 의한 전압강하를 고려하여 구한 결과를 나타낸다. 그림에서 점선은 식 (4)로 주어지는 공핍(depletion) 모드에서 MOS 의 정전용량을 나타낸다<sup>[10, 11]</sup>.

$$C = \frac{C_0}{\sqrt{1 + 2(C_0^2 / (qN_A \epsilon)) V_G}} \quad (4)$$

여기서  $C_0$  는  $SiO_2$  의 정전용량,  $q$  는 단위전하량,  $N_A$  는 도핑농도,  $\epsilon$  은 기판의 유전율,  $V_G$  는 게이트 전압을 나타낸다. 그림을 보면 전압강하를 고려한 경우 본 논문에서 사용한 공핍층 계산 방법이 공핍(depletion) 모드에서 정전용량을 구하는 식과 정확히 일치함을 알 수 있다. 이 방법은 공핍 근사(Depletion Approximation)의 가정 하에 고안된 방법으로 그림 4에서 보듯이 MOS의 정전용량 계산 예제와 동일한 결과를 보이는 것으로 보아, 본 논문에서 제안한 방법이 공핍(depletion) 모드의 공핍층 계산에 사용할 수 있음을 알 수 있다.

## V. SCM 해석

앞 장에서 제안한 간단한 공핍영역 계산방법과 적응 포아송 방정식 해석기를 사용하여 수십 나노미터 크기를 가진 SCM 탐침에 인가된 전압에 의해 실리콘 기판에 생성되는 실제 공핍영역의 모양 및 전위분포를 계산하였다. 현재  $SiO_2$  층을 고려한 2차원 C-V 법에 대한 연구가 활발히 진행 중이나 실용적인 측면에서 볼 때 아직까지 SCM 을 사용한 도핑농도 측정장비에 대한 효용성은  $SiO_2$  층을 고려하지 않아도 되는 경우로 한정되어 있다<sup>[11]</sup>. 이것은  $SiO_2$  가 있을 경우에는 이 유전체 안에 존재하는 포획 전하(trap charge)나  $SiO_2$  와 실리콘 기판 경계면에서 결정구조 뒤틀어짐 등 공핍영역에 영향을 미치는 요소들이 많기 때문이다. 따라서 SCM을 사용한 파괴검사의 경우 측정시에  $SiO_2$  의 두께가 아주 얇은 시료를 선택하거나 고의적으로 HF 를 사용하여 이러한 유전체 막을 제거한 후 실험이 이루어지게 된다.

본 수치실험에서는 이러한 조건을 따라  $SiO_2$  층이

제거된 실리콘 기판의 공핍층을 해석하고자 하였다. 사용된 탐침은 반경이 10 nm 이고 실리콘 기판과 비접촉 모드로 11nm 의 간격을 두고 떨어져 있다고 가정하였다. 수치해석에 사용된 계산영역의 크기는 가로 1000nm, 세로 550nm 이며 탐침의 길이는 탐침의 반경을 포함하여 160nm 로 설정하였다. 경계조건으로는 실리콘 기판의 하단부와 자유공간의 상단부에는 노이만(Neumann) 경계조건으로 0 을, 계산영역의 좌우부는 디리클리트(Dirichlet) 경계조건으로 0 을 부여하였다.

### 1. 전압에 따른 공핍영역

수치실험에 사용된 P 형 실리콘 기판의 도핑농도는  $N_A = 10^{17} \text{ cm}^{-3}$  으로 주어졌으며, 탐침에 인가된 전압은 0.1 V 에서 inversion 이 일어나지 않는 1.0 V 까지 0.1 V 단위로 증가시키며 생성되는 공핍층을 관찰하였다. 그림 5와 그림 6은 최종 계산에 사용된 메쉬(mesh)의 분할 상태를 보이고 있으며, 그림 7은 이러한 탐침 전압에 의해 공핍층이 생성되었을 때 실리콘 표면 전위를 나타내고 있다. 이 그림을 보면 탐침과 기판이 11nm 떨어져 있어 이로 인한 전압강하가 일어나며, 탐침에 인가된 최대전압인 1.0 V 의 경우 실리콘 표면전위는 0.6 V 를 조금 넘는 것을 알 수 있다.  $N_A = 10^{17} \text{ cm}^{-3}$  에서 반전(inversion)이 일어나는 전압은 식 (5) 와 같이 주어지며 이를 300K 에서 계산해 보면 0.8 V 보다 조금 큰 값을 가지게 된다. 따라서 본 수치실험에 사용된 탐침에 인가된 전압이 반전(inversion)이 일어나지 않는 영역임을 확인할 수 있다.

$$\psi_s \geq 2V_{if} = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (5)$$

여기서  $\psi_s$  는 반전(inversion)이 일어나는 전압,  $V_{if}$  는 실리콘 기판의 페르미 레벨,  $k$  는 볼츠만 상수,  $T$  는 온도를 나타낸다.

그림 8(a) 에서 그림 9(e) 까지는 탐침에 인가된 전압에 따른 공핍영역의 모양 및 전위분포를 나타내고 있다. 이 그림들을 보면 생성된 공핍영역의 모양이 가우시안 분포의 형태를 띠며 등전위면이 공핍층의 모양과 나란함을 알 수 있다. 이러한 공핍층의 모양은 금속판에 근접하고 있는 전하에 의해 유도되는 금속표면의 전하분포와 유사한 양상을 나타낸다.

그림 10은 전압과 공핍층 두께와의 관계를 보여주고 있다. 공핍층의 모양이 가우시안(Gaussian) 형태를 가

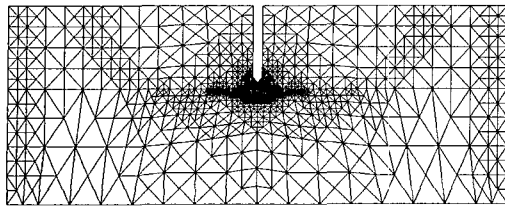
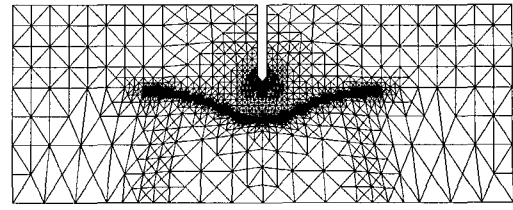
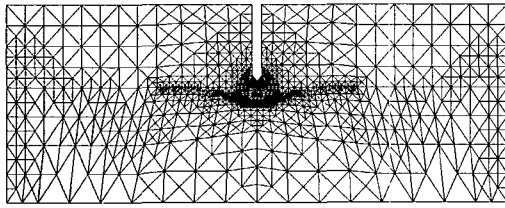
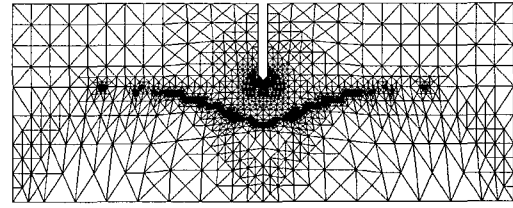
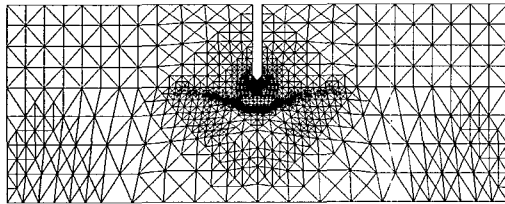
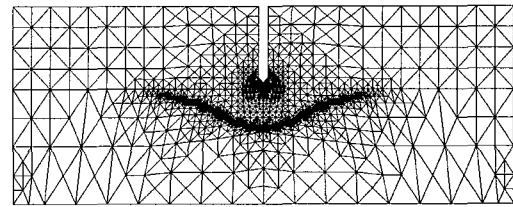
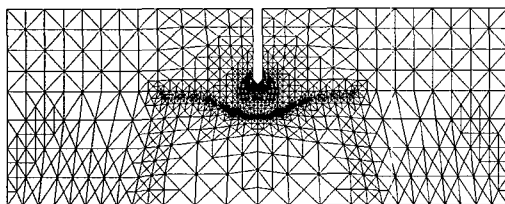
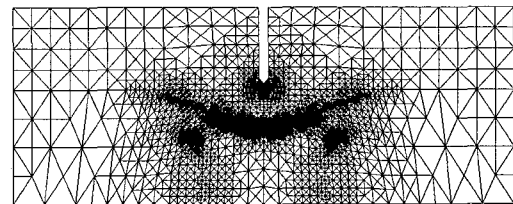
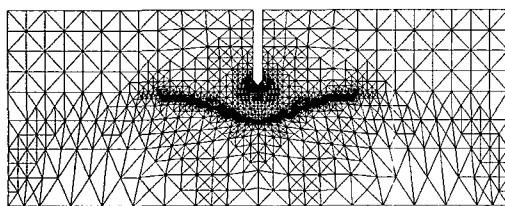
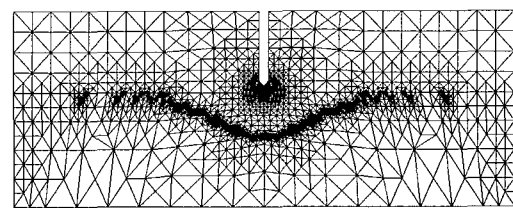
(a)  $V_G = 0.1V$ (a)  $V_G = 0.6V$ (b)  $V_G = 0.2V$ (b)  $V_G = 0.7V$ (c)  $V_G = 0.3V$ (c)  $V_G = 0.8V$ (d)  $V_G = 0.4V$ (d)  $V_G = 0.9V$ (e)  $V_G = 0.5V$ (e)  $V_G = 1.0V$ 

그림 5.  $V_G=0.1$ 에서  $0.5V$  일 경우 공핍영역 계산에 사용된 최종 메쉬

Fig. 5. Final mesh for depletion region calculation applied to  $V_G=0.1$  to  $0.5V$ .

그림 6.  $V_G=0.6$ 에서  $1.0V$  일 경우 공핍영역 계산에 사용된 최종 메쉬

Fig. 6. Final mesh for depletion region calculation applied to  $V_G=0.6$  to  $1.0V$ .

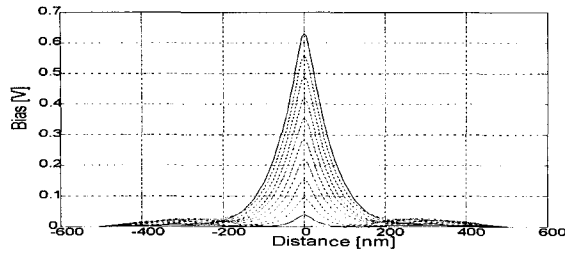


그림 7. 실리콘 표면의 전위  
Fig. 7. Potential of silicon surface.

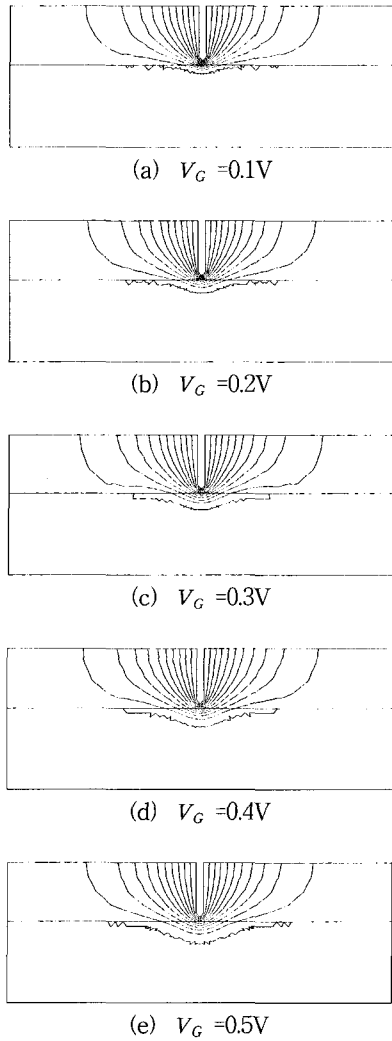


그림 8. SCM 탐침에 인가된 전압(  $V_G=0.1$ 에서  $0.5V$  )에 따른 공핍영역. 실리콘 기판의 도핑농도는  $N_A=10^{17} \text{ cm}^{-3}$  이다.  
Fig. 8. Depletion region for SCM tip applied to  $V_G=0.1$  to  $0.5V$ . Doping concentration of silicon substrate is  $N_A=10^{17} \text{ cm}^{-3}$ .

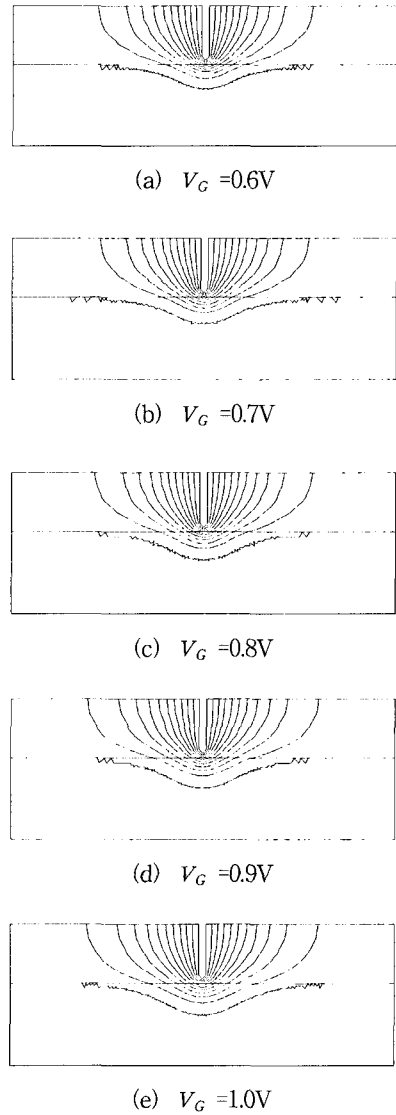


그림 9. SCM 탐침에 인가된 전압(  $V_G=0.6$ 에서  $1.0V$  )에 따른 공핍영역. 실리콘 기판의 도핑농도는  $N_A=10^{17} \text{ cm}^{-3}$  이다.  
Fig. 9. Depletion region for SCM tip applied to  $V_G=0.6$  to  $1.0V$ . Doping concentration of silicon substrate is  $N_A=10^{17} \text{ cm}^{-3}$ .

짐으로 공핍층의 두께는 이 분포의 최대값에 위치하는 좌표값을 취하여 표 1에 나타내었다. 그림을 보면 생성되는 공핍영역의 모양은 다르나 전압에 따른 공핍층의 증가 경향이 그림 4에서 나타난 평행판 커패시터의 경우와 비슷한 형태를 띠는 것을 알 수 있다.  $N_A=10^{17} \text{ cm}^{-3}$ 에서  $1V$ 의 전압이 탐침에 가해질 경우 기

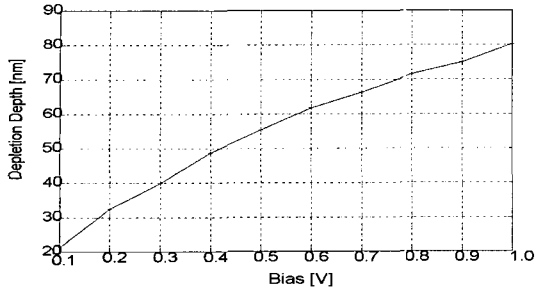


그림 10. 전압에 따른 공핍층의 두께  
Fig. 10. Depletion depth for bias..

표 1. 전압에 따른 공핍층의 두께 변화  
Table 1. Depletion depth variation for voltage.

| 인가전압[V] | 공핍층 두께[nm] |
|---------|------------|
| 0.1     | 21.25      |
| 0.2     | 32.5       |
| 0.3     | 40         |
| 0.4     | 48.75      |
| 0.5     | 55.3125    |
| 0.6     | 61.875     |
| 0.7     | 66.25      |
| 0.8     | 71.562     |
| 0.9     | 75         |
| 1.0     | 80.312     |

판의 표면에서 80 nm 근방까지 도핑농도 정보를 추출할 수 있는 것을 알 수 있다.

2. CV 곡선 추출

이번에는 탐침에 1.0 V의 전압이 인가될 경우에 대해 농도에 따른 CV 곡선 및 dC/dV 곡선을 추출하여 보았다. 수치실험은  $N_A = 10^{16} \text{ cm}^{-3}$  과  $N_A = 10^{17} \text{ cm}^{-3}$ 의 두 가지 도핑 농도를 갖는 P형 실리콘 기판에서 수행되었으며 나머지 조건은 이전과 동일하다. 일반적으로 정전용량 C는 식 (6)를 사용하여 구할 수 있다.

$$C = \frac{dQ}{dV} \tag{6}$$

2차원 해석으로 계산한 가우시안 분포의 형태를 갖는 공핍영역 면적의 1/2에  $2\pi$ 를 곱하면 3차원에서의 사발형태의 체적을 얻을 수 있고, 여기에 도핑농도와 단위전하량  $q = 1.6 \times 10^{-19} \text{ C}$ 을 곱하면 전체 공핍영역 체적 안에 들어있는 총 전하량을 구할 수 있다.

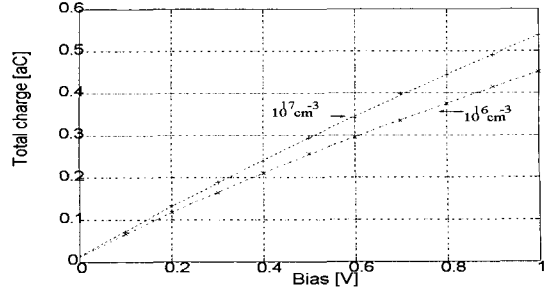


그림 11. 공핍층 내부의 총 전하량. 점선은 3차 다항식으로 근사한 곡선이다.

Fig. 11. Total charges in depletion layer. The dashed line is approximated by cubic polynomial.

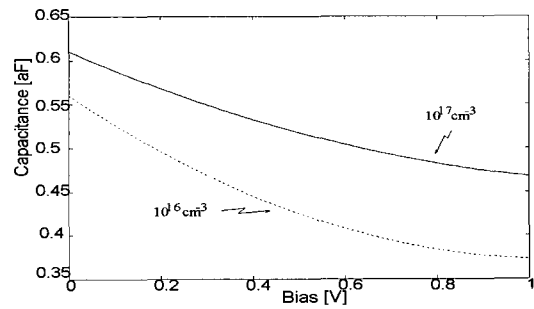


그림 12. SCM 탐침에 의한 CV 계산  
Fig. 12. CV calculation for SCM tip.

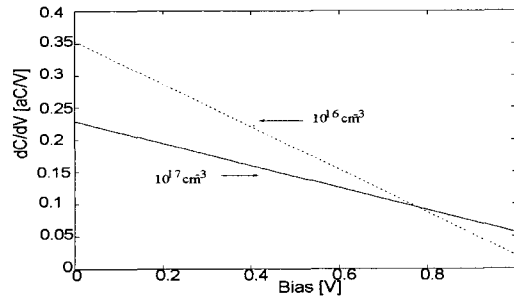


그림 13. SCM 탐침에 의한 dC / dV 계산  
Fig. 13. dC / dV calculation for SCM tip.

$N_A = 10^{16} \text{ cm}^{-3}$ 과  $N_A = 10^{17} \text{ cm}^{-3}$ 의 도핑농도에 대해 전압에 따른 공핍영역 내부에 대전된 총 전하량을 구해 그림 11에 나타내었다. 그림을 보면 도핑농도가 낮을수록 총전하량의 증가분이 감소하는 경향이 심해짐을 알 수 있다. 식 (6)를 사용하여 정전용량을 구하기 위해 각 전압에서 구한 공핍영역의 총전하량을 3차원 다항식으로 근사하였다.

그림에서 점선들은 3차원 다항식으로 근사한 곡선을 나타내고 있으며 수치 실험치와 매우 잘 일치함을 알



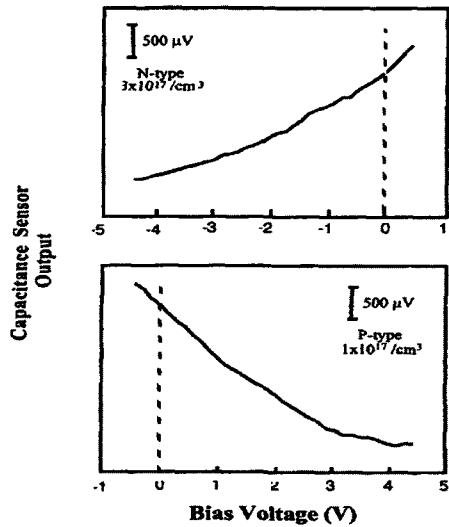


그림 14. 표준 도핑 시료에서 측정된 정전용량 센서의 출력.

Fig. 14. Capacitance sensor output at standard doping materials. Ref: J. N. Nxumaio, IEEE 37th Annual International Reliability Physics Symposium, 1999.

수 있다. 이 곡선을 전압에 대해 미분하여 얻은 CV 곡선과 dC/dV 곡선을 그림 12와 그림 13에 나타내었다. 그림 14는 파괴식 SCM 측정방법을 이용하여 구한 CV 곡선을 나타내고 있다. 이 논문의 자료를 보면  $1 \times 10^{17} \text{Cm}^{-3}$  에서 CV 곡선의 감소하고 있음을 알 수 있으며, 최근 보고된 소자시물레이션을 통한 SCM 의 정전용량이  $10^{-19} \text{F}$  단위인 것으로 알려져 본 논문의 계산치와 같은 정확도를 갖는 것을 알 수 있다

탐침의 종류에 따른 자생 전위차(Built-in potential)는 결과적인 CV곡선을 위치 이동(shift)시키는 효과밖에 없으므로 본 논문에서는 고려하지 않았다<sup>[14]</sup>.

3. 도핑농도에 따른 공핍층 변화

그림 15와 표 2는 1.0 V 의 인가전압에서 도핑농도 증가에 따른 공핍층 두께의 변화를 보여주고 있다. 그림을 보면 도핑농도가 증가하면 공핍층의 두께가 급격히 감소함을 알 수 있으며,  $10^{19} \text{Cm}^{-3}$ 의 경우 생성된 공핍층의 두께가 5nm 밖에 되지 않는 것을 알 수 있다. 그러나 실제 5nm 의 두께를 갖는 가우시안 분포를 회전시킨 형태의 체적 안에 존재할 수 있는 원자의 개수는 몇 개 되지 않기 때문에 이러한 해석결과는 맞다고 볼 수 없다. 이것은 도핑농도를 연속적으로 보았기 때문에 생기는 문제이다. 이러한 결과로부터 도핑 농도

를 추출하기 위해 사용하는 도핑농도가 3차 스플라인(cubic spline)이지만 가우시안 분포처럼 연속적이라고 가정할 수 없다는 것을 알 수 있다.

표 2. 도핑농도에 따른 공핍층의 두께 변화

Table 2. Depletion depth variation for doping concentration.

| 도핑농도[ $\text{Cm}^{-3}$ ] | 공핍층 두께 [nm] |
|--------------------------|-------------|
| $10^{16}$                | 261.25      |
| $10^{17}$                | 80.312      |
| $10^{18}$                | 21.25       |
| $10^{19}$                | 5           |

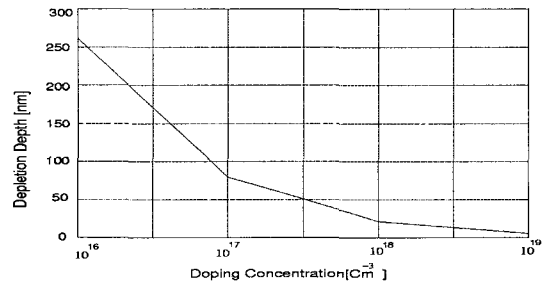


그림 15. 도핑농도에 따른 공핍층의 두께

Fig. 15. Depletion depth variation for doping concentration.

VI. 결 론

본 논문에서는 공핍영역 및 이에 의한 CV 곡선을 공핍(depletion) 모드에서 간단하게 계산할 수 있는 방법을 개발하였고 이를 사용하여 측정장비에 장착될 초미세 탐침에 의해 생성되는 공핍영역을 해석하였다. 공핍영역의 계산을 위해서는 공핍 모드에서 공핍영역의 정의를 만족시키는 대전영역을 찾았다. 이를 위해 요소의 물질 정보를 변경하여 대전된 영역의 경계가 전위가 0인 등고선과 일치하도록 하였으며 요구되는 정밀도를 효율적으로 얻을 수 있도록 메쉬의 적응분할을 함께 사용하였다. 제안된 방법의 타당성을 검증하기 위해 구해진 대전영역 및 전위분포가 공핍영역의 정의에 맞는지 확인하였으며, pn 접합에서 공핍영역 깊이 및 MOS 구조에서 정전용량을 이론치와 비교해본 결과 정확히 일치함을 알 수 있었다. 이러한 pn 접합 및 MOS 에서 공핍영역 계산 검증을 바탕으로 나노 영역의 탐침을

장착한 SCM 에서 전압 및 농도에 따른 공핍영역 깊이 및 CV 곡선과 SCM 의 출력인 dC/dV 곡선을 구할 수 있었으며, 구해진 CV 와 dC/dV 의 단위는  $10^{-19}F$  으 로 실제 장비 개발 연구에서 예측하는 값과 일치함을 검증하였다.

### 참 고 문 헌

- [1] J. N. Nxumaio, T. Tran, Y. Li and D. J. Thomson, "Two-dimensional carrier profiling of a 0.4um CMOS device by Schottky SCM," IEEE 99CH36296, 37th Annual International Reliability Physics Symposium, San Diego, California, 1999.
- [2] Eu-Seok Kang, Jeong-Won Kang, H-J. Hwang and Jun-Ha Lee, "Non-destructive one-dimensional scanning capacitance microscope dopant profile determination method and its application to three-dimensional dopant profiles," Journal of Vacuum Science Technology A 18(4), pp. 1338-1344, 2000.
- [3] J. F. Marchiando, J. J. Kopanski, and J. R. Lowney, "Model Database for Determining Dopant Profiles from Scanning Capacitance Microscope Measurements," J. Vac. Sci. Technol. B, 74(2), pp. 272-274, 1999.
- [4] Kin, J. S. McMurray, C. C. Williams, and J. Slinkman, "Two-Step Dopant Diffusion Study Performed in Two Dimensions by Scanning Capacitance Microscopy and TSUPREM IV," Journal of Applied Physics 84(3), pp. 1305-1309, 1998.
- [5] V. V. Zavyalov, J.S. McMurray, and C.C. Williams, "Advances in Experimental Technique for Quantitative Two-dimensional Dopant Profiling by Scanning Capacitance Microscopy," Review of Scientific Instruments 70(1), pp. 158-164, 1999.
- [6] E.-S. Kang, K.-R. Byun, H.-J. Hwang, and G.-Y. Lee, "1-Dimensional SCM Modeling and Dopant Profiling for the Quantitative 3-Dimensional Impurity Doping Profiling," Fifth International Workshop on the Measurement, Characterization and Modeling of Ultra-Shallow Doping Profiles in Semiconductors, Research Triangle Park, NC, USA, March 28-31, 1999.
- [7] Eu-Seok Kang, Jung-Won Kang, and H-J. Hwang, "Non-destructive 1-D SCM dopant profiling determination method and its application to the 3-D dopant profiling," AVS 46th International Symposium: vacuum, thin film, surfaces interfaces & processing, Washington State Convention Center, Seattle, Washington, USA, October 25-29, 1999.
- [8] Eu-Seok Kang, Jung-Won Kang, and H-J. Hwang, "Improved Local Capacitance Detection and a Quantitative 1-D Carrier Profile Extracted from the Scanning Capacitance Microscopy dC/dV versus V Curves," AVS 47th International Symposium: vacuum, thin film, surfaces/interfaces & processing, Hynes Convention Center, Boston, Massachusetts, USA, October 2-6, 2000.
- [9] N. Khalil, J. Faricelli, C.-L. Huang, and S. Selberherr, "Two-Dimensional Dopant Profiling of Submicron Metal-Oxide-Semiconductor Field-Effect Transistor Using Nonlinear Least Squares Inverse Modeling," J. Vac. Sci. Technol. B, 14(1), 1996.
- [10] Mauro Zambuto, Semiconductor devices, McGraw-Hill International Editions, p. 284-332, 1989.
- [11] S. M. Sze, Physics of Semiconductor Devices, John Wiley & Sons, 1981.
- [12] Lorenzo Ciampolini, Mauro Ciappa, Paolo Malberti, Wolfgang Fichtner, "Investigating the Accuracy of Constant-dC Scanning Capacitance Microscopy by Finite Element Device Simulations," 1st International Workshop on Ultimate Integration of Silicon, January 20-21, 2000.
- [13] C. C. Williams, W. P. Hough, and S. A. Rishton, "Scanning capacitance microscopy on a 25nm scale," Appl. Phys. Lett. 55(2), 10 July 1989.

- [14] F. M. marchiando, J. J. Kopanski, and J. R. Lowney, "Model database for determining dopant profiles fro scanning capacitance microscope measurements," J. Vac. Sci. Technol. B, 16, No. 1, Jan/Feb 1998.

---

저 자 소 개

卞 起 良(正會員) 第35卷 D編 第12號 參照

黃 好 正(正會員) 第34卷 D編 第5號 參照

현재 : 중앙대학교 전자전기공학부 교수