

論文2002-39SD-2-1

TFT-LCD 드라이버를 위한 8-bit 230MSPS Analog Flat Panel Interface의 설계

(Design of an 8-bit 230MSPS Analog Flat Panel Interface for TFT-LCD Driver)

尹 盛 郁 *, 任 玄 植 **, 宋 敏 圭 **

(Soung Uk Yoon, Hyun Sik Im, and Min Kyu Song)

요 약

본 논문에서는 UXGA(Ultra eXtended Graphics Array)급 TFT LCD Driver를 지원하는 Analog Flat Panel Interface(AFPI)용 Module을 설계하였다. 제안하는 AFPI는 8-b ADC, 자동이득 제어기(AGC), 저잡음 PLL로 구성 되어있다. 8-b ADC는 고속동작과 저전력 기능을 위한 새로운 구조로서 FR(Folding Rate)이 8, NFB(Number of Folding Block)이 2, Interpolation rate이 16이며, 분산 Track and Hold구조를 사용하여 Sampling시 입력주파수를 낮추어 높은 SNDR을 얻을 수 있었다. 또한 Gain과 Clamp을 통제 할 수 있는 Programmable한 AGC, 낮은 Jitter Noise PLL을 설계하였다. 제안된 Module은 0.25 μm , 1-Poly 5-Metal, n-well CMOS공정을 사용하여 제작되었으며, 유효 칩 면적은 3.6mm \times 3.2mm이고 602mW의 전력소모를 나타내었다. 입력 주파수는 10MHz, 샘플링 주파수 200MHz에서의 INL과 DNL은 $\pm 1\text{LSB}$ 이내로 측정되었으며, SNDR은 43dB로 측정되었다.

Abstract

In this paper, an Analog Flat Panel interface(AFPI) which supports for UXGA(Ultra eXtended Graphics Array)-Compatible TFT LCD Driver is designed. The Proposed AFPI is composed of 8-b ADC, Automatic Gain Control(AGC), Low-Jitter PLL. In order to obtain a high speed and low power consumption, an efficient architecture of 8-bit ADC is proposed, whose FR(Folding Rate) is 8, NFB(Number of Folding Block) is 2, and IR (Interpolating Rate) is 16. We can get high SNDR by adopting distributed track and hold circuits. Also a programmable AGC which is possible to control gain and clamp, and a low-jitter PLL are proposed. The chip has been fabricated with 0.25 μm 1-poly 5-metal n-well CMOS technology. The effective chip area is 3.6mm \times 3.2mm and it dissipates about 602mW at 2.5V power supply. The INL and DNL are within $\pm 1\text{LSB}$. The measured SNDR is about 43dB, when the input frequency is 10MHz at 200MHz clock frequency.

* 正會員, 三聖탈레스 技術開發팀

(Samsung Thales Co. LTD. R&D Team)

** 正會員, 東國大學校 半導體科學科

(Dept. of Semiconductor Science, Dongguk Univ.)

接受日字:2001年1月18日, 수정완료일:2001年12月29日

I. 서 론

21세기에는 멀티미디어의 일반화로 각종 디스플레이 분야의 비약적인 발전이 예상된다. 디스플레이 장비에는 모니터, LCD, 프로젝터, PDP, EL등이 있으며 최근 에 가장 각광 받고있는 부분은 TFT-LCD이다. 현재

상용화된 TFT-LCD는 이미 화면크기가 20"까지 개발되고 있으며 UXGA(Ultra eXtended Graphics Array)급 TFT-LCD까지 등장하고 있다. 기존의 CRT(Cathode Ray Tube) 모니터는 화면을 표시하기 위해서 전자총에서 나오는 전자빔이 모니터 화면의 backplane을 건드려 그 안에 있는 형광 코팅 물질을 자극한다. 따라서 한 라인을 표시하기 위해서 전자빔은 화면의 왼쪽 끝부터 시작해서 오른쪽 끝으로 주사를 하고, 그 다음 라인을 표시하기 위하여 다시 왼쪽 끝으로 돌아와야 하는데, 이 주사 회귀 동작은 전자총 구조상 시간이 걸린다. 그렇기 때문에 Hsync와 Vsync 신호에는 R, G, B의 색상 정보만 있는 것이 아니라 전자총의 주사 회귀 시간도 포함되어 있다. 그러나, 그래픽 어댑터 메이커들은 각 모드별 해상도는 표준을 지키고 있지만, 그 외 Hsync와 Vsync 신호와 주사 회귀 시간이 제각기 다른 것이 현실이다. 이런 점을 고려하여 다양한 입력에 대해 그래픽 어댑터에 맞는 입력을 선택하기 위한 아날로그 인터페이스가 필요하다.

20"이상, UXGA급 TFT-LCD도 이와 같은 문제점을 갖는다. 따라서 화면의 크기가 커짐에 따라 높은 해상도를 만족하기 위해서는 저 전력 고속 동작하는 Analog Flat Panel Interface에 대한 요구가 크게 증대되고 있다. AFPI는 동작특성상 ADC, AGC, PLL로 나뉘어 진다. 이를 위해 본 논문에서는 저 전력 고속 동작을 위해 8-bit F/I ADC에 대해 가장 낮은 Power를 가지는 FR=8, NFB=2, IR=16을 제안하였다. 넓은 동작 범위와 자동 이득 제어 영역, 우수한 노이즈 특성이 요구되는 AGC를 제안하였다. 그리고 마지막으로 화면 확장에 따라 시스템의 성능을 제한하는 가장 큰 요소가 위상 에러와 지터이므로 이를 만족하기 위한 새로운 구조의 PLL을 제안하였다.

II. 전체구조

Analog Flat Panel Interface Module(AFPI)는 그래픽 어댑터에서 나오는 신호를 받아 LCD 패널을 구동시키기 위해 소스 드라이버와 스캔 드라이버에 필요한 신호를 적절하게 고속으로 정보를 전달 해야한다. 그림 1은 제안하는 AFPI로서RGB의 입력이 CLAMP를 통해 넓은 입력 범위로 보정된 후, 고속ADC를 거쳐 각각 8-bit의 디지털 신호로 변환하는 과정을 보여 주고 있다. 또한 2개의 단자를 통해 Control신호의 프로그램이

가능하며 Clock발생기, BGR, Controller를 포함하고 있다. 제안하는 칩셋은 229.5MSPS 압축률, 및 UXGA급의 1600x1200의 해상도를 지원할 수 있도록 구현하였다.

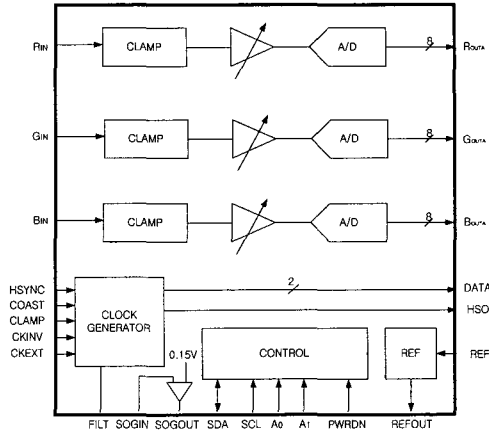


그림 1. 제안하는 AFPI의 Block Diagram
Fig. 1. Block Diagram of the Proposed AFPI.

1. 제안하는 ADC

고속 ADC에는 flash ADC와 F/I ADC형태의 구조가 적합하다. 그러나 현존하는 시스템에서 여러 Block과 SOC(System on Chip)하는 과정에서 문제되는 저 전력 설계가 요구되며 F/I ADC는 대표적인 고속 ADC 구조인 full-flash ADC의 소자 수, 소모전력, 칩 면적 및 입력 capacitance를 감소시키는 장점을 가지고 있다. 특히 이러한 folding ADC의 장점과 interpolation ADC를 결합할 경우 고속, 고해상도 및 저 전력 응용에 가장 적합한 ADC 구조를 얻을 수 있다^[1]. 또한 folding 및 interpolation 구조의 ADC에서 가장 중요한 부분으로 FR(Folding rate), NFB(Number of offset parallel

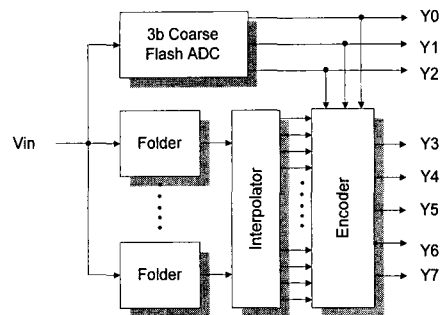


그림 2. 제안하는 저 전력 F/I ADC 구조
Fig. 2. Block Diagram of the Proposed Low Power F/I ADC.

folding blocks) 및 IR(Interpolation rate)을 결정하는 일이다^[2]. 이를 위해 본 연구에서는 8-bit F/I ADC에서 가장 낮은 Power를 가지는 FR=8, NFB=2, IR=16을 선택하였고 그림 2에는 제안하는 구조를 자세히 도시하였다.

폴딩블록에서 나오는 정현파 형태의 폴딩 회로 전달 곡선은 전체 입력 신호(Vin) 레인지를 커버한다^[3]. 폴딩 회로의 출력 전압은 A/D 변환기의 5개의 LSB 을 위한 64개의 level 들로 변환되어진다. 64개 의 level 은 MSB의 3비트(8개 영역)에 각각으로 할당된다. 그러므로 폴딩 변환기에 대한 전체 비교기의 수는 32개(Fine) + 4개(Coarse) = 36개이다. 8-bit Full-Flash Type A/D 변환기일 경우 비교기가 총 256개임을 감안하면 비교기 감소에 따른 칩 면적 및 전력소모의 감소는 확연히 나타날 수 있다.

폴딩 블록에 전처리(Pre-processing)과정은 대역폭(Bandwidth)을 처리할 수 있는 최대 입력 주파수의 한계를 가진다. 즉, 폴딩율이 8인 폴딩 A/D 변환기의 경우 입력에 10MHz 신호가 인가된다면 폴딩 블록의 출력 신호는 80MHz의 주파수 성분을 갖는다. 정현파 입력 신호에 대하여 A/D 변환기의 최대 입력 신호 주파수(fin,max)는 식(1)과 같이 표현된다.

$$fin, max = \frac{BW_{fold}}{\pi F_R} \quad (1)$$

폴딩율은 하나의 폴딩 신호에서의 ZeroCrossing의 수를 결정한다. 본 연구의 A/D 변환기에서 폴딩율은 8이다. 아날로그 입력 신호 대역폭에 대한 이러한 한계는 그림 3와 같이 폴딩 A/D 변환기의 앞단에 T/H 증폭기를 추가함으로써 극복되어질 수 있다.

그림 3과 같이 함으로서 T/H 증폭기의 대역폭은 A/D 변환기의 전체적인 아날로그 대역폭을 결정한다. A/D 변환기의 성능과 성취될 수 있는 최대 클럭 주파수는 그 시스템의 Hold Phase 동안에 Settling Time 이 제한되어진다. 낮은 고조파 왜곡(Harmonic Distortion) 변환기를 만들기 위해 T/H증폭기는 높은 Dynamic Range가 요구되어진다. 그러나 본 연구의 A/D 변환기는 10MHz의 아날로그 입력을 인가 받기 때문에 높은 전력소모를 갖는다는 단점을 가지고 있다.

그림 3(b)는 분산되어진 T/H 폴딩 구조의 블록 다이어그램을 보여주고 있다. 폴딩 동작에 앞서서 부가적인 전처리(Pre-processing)가 더해졌다. 이러한 방법으로

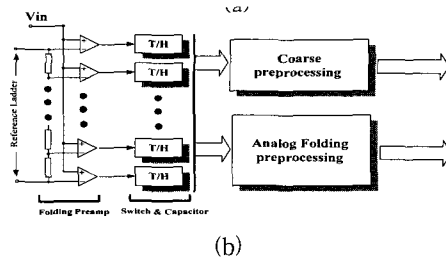
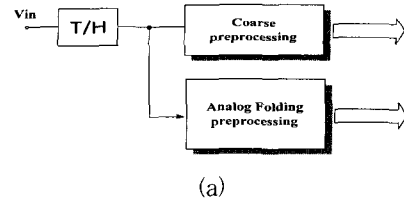


그림 3. (a) 기존의 T/H 증폭기를 사용한 구조. (b) 제한된 T/H 증폭기의 구조.

Fig. 3. (a) Architecture of the exiting T/H Amplifier (b) Architecture of the Proposed T/H Amplifier.

최적화된 전체 시스템 성능이 얻어질 수 있다. 개별적인 T/H 증폭기의 전력소모는 그림3(a)의 시스템과 비교하여 현저히 감소되어진다.

그림 4은 본 연구에서 사용되어진 분산 T/H 폴딩 구조에 사용된 T/H 증폭기 회로도이다. 이는 기존의 폴딩 프리 앰프에 스위치와 커패시터를 추가한 형태로 C 를 0.1pF Settling Time를 2.5ns, 출력 전압의 최대치는 0.5V로 설계하였다.

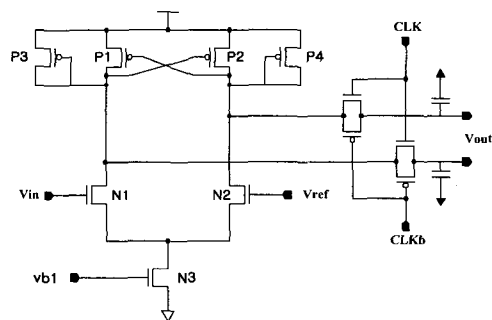


그림 4. T/H 증폭기의 회로도
Fig. 4. Circuit of T/H Amplifier.

그러므로 프리앰프의 최소 전류값은 0.02mA가 된다. 실제 설계된 폴딩 프리앰프의 전류 소모량은 0.09mA며, Slew Rate는 0.9 V/ns이다. 또한, 프리앰프의 이득은 폴딩 블록의 차동 쌍(Differential Pair)를 스위칭하

기 위해 8.64dB 이득을 가지며 158MHz의 대역폭을 얻을 수 있었다.

2. 제안하는 AGC

전체의 성능에 큰 영향을 미치는 요소는 시스템에 입력되는 신호를 처음 받아들이는 입력 단이다. 입력 단에서 신호를 정확하고 왜곡 없이 다음 단으로 전달하도록 하기 위해 8bit-자동이득 제어회로와 5bit-오프셋 제어회로를 이용하여 그 입력준위에 최적화 크기로 증폭된 신호로 변환할 수 있다. 기존에 구현되어온 자동이득 제어회로는 증폭이득이 주로 아날로그 신호에 의해 제어되므로 후반부에 디지털 신호처리 회로로부터의 디지털 이득제어 신호를 아날로그 신호로 변환시켜주는 DAC로 설계하였다^[4]. 또한 미세한 전압이득의 제어와 넓은 이득 제어 범위의 구현이 가능하도록 하였다.

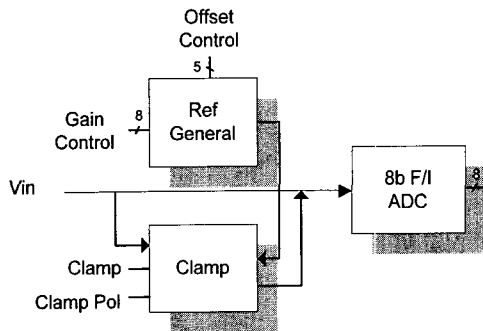


그림 5. 제안하는 AGC

Fig. 5. Block Diagram of the Proposed AGC.

또한 Clamp 신호도 Active High일 때 RGB에 0-1V 까지 아날로그 입력신호를 가지고 들어오는 정보를 ADC에 맞는 Reference신호로 바꾸어준다. 이때 회사마다 매칭 Capacitor에 따라 다른 timing을 가지도록 설계하였다^[5].

3. 제안하는 Low Jitter PLL

본 시스템의 PLL은 넓은 동기 범위와 좁은 대역폭을 단 한 개의 고정된 루프 필터 값으로 각각의 주파수 (VGA, SVGA, XGA, SXGA, UXGA)를 만족해야 한다. 또한 전원전압, 온도, 공정변화, 그리고 실리콘 기판의 노이즈에 둔감한 특성을 가지도록 설계해야 한다.

낮은 Jitter특성을 가진 PLL을 설계 할 경우, dead-zone은 PLL이 lock 되었을 때 두 입력 신호의 미세한 위상 차를 인식하지 못하면 PLL에서 지터가 발생한다.

따라서 위상/주파수 검출기에서 dead-zone은 제거되어야 한다. 본 논문에서는 4-input NAND 게이트 지연회로를 사용하여 Reset 신호의 지연 시간을 증가시킴으로써 dead-zone이 일어나지 않게 하였다^[6].

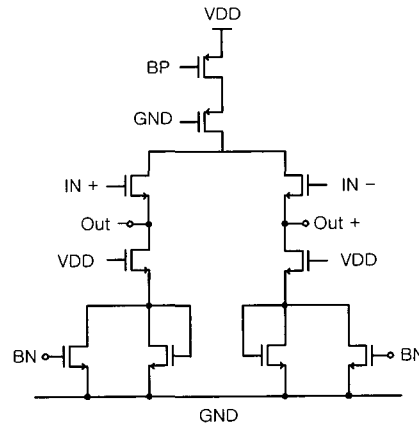


그림 6. 제안하는 VCO 구조

Fig. 6. Circuit of the Proposed VCO.

또한 그림 6와 같이 위에 PMOS와 Dummy NMOS를 사용하여 전원전압에 둔감하게 하였다. VCO가 발진하기 위해서는 각 지연 셀들의 이득은 단위 이득보다 커야 된다. 이득이 지나치게 크게 되면 VCO의 최대 동작 주파수를 제한하고 타이밍 지터도 증가한다. 그래서 동작 주파수를 높이기 위해 전류를 크게 하거나 출력 저항을 줄여서 이득을 낮게 해서 구현하였다.

차동 증폭기 등의 아날로그 회로를 디지털 회로와 함께 같은 집적회로 칩에 위치 시킬 경우에 디지털 신호가 rising 혹은 falling 하는 순간에 큰 노이즈 전압이 공급 전압인 VDD 혹은 VSS 도선에 유기 될 수 있다. 아날로그 회로는 노이즈에 특히 민감하므로 VDD 혹은 VSS 노이즈 전압에 무관한 출력전압 값을 가지는 것이 바람직하다.

$$PSRR^- \cong \left| \frac{A_{vd}}{\frac{v_o}{v_{ss}}} \right| = A_{vd}$$

$$PSRR^+ \cong \left| \frac{A_{vd}}{\frac{v_o}{v_{dd}}} \right| = 2r_{ds}(gm_4(ro_1 || (ro_4 + ro_9)))$$

그래서 그림 6와 같은 구조로 제안하여 PSRR(Power Supply Rejection Ratio)을 가능한 키워서 전원 전압에 둔감하게 하여 전체 PLL의 지터를 상당히 줄일 수 있

었다.

III. 실험결과

제안하는 시스템의 그 효율성과 성능을 검증하기 위하여 0.25um N-well CMOS공정으로 제작하였다. 전원 전압, 온도, 공정변화, 그리고 실리콘 기판의 노이즈에 둔감한 특성을 가지도록 아날로그 블록과 디지털 블록은 각각 Guard-Ring을 사용하여 50um이상 분리 시켰다. 또한 아날로그 및 디지털 전원을 별도로 사용하였으며 PLL은 따로 분리해서 설계하였다.

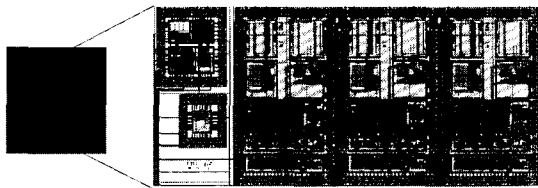


그림 7. 제안하는 Analog Flat Panel Interface 사진
Fig. 7. Photograph of the Analog Flat Panel Interface.

그림 7은 제작된 AFPI 사진을 도시하였다. 본 연구에서 제작된 A/D 변환기는 기본적인 기능과 230MHz 이하의 샘플링 속도에서 SNR, DNL, INL를 측정하였다. INL과 DNL는 그림 8에 도시된 것과 같이 각각 ± 1 LSB 이내이다. 200MHz의 샘플링 주파수에 대해 입력 주파수를 변화시켜 가면서 측정한 SNDR은 입력주파수가 10MHz일 때까지 43dB를 나타내었으며, 이를 그림 9에 나타내었다.

측정장비는 Credence社의 DUO-Digital Capture Port (DCP)와 GAGE社의 CompuScope 3200을 사용하여 기본적인 기능과 100MHz이하의 샘플링속도에서 SNR, DNL, INL를 측정하였다.

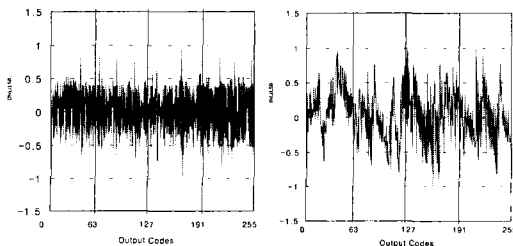


그림 8. 제안한 A/D 변환기의 INL 및 DNL
Fig. 8. INL, DNL of the Proposed ADC.

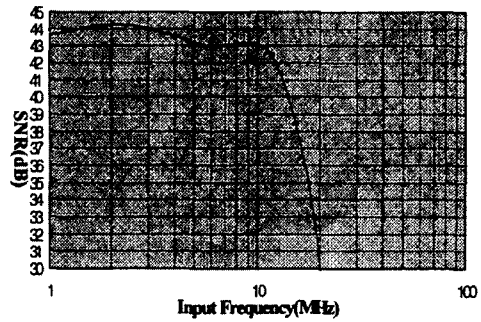


그림 9. SNDR 측정결과
Fig. 9. Measured Result for SNDR.

PLL의 지터 특성을 조사하기 위해 2.5 V 전원 전압이 집적회로 내부에서 10% 정도 변동이 있다고 가정하여 12.5 mV의 진폭을 가지는 200 MHz의 구형 파를 VDD에 잡음 전압으로 인가했다. 이때 229.5 MHz의 동작 속도에 대해 지터의 침투치는 134 ps이고 25MHz에서는 1024ps이었다. 이것은 25~229.5MHz를 연구 결과에 비하여 작은 지터 값을 알 수 있었다.

표 1. 제안하는 칩의 성능

Table 1. Performance of the Proposed Chip.

Resolution	8-bit
Conversion Rate	25 ~ 229.5MSPS
Supply Voltage	Single 2.5V
Input Range	0.6 ~ 1.2Vpp
Process	0.25um 1-poly 5-metal N-well CMOS
DNL and INL	$< \pm 1$ LSB
SNDR	43dB ($f_{in}=10$ MHz)
Jitter p-p(Gs)	134 ~ 1024
Refresh Rate(Hz)	60 ~ 85
Power Dissipation	602mW
Chip Area	3600um x 3200um

IV. 결론

본 논문에서는 화면의 크기가 커짐에 따라 높은 해상도를 만족하기 위한 Analog Flat Panel Interface를 구현 해야한다. 제안된 시스템의 ADC는 130mW의 낮은 전력과 SNDR 43dB을 나타내었다. AGC는 0.6-1.2V의 넓은 전압이득제어와 5-bit의미세한 전압이득을 제어하였다. PLL은 화면확장과 전원전압에 둔감한 회로를 구현하여 25-230MHz의 변환에 대해 5%이하의 낮은 Jitter Noise PLL을 설계 할 수 있었다.

참 고 문 헌

[1] Pieter Vorenkamp. "A 12-b, 60-MSample/s Cascaded Folding and Interpolation ADC," IEEE J. Solid-State Circuits. vol. 32. 12 1876-1886. DEC. 1997.

[2] R. Grift, I. Rutten and M. Veen, "An 8-bit Video ADC Incorporation Folding and Interpolation Techniques," IEEE J. Solid-State Circuits, vol. SC-22, no. 6, pp. 994-953, Dec. 1987.

[3] R. Plassche and P. Baltus. "An 8-bit 100-MHz Full-Nyquist Analog-to-Digital Converter," IEEE J. Solid-State Circuits, vol. 23, no. 6, pp. 1334-1344, DEC. 1988.

[4] M. Fujii, N. Kawaguchi, M. Nakamura, and T. Ohsawa, "Feedforward and feedback AGC for fast fading channels", Electron. Lett., vol. 31 pp.1029-1030, June 1995.

[5] J Khoury, "Fixed time constant AGC circuits", in Proc IEEE ISCAS 1997, pp. 261-264.

[6] John G. Maneatis, "low jitter process independent DLL and PLL based on self biased techniques," IEEE J. Solid State Circuits, vol. 31, no 1, pp. 1723-1732, 1996.

저 자 소 개



尹 盛 郁(正會員)

1999년 2월 : 동국대학교 전자공학과 졸업(학사), 2001년 8월 동국대학교 반도체과학과 대학원 졸업(석사), 2001년 2월~현재 : 삼성 탈레스 기술개발팀 연구원, <주관심 분야> Analog Mixed Mode &

RF 시스템 설계, 시스템 IC 설계, 주파수합성기 설계



任 玄 植(正會員)

1992년 2월 : 고려대학교 물리학과 졸업(학사), 1994년 : 2월 고려대학교 물리학과 대학원 졸업(석사), 1999년 10월 : Oxford 물리학과 대학원 졸업(박사), 1999년 5월~2001년 8월 : Oxford 및 동경대학교 생

산기술연구소 연구원, 2001년 9월~현재 : 동국대학교 반도체 과학과 전임강사. <주관심분야> CMOS modeling 및 양자 기능 반도체 설계

宋 敏 圭(正會員)

1986년 2월 : 서울대학교 전자공학과 졸업(학사), 1988년 2월 : 서울대학교 전자공학과 대학원 졸업(석사), 1993년 2월 : 서울대학교 전자공학과 대학원 졸업(박사), 1993년~94년 : 일본 동경 대학교 전자공학과 초빙연구원, 1995년~96년 : 삼성전자 ASIC 설계팀 선임연구원, 1997년~현재 : 동국대학교 반도체과학과 조교수, <주관심분야> CMOS 혼성모드 회로설계, 저전력 집적시스템설계