

論文2002-39SD-3-8

복잡한 다층 VLSI 배선구조에서의 효율적인 신호 무결성 검증 방법 (Efficient Signal Integrity Verification in Complicated Multi-Layer VLSI Interconnects)

秦 佑 鎮 * , 魚 瀛 善 * , 沈 鍾 寅 *

(Woojin Jin, Yungseon Eo, and Jongin Shim)

요 약

불규칙하고 복잡한 다층(multi-layer) VLSI 배선의 커패시턴스 추출을 위한 빠르고 정확한 새로운 방법을 개발하였다. 복잡한 다층 배선구조에서 3차원 field-solver를 사용하여 커패시턴스를 구하는 것은 현실적이지 않기 때문에 근사적 3차원 커패시턴스 추출 방법을 제안한다. 꺾이는 부분(bend)과 상이한 배선사이의 거리를 갖는 동일한 층내의 배선은 불연속한 부분과 만나는 곳을 분할하고 각각의 부분에 2차원 커패시턴스 추출 방법을 사용하여 커패시턴스를 추출하였다. 또한 차폐층(shielding layer)을 갖는 다층 배선 구조에서의 커패시턴스는 시스템 내의 전하의 분포를 조사함으로써 시스템을 간소화 시킨 후 평판 그라운드 기반 2차원 커패시턴스와 간단한 구조로부터 독립적으로 계산될 수 있는 차폐효과를 결합하여 근사적 3차원 커패시턴스 추출 방법을 적용하였다. 불규칙한 다층 배선 구조에 대하여 설계된 레이아웃으로부터 해석적으로 구할 수 있는 변수와 평판 그라운드를 사용한 2차원 커패시턴스 추출 방법을 사용하므로 정확하면서도 신속하게 커패시턴스를 추출할 수 있어 일반적인 3차원 방법보다 비용 측면에서 훨씬 효과적이다. 제안된 근사적 3차원 방법을 통해 구한 커패시턴스는 3차원 field-solver를 기반으로 구한 커패시턴스와 오차율 5% 이내의 정확성을 나타낸다.

Abstract

Fast and accurate new capacitance determination methodology for non-uniform complicated multi-layer VLSI interconnects is presented. Since a capacitance determination of intricate multi-layer interconnects using 3-dimensional field-solver is not practical, quasi-3-dimensional methodology is presented. Interconnects with discontinuity (i.e., bend structure and different spacing between lines, etc.) are partitioned. Then, each partial capacitance of divided parts is extracted by using 2-dimensional extraction methodology. For a multi-layer interconnects with shielding layer, the system can be simplified by investigating a distribution of charge in it. Thereby, quasi-3-dimensional capacitance for multi-layer interconnects can be determined by combining solid-ground based 2-dimensional capacitance and shielding effect which is independently determined with layout dimensions. This methodology for complicated multi-layer interconnects is more accurate and cost-efficient than conventional 3-dimensional methodology. It is shown that the quasi-3-dimensional capacitance methodology has excellent agreement with 3-dimensional field-solver-based results within 5% error.

Key words : Interconnect capacitance, multi-layer structure, shielding effect, signal delay, VLSI interconnects.

* 正會員, 漢陽大學校 電子컴퓨터工學部
(Dept. of Electrical and Computer Engineering,
Hanyang University, Ansan)

※ 본 논문은 2000년, 2001년 한양대학교 과학기술분야
특별교비 지원에 의하여 연구되었음.

接受日字:2001年10月12日, 수정완료일:2002年1月2日

I. 서 론

회로의 최소 선폭이 계속 감소함에 따라, 현대 VLSI 회로는 적은 비용으로 하나의 칩 내에 무수히 많은 기능을 수행하는 회로의 집적이 가능해졌다^[1]. 반면에 클럭 주파수는 계속 증가하여 수 GHz 단계에 이르고 있다^[1~4]. 이러한 고성능 회로에서 회로 성능은 논리소자 보다는 대부분이 배선에 의해 좌우되며^[2~7], 배선에 의한 가장 주된 악영향은 신호의 지연과 상호간섭이다^[8]. 기술이 발전할수록 클럭 주파수는 증가하며 배선의 구조는 조밀해지고 길어지기 때문에 그 영향은 더욱 심각해진다. 따라서 집적화 된 시스템의 성능 분석을 위해서는 배선의 전기적 특성에 대한 정확한 예측이 필요하다.

집적회로의 신호 지연과 상호간섭에 대한 정확한 특성화를 위해서는 정확한 배선의 커패시턴스 추출이 필수적이다. 따라서 배선에 대한 커패시턴스의 추출을 위하여 많은 연구가 수행되었다. 쉽게 계산할 수 있는 2차원 커패시턴스 추출 방법을 사용하여 커패시턴스를 추출하고 이를 IC-CAD에서의 시간검증과 신호의 순수성의 해석에 이용하였다^[9~11]. 그러나, 현재의 다층 배선 구조는 본질적으로 3차원의 특성을 가지므로 비록 2차원 커패시턴스 추출 방법이 계산시간 면에서 매우 효과적이라 할지라도 현대의 VLSI 회로에 대한 신호 순수성을 검증하기 위해 사용하기에는 정확도에서 충족치 않다.

따라서 커패시턴스 추출 방법을 향상시키기 위한 많은 3차원 추출 방법이 연구되었다^[12~16]. 그러나, 이러한 3차원 추출 방법은 상대적으로 간단한 구조에 대해서조차 많은 계산 시간이 필요하므로 정확하면서도 빠른 3차원 커패시턴스 추출 방법에 대한 필요성이 요구되어지고 있다. 최근, 다층 배선 구조에 대한 효과적인 근사3차원 커패시턴스 추출 방법이 제시되었으며^[17~20], 특히 [17],[19],[20]에서는 실험적인 커패시턴스 모델을 바탕으로 한 2차원과 3차원 추출 방법이 보고되었다. 그러나 실험식에 근거한 모델은 현대의 고성능 IC 설계에 적용하기에는 정확도에 한계가 있다.

이 논문에서는 정확하면서도 효과적인 새로운 다층 배선 커패시턴스 추출 방법을 개발하였다. 즉, 동일한 층 내에서의 불규칙한 배선에 대한 커패시턴스는 불연속점과 만나는 부분을 분할하고, 분할된 각 부분에 대

해 2차원 커패시턴스 추출 방법을 적용함으로써 정확하면서도 신속하게 커패시턴스를 추출하였다. 또한 관심있는 배선의 주위에 차폐층을 갖는 복잡한 다층 배선 구조에 대한 커패시턴스는 시스템 내에서의 전하 분포를 조사한 후 시스템을 간소화 시키고 평판 그라운드 기반 2차원 커패시턴스 추출 방법과 차폐효과를 결합하여 근사적 3차원 커패시턴스를 추출하였다. 배선과 관련된 평판 그라운드 기반 2차원 커패시턴스와 차폐효과는 복잡한 다층 배선인 경우에도 레이아웃 구조로부터 쉽게 구할 수 있기 때문에 커패시턴스 추출 시간을 획기적으로 줄일 수 있을 뿐만 아니라 3차원 field-solver를 사용하여 추출된 커패시턴스와 오차율 5% 이내로 일치한다.

II. 근사3차원 커패시턴스 추출

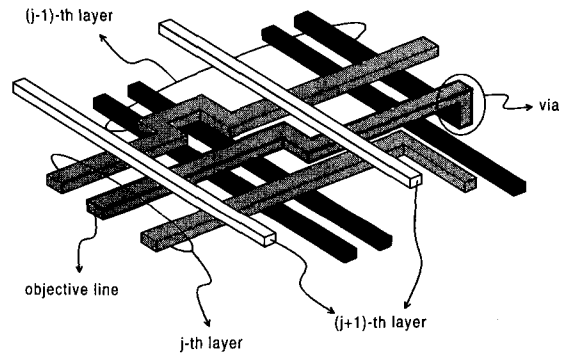


그림 1. 불규칙하고 복잡한 일반적인 다층 배선 구조
Fig. 1. General non-uniform complicated multi-layer interconnect structure.

다층 IC 배선 구조는 본질적으로 불규칙한 구조를 갖는다. 즉, 그림 1에서 보듯이 회로 블록 사이를 연결하는 배선은 동일한 층 내에서조차 직선의 형태를 띠지 않으며 배선 사이의 거리도 불규칙하다. 또한 다층 배선 구조의 경우 비아 등과 같은 불연속 구간을 가지거나 층간 커플링을 최소화하기 위해 서로 직교하는 배선 구조를 갖으므로 본질적으로 2차원 방법을 적용하여 커패시턴스를 추출하는 것은 불가능하다. 그러나 배선이 불연속한 구간을 만날 때마다 구간을 나누어서 각 구간의 커패시턴스를 구하고 이들 각 부분의 커패시턴스를 합침으로써 주된 배선의 커패시턴스를 구할 수 있다. 특히 나누어진 각 부분의 커패시턴스는 2차원 커패시턴스 방법을 사용하므로 신속하게 구할 수 있다.

동일한 층에서의 불규칙한 구조에 대한 근사적 3차원 커패시턴스 추출 방법과 다층 배선 구조에 대한 근사적 3차원 커패시턴스 추출 방법을 아래에서 자세히 서술한다.

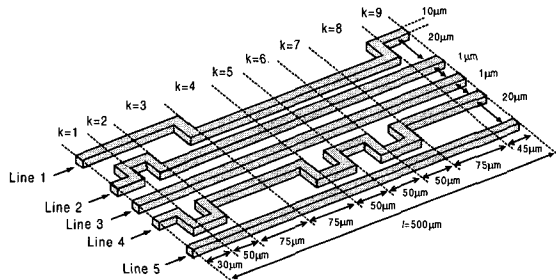


그림 2. 불규칙한 단일층에서의 배선 구조
Fig. 2. A general non-uniform single-layer interconnect structure.

1. 단일 층에서의 근사적 3차원 커패시턴스 추출 방법
단일 층에서의 불규칙 배선구조를 그림 2에서 나타내었다. 그림 2에서 보듯이 배선은 비직선 구조를 갖으며 배선 사이의 거리도 다르므로 직접적으로 2차원 커패시턴스 추출 방법을 사용할 수 없다. 현재까지는 이러한 경우 3차원 field-solver를 사용하여 구하거나 수치적인 방법을 사용하여 구하였다. 그러나 대규모의 시스템에 적용하기에는 많은 계산 시간과 비용을 요구한다. 따라서 그림 2와 같이 밴드 같은 불연속하는 곳이 나타날 때마다 그 부분을 나누고, 나누어진 부분의 커패시턴스는 MOM(method of moment)을 사용한 2D 시뮬레이션을 사용하여 파라미터를 추출할 수 있다. 위에서 서술한 내용은 다음과 같은 식으로 나타낼 수 있다. 즉, 전송선의 총 파라미터 값은 다음과 같이 각각의 부분의 파라미터들의 값을 더한 것이다.

$$C_{ii}^j = \sum_{k=1}^n (C_{ii}^k) \tag{1}$$

여기서 아래 첨자 k 는 k 번째 나누어진 배선의 부분을 가리키며, n 은 나누어진 부분의 수로서 전송선의 구조에 따라 변한다. 또한 각각의 나누어진 부분의 커패시턴스는 노드 어드미턴스 행렬(node admittance matrix)과 유사한 방법으로 2단자 네트워크 커패시턴스 개념, 즉 단락회로 커패시턴스(short circuit capacitance) 추출 방법을 사용하여 쉽게 추출할 수 있다^[22]. 단락 회로 커패시턴스와 일반적인 커패시턴스는 다음

과 같은 관계를 갖는다^[9].

$$C_{sit} = \sum_{ij} C_{ij} \tag{2}$$

$$C_{sij} = -C_{ij} \tag{3}$$

단락 회로의 커패시턴스를 구하기 위한 2 단자 네트워크 시스템은 수학적으로 다음과 같이 나타낼 수 있다^[9].

$$V_i = V \text{ if } i \in A \tag{4}$$

$$V_i = 0 \text{ if } i \notin A \tag{4}$$

여기서 A 는 활성 노드의 집합이다. 그러면 전압이 인가된 노드 집합 $x \in A$ (하나의 노드)와 전압이 인가되지 않은 노드 집합 $y \notin A$ (활성 노드를 제외한 나머지 노드) 사이의 2 단자 커패시턴스는 다음과 같다. 즉,

$$C_{2-port} = \sum_{i \in A} \frac{Q_i}{V} \tag{6}$$

그러므로, 독립적인 노드 집합을 사용하여 2 단자 네트워크 계산을 반복하여 수행하면 n 단자 네트워크에 대한 커패시턴스를 쉽게 구할 수 있다. 이것을 이용하여 몇 개의 독립적인 노드에 대한 커패시턴스를 대수적으로 처리함으로써 셀프 커패시턴스와 커플링 커패시턴스를 추출할 수 있다. 그림 2와 같은 불규칙한 배선구조에 대하여 근사 3차원 커패시턴스 추출 방법에 의해 구한 커패시턴스를 표 1에서 나타내었다. 또한 그림 3과 같은 좀더 복잡한 구조에 대해 구한 커패시턴스와 3차원 field-solver를 사용하여 구한 커패시턴스를

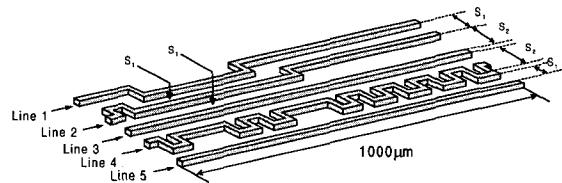


그림 3. 근사 3차원 커패시턴스 추출을 위한 단일 층 배선 구조.

s_1 과 s_2 는 배선 사이의 간격(선폭: $1\mu\text{m}$, $s_1=1\mu\text{m}$, $s_2=2\mu\text{m}$).

Fig. 3. Single layer interconnect structure for the extraction of a quasi-3dimensional capacitance.

s_1 and s_2 are isolation distance between interconnects (line width: $1\mu\text{m}$, $s_1=1\mu\text{m}$, $s_2=2\mu\text{m}$).

표 1. 그림 2의 구조에 대한 각 부분의 커패시턴스와 총 커패시턴스
Table 1. Extracted partial capacitance and total capacitance of the structure shown in Fig. 2.

C_{ij}	K=1	K=2	K=3	K=4	K=5	K=6	K=7	K=8	K=9	$\sum_{i=1}^9 C_{ij}^k$ [fF]
C10	10.50	20.00	52.50	33.60	20.70	20.70	20.70	49.60	25.30	253.60
C20	13.90	24.30	32.70	30.90	19.10	19.00	19.10	30.10	23.20	212.30
C30	7.98	20.80	30.90	30.10	19.80	18.20	19.80	30.80	21.40	199.78
C40	13.90	24.30	33.50	43.00	30.20	30.10	30.20	33.50	23.20	261.90
C50	10.50	20.00	36.50	35.70	20.00	21.70	20.00	36.50	25.30	226.20
C12	0.833	3.850	0.974	4.960	3.050	3.050	3.050	5.730	0.142	25.639
C13	0.024	0.054	0.079	0.223	0.149	0.137	0.149	0.223	0.055	1.093
C14	0.016	0.016	0.053	0.104	0.030	0.064	0.030	0.104	0.037	0.453
C15	0.008	0.012	0.026	0.036	0.019	0.022	0.019	0.036	0.018	0.194
C23	2.300	0.896	4.960	4.910	3.050	3.020	3.050	4.910	3.430	30.526
C24	0.074	0.025	0.241	0.223	0.045	0.137	0.045	0.223	0.167	1.179
C25	0.016	0.016	0.053	0.048	0.025	0.029	0.025	0.018	0.037	0.296
C34	2.300	0.896	4.960	5.730	0.887	3.820	0.887	4.960	3.430	27.870
C35	0.024	0.054	0.079	0.079	0.050	0.049	0.050	0.079	0.055	0.519
C45	0.833	3.850	0.205	0.974	3.850	0.896	3.850	0.204	0.142	14.804

표 2. 그림 3의 구조에 대한 근사 3차원 커패시턴스와 3차원 field-solver 기반 커패시턴스

Table 2. Comparison Quasi-3D capacitance and 3D-field-solver-based capacitance of a structure shown in Fig. 3.

	Capacitance [fF]		
	Field-solver	Quasi-3D	Error(%)
C10	465	457	1.72
C20	452	457	-1.11
C30	395	402	-1.77
C40	658	679	-3.19
C50	422	430	-1.90
C12	56.7	53.9	4.94
C13	1.750	1.600	8.57
C14	0.493	0.671	-36.11
C15	0.156	0.318	-103.85
C23	39.8	35.1	11.81
C24	1.800	1.600	11.11
C25	0.331	0.477	-44.11
C34	54.1	51.5	4.81
C35	1.070	1.040	2.80
C45	42.5	37.8	11.06

표 2에서 비교하였다. 표 2에서 보듯이 동일한 층에 대한 근사 3차원 커패시턴스 추출 방법이 3차원 field-solver 방법을 사용하여 추출한 커패시턴스와 오차범위 5% 내에서 잘 일치함을 알 수 있다.

2. 차폐층을 갖는 배선 구조에서의 근사적 3차원 커패시턴스 추출 방법

다층 배선 구조는 층간 배선의 영향을 받으므로 복잡한 IC 배선 구조는 그 시스템의 양전하에 상응하는 음전하의 분포를 분석함으로써 쉽게 다룰 수 있을 만큼 간소화 될 수 있다. 전기장은 보존계이기 때문에 양전하에 상응하는 음전하가 시스템 안에 반드시 존재해야 한다. 시스템에서 양전하에 상응하는 음전하의 분포는 비록 충전하량은 변하지 않더라도 주어진 시스템의 구조, 즉 거리, 두께, 그리고 폭에 따라 변한다. 따라서 양전하에 대한 음전하 분포의 비를 분석함으로써 복잡한 시스템을 간소화 시킬 수 있다. 즉, 양전하에 대하여 작은 음전하 분포비를 갖는 배선은 주변의 양전하 배선에 대하여 거의 영향을 미치지 않으므로 그러한 음전하 배선은 그 시스템의 커패시턴스를 추출할 때 무시하여도 정확도에 거의 영향을 주지 않는다. 따라서

배선의 양전하에 대한 주변 배선의 음전하의 비를 전하비(ζ)라 정의하면 이것을 사용하여 복잡한 시스템을 간소화 시키고, 간소화된 구조에 대하여 단일 층에서의 커패시턴스 추출 방법과 동일한 2차원 커패시턴스 추출 방법을 이용하여 커패시턴스를 구할 수 있다.

1) 구조 간소화

그림 4와 같은 차폐층을 갖는 다층 배선 구조에서 직접적인 방법을 통해 커패시턴스를 추출한다는 것은 그 구조의 복잡성으로 인해 비현실적이므로 가능한 한 간소화 되어야 한다.

실제 배선 구조에서 배선의 양전하에 상응하는 대부분의 음전하는 배선에 이웃하는 배선에 분포한다. 따라서 큰 전하비를 갖는 배선을 제외한 모든 다른 배선들은 시스템으로부터 소거될 수 있기 때문에 구조는 실질적으로 간략화 될 수 있다. 그림 5(a)와 같은 구조에서 배선에 대한 각각의 전하비(ζ)를 그림 5(b)에 나타내었다. 그림 5(b)에서 보듯이 음전하가 분포된 이웃하는 층의 배선의 전하비는 배선이 있는 j 층으로부터 멀리 떨어질수록 시스템에 거의 영향을 주지 않을 정도로 작아지며, j 층과 $(j-1)$ 층 사이의 거리가 감소할수록 시스템에 미치는 영향은 커진다는 것을 알 수 있다. 따라서 그림 4와 같은 복잡한 배선 구조는 전하비에 의해 그림 6과 같이 $(j \pm 2)$ 층을 평판 그라운드로 처리함으로써 현저하게 간소화 시킬 수 있다.

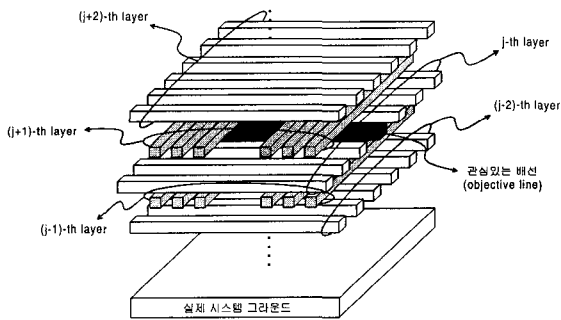
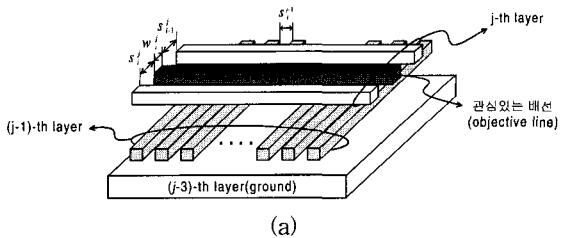


그림 4. 차폐층을 갖는 일반적인 다층 배선 구조
Fig. 4. A general multi-layer interconnect structure.



(a)

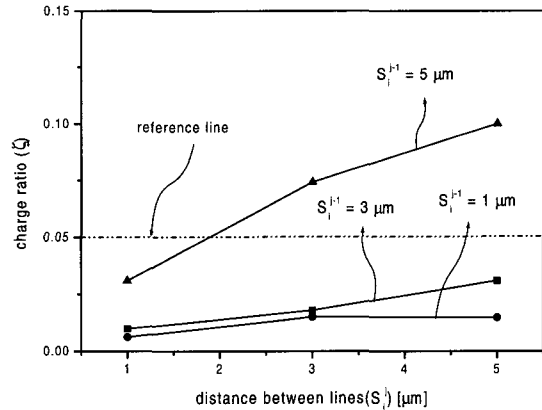


그림 5. 층의 배선의 양전하에 대응하는 $(j-2)$ 층에서의 전하의 분포. s_i^j 는 j 층에 있는 i 번째 배선과 $(i+1)$ 번째 배선 사이의 거리, w_i^j 는 j 층에 존재하는 i 번째 배선의 폭을 나타낸다. (a) 구조 (b) 전하비(ζ)

Fig. 5. Total negative charge distribution on $(j-2)$ -th layer corresponding to the positive charge of the objective line on the j -th layer. s_i^j indicates a spacing between the i -th line and w_i^j indicates the line width of the i -th line in the j -th layer. (a) The structure. (b) The charge ratio.

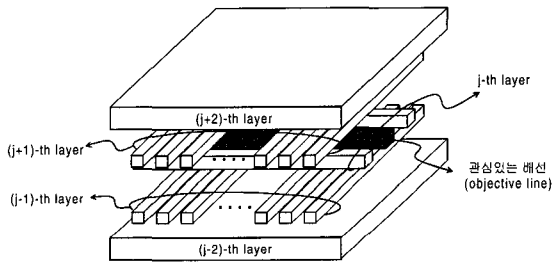


그림 6. 그림 4의 구조에 대한 전하 분포의 결과 간소화된 구조

Fig. 6. The simplified structure of the Fig. 4 with the negative charge distribution concept.

2) 차폐 효과

그림 4와 같은 복잡한 배선 구조가 전하비에 의해 그림 6과 같이 간소화되었다 하더라도 $(j \pm 1)$ 층의 배선이 관심 있는 배선에 직교하므로 여전히 2차원 방법을 적용할 수 없다. 그러나 동일한 층에 존재하는 배선이나 이웃하는 층 사이의 배선 사이의 차폐효과를 결정할 수 있다면 2차원 방법을 사용하여 커패시턴스를 추출할 수 있으며 이 경우 3차원 효과는 차폐효과에 의해 포함될 수 있다.

동일한 층 내에 존재하는 배선사이의 차폐효과를 고려하기 위한 그림 7에서 이웃하는 배선을 갖는 관심있는 배선의 단위 길이당 자체 커패시턴스는 다음과 같이 나타낼 수 있다. 즉

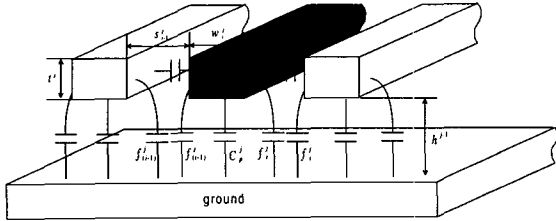


그림 7. 주변커패시턴스를 고려한 커패시턴스
Fig. 7. Capacitances with the fringing effects.

$$C_s^j = C_b^j + f_{i-1}^j + f_i^j \quad (7)$$

여기서 C_b^j 는 배선과 그라운드 사이의 평판 커패시턴스를 나타낸다. 또 f_{i-1}^j 와 f_i^j 는 배선 사이의 거리가 s_{i-1}^j 과 s_i^j 에 대한 주변커패시턴스이며 역시 층간 유전체 두께(h^{j-1})와 배선 사이의 거리(s_{i-1}^j 과 s_i^j)의 함수로 모델링 할 수 있다. 이때 배선의 두께의 변화에 따른 주변커패시턴스의 영향은 무시될 수 있다. 따라서 관심있는 배선과 이웃하는 배선 사이의 거리가 감소함에 따라, 그리고 층간 유전체의 두께가 증가함에 따라 주변커패시턴스는 감소하므로 주변커패시턴스는 다음과 같이 나타낼 수 있다. 즉

$$f_i^j = \frac{f_{i\infty}^j}{1 + \alpha \frac{h^{j-1}}{s_i^j}} \quad (\text{for } h^{j-1} \neq 0) \quad (8)$$

여기서 α 는

$$\alpha \equiv \frac{s_i^j}{h^{j-1}} \cdot \frac{2f_{i\infty}^j - C_s^j + C_b^j}{C_s^j - C_b^j} \quad (9)$$

이다. 또한 $f_{i\infty}^j$ 는 이웃하는 배선이 없을 경우의 관심있는 배선의 주변 커패시턴스를 나타낸다. 그림 7과 같은 구조에 대하여 배선의 폭과 두께의 비에 따른 식 (7)의 결과를 그림 8에 나타내었다. 그림에서 보듯이 이것은 3차원 field-solver 기반의 결과와 오차율 5% 내에서 잘 일치함을 알 수 있다.

동일한 층 내의 배선 사이의 차폐 효과와 더불어 층간 배선에 의한 차폐효과 역시 존재한다. 이러한 층간 차폐효과는 그림 9와 같이 배선과 다른 층 내에 존재

하는 배선 사이의 중첩커패시턴스($C_{overlap}^j$ 와 $C_{underlap}^j$)로 나타낼 수 있다. 여기서 중첩커패시턴스는 다른 층의 배선에 의해 중첩되는 배선의 비율을 나타내는 면적점유율(η)을 도입함으로써 정확하게 계산할 수 있다. 더불어 중첩커패시턴스는 그림 7과 같이 이웃하는 배선을 갖는 배선에 대한 평판 그라운드 기반 단위 길이당 자체커패시턴스를 사용하여 추출할 수 있다.

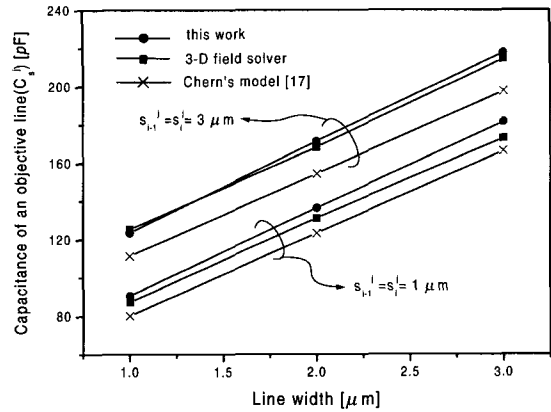


그림 8. 배선 사이의 거리와 배선의 폭에 따른 주변 커패시턴스의 변화
(실선: 논문, 점선: 3차원 field-solver, 가는실선: Chern의 방법)

Fig. 8. Fringing Capacitance variations with the line width and line spacing between the lines (solid line: this work, dotted line: 3D field solver, and thin solid line: Chern's model).

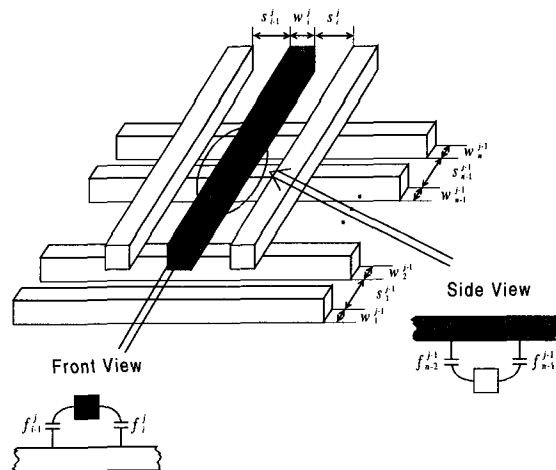


그림 9. 다층 구조와 배선에 관련된 중첩커패시턴스
Fig. 9. The multi-layer structure and overlap-capacitance corresponding to a designated objective line.

따라서 그림 9에서 배선과 관련된 총 중첩커패시턴스는 다음과 같이 나타낼 수 있다.

$$C_{overlap}^j = \left(\sum_{i=1}^n w_i^{j-1} + 2\delta \right) C_s^j \quad (10)$$

여기서

$$\delta = \frac{(f_{\infty}^{j-1} + f_1^{j-1} + \dots + f_{n-1}^{j-1})w_i}{C_p^j + f_{i-1}^j + f_i^j}$$

이다. 여기서 w_i^{j-1} 과 w_i^j 는 각각 $(j-1)$ 과 j 층에 있는 i 번째 라인의 폭이다. 식 (10)에서 평판 그라운드 기반 자체커패시턴스(C_s^j)는 그림 7에서 보듯이 (3×3) 행렬로 표시된다. 또한 층의 배선과 층의 배선 사이의 면적점유율은 다음과 같이 나타낼 수 있다. 즉

$$\eta^{j-1} = \frac{\sum_{i=1}^n w_i^{j-1} + 2\delta}{p} \quad (11)$$

이다. 이제 식 (10)과 식 (11)을 결합하면 다음과 같이 더욱 간단한 식으로 나타낼 수 있다.

$$C_{overlap}^j = \eta^{j-1} \cdot C_s^j \cdot p \quad (12)$$

여기서 p 는 j 층에 있는 관심있는 배선의 길이를 나타낸다. 따라서 식 (12)에서 보듯이 만약 η^{j-1} 와 j 층 배선의 평판 그라운드 기반 자체커패시턴스 C_s^j 만 알 수 있다면 총 중첩커패시턴스를 쉽게 구할 수 있다. 또한 는 층간 유전체 두께(h^{j-1})와 배선폭(w_i^j 와 w_i^{j-1}), 그리고 배선 사이의 거리(s_i^j 와 s_i^{j-1})의 함수이며 주어진 레이아웃 구조로부터 쉽게 추출될 수 있다. 따라서 식 (12)를 이용하여 차폐층을 고려한 관심있는 배선의 커패시턴스는 다음과 같이 구할 수 있다. 즉,

$$[C] = \left\{ \eta^{j-1} \eta^{j+1} [F]_{\{(j-1),(j+1)\}}^j + (1-\eta^{j-1})(1-\eta^{j+1}) [F]_{\{(j-2),(j+2)\}}^j + (1-\eta^{j-1}) \eta^{j+1} [F]_{\{(j-2),(j+1)\}}^j + \eta^{j-1} (1-\eta^{j+1}) [F]_{\{(j-1),(j+2)\}}^j \right\} l^j \quad (13)$$

이 된다. 여기서 $[F]_{(G)}^j$ 는 차폐효과를 고려하지 않은 일련의 매개커패시턴스 행렬로서 배선에 이웃하는 층의 배선들을 평판 그라운드로 간주함으로써 쉽게 추출할 수 있다. $[F]_{(G)}^j$ 의 윗 첨자 j 는 배선을 포함하는 j 층을 나타내며, 아래 첨자 (G) 는 평판 그라운드로 간

주되는 층의 조합을 나타낸다. 또한 $[F]_{(G)}^j$ 는 2차원 커패시턴스 추출 방법을 사용하여 구해지는 3×3 행렬로서 다음과 같이 나타낼 수 있다. 즉

$$[F]_{\{(j-1),(j+1)\}}^j = \begin{bmatrix} a_{11} & -a_{12} & -a_{13} \\ -a_{21} & a_{22} & -a_{23} \\ -a_{31} & -a_{32} & a_{33} \end{bmatrix}, \quad (14)$$

$$[F]_{\{(j-2),(j+2)\}}^j = \begin{bmatrix} b_{11} & -b_{12} & -b_{13} \\ -b_{21} & b_{22} & -b_{23} \\ -b_{31} & -b_{32} & b_{33} \end{bmatrix}, \quad (15)$$

$$[F]_{\{(j-2),(j+1)\}}^j = \begin{bmatrix} c_{11} & -c_{12} & -c_{13} \\ -c_{21} & c_{22} & -c_{23} \\ -c_{31} & -c_{32} & c_{33} \end{bmatrix}, \quad (16)$$

$$[F]_{\{(j-1),(j+2)\}}^j = \begin{bmatrix} d_{11} & -d_{12} & -d_{13} \\ -d_{21} & d_{22} & -d_{23} \\ -d_{31} & -d_{32} & d_{33} \end{bmatrix}, \quad (17)$$

이다. 따라서 식(13)은 상수인 η^{j-1} 와 3×3 행렬인 $[F]_{(G)}^j$ 로만 구성되므로 역시 행렬이다. 차폐층을 갖는 다층 배선 구조에서 동일한 층에서의 배선 사이의 결합커패시턴스는 행렬 (13)으로부터 추출할 수 있다. 즉, 행렬 (13)의 비대각 요소는 배선과 동일한 층에 이웃하는 배선 사이의 결합커패시턴스이다. 비슷한 방법으로 중첩커패시턴스를 추출할 수 있는데 총 중첩커패시턴스는 다음과 같은 식으로 나타낼 수 있다. 즉

$$C_{overlap}^j = \eta^{j-1} \left\{ \frac{h^j + h^{j+1} + t^{j+1}}{h^{j-1} + h^j + h^{j+1} + t^{j+1}} (1-\eta^{j+1})(d_{22} - d_{21} - d_{23}) + \frac{h^j}{h^{j-1} + h^j} \eta^{j+1} (a_{22} - a_{21} - a_{23}) \right\} l^j \quad (18)$$

$$C_{underlap}^j = \eta^{j+1} \left\{ \frac{h^{j-2} + h^{j-1} + t^{j-1}}{h^{j-2} + h^{j-1} + h^j + t^{j-1}} (1-\eta^{j-1})(c_{22} - c_{21} - c_{23}) + \frac{h^{j-1}}{h^{j-1} + h^j} \eta^{j-1} (a_{22} - a_{21} - a_{23}) \right\} l^j \quad (19)$$

또한 배선의 자체커패시턴스는 다음과 같이 추출될 수 있다.

$$C_s^j = \left\{ \eta^{j-1} \eta^{j+1} (a_{22} - a_{21} - a_{23}) + (1-\eta^{j-1})(1-\eta^{j+1})(b_{22} - b_{21} - b_{23}) + (1-\eta^{j-1}) \eta^{j+1} (c_{22} - c_{21} - c_{23}) + \eta^{j-1} (1-\eta^{j+1})(d_{22} - d_{21} - d_{23}) - C_{overlap}^j - C_{underlap}^j \right\} l^j \quad (20)$$

그림 10의 구조에 대해 근사 3차원 커패시턴스 추출 방법을 적용하여 관심있는 배선에 대한 커패시턴스를 추출 하였으며, 추출된 커패시턴스는 그림 11에서 보듯이 3차원 field-solver를 사용하여 계산한 값과 매우 잘 일치함을 알 수 있다.

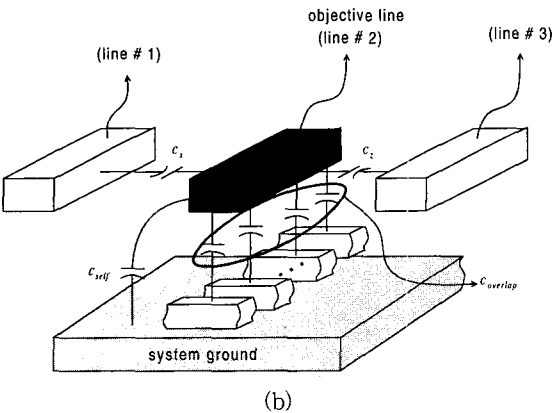
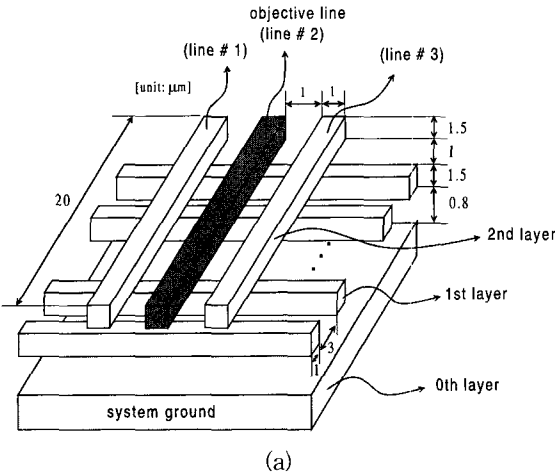


그림 10. 근사적 3차원 커패시턴스 추출 예를 위한 간단한 구조

- (a) 구조의 치수
- (b) 배선과 관련된 커패시턴스 ($[C]^j = [-c_x \ c_y \ -c_z]$, where $c_y \equiv c_x + c_z + c_{self} + c_{overlap}$)

Fig. 10. A simple structure for the numerical example of the quasi-3D capacitance determination. (a) Geometrical dimension. (b) Capacitances concerned with the objective line ($[C]^j = [-c_x \ c_y \ -c_z]$, where $c_y \equiv c_x + c_z + c_{self} + c_{overlap}$).

차폐층을 갖는 다층 배선구조에서의 근사 3차원 커패시턴스 추출 방법을 그림 12와 같은 좀더 다양한 차

폐층을 갖는 구조에 적용하여 구한 커패시턴스와 3차원 field-solver로부터 구한 커패시턴스를 표 3에 나타내었다. 표 3에서 보듯이 계산시간에 있어서도 3차원 방법에 비해 약25배나 빠르다는 사실을 알 수 있다. 또한 그림 13과 같은 불규칙한 배선구조에 대한 커패시

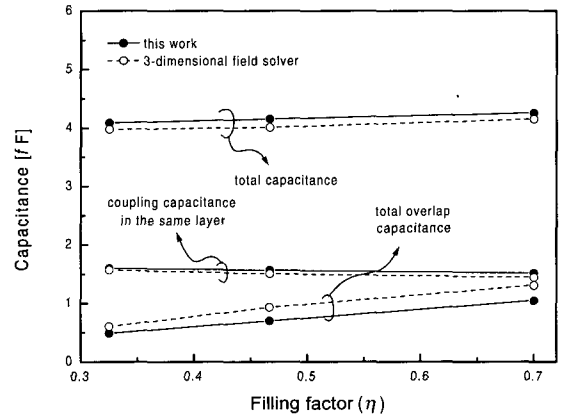
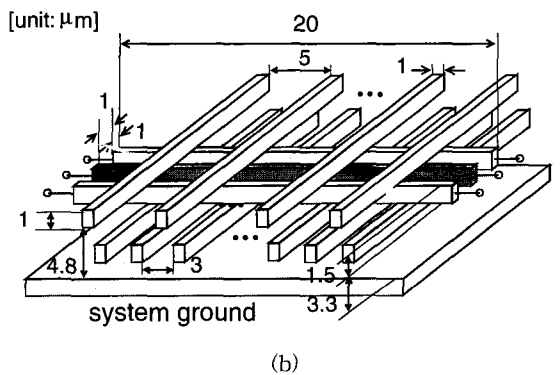
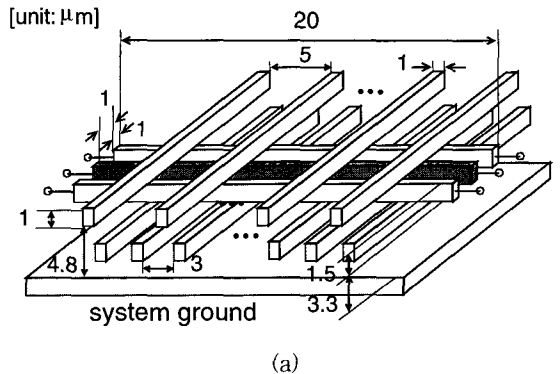


그림 11. 아래층의 배선의 수에 (즉, 면적점유율) 따른 커패시턴스

Fig. 11. Extracted capacitance variations according to the number of the under-layer conductors (i.e., the filling-factor variation).



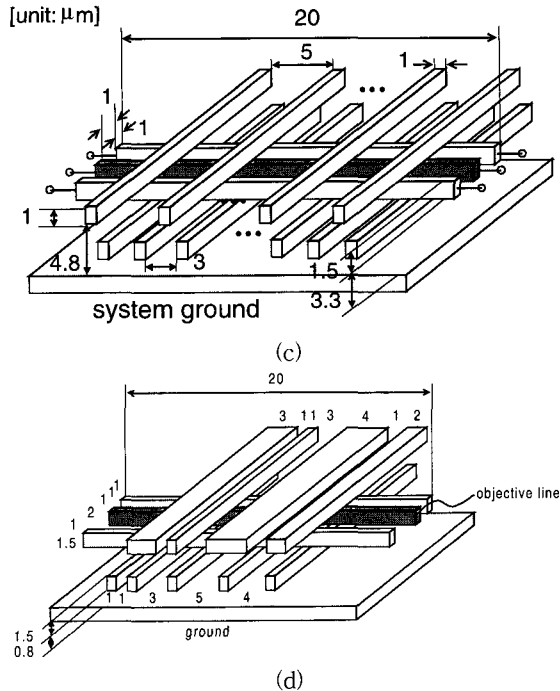


그림 12. 근사적 3차원 커패시턴스 추출을 위한 복잡한 다층 배선 구조
 Fig. 12. Complicated multi-layer structures for the determination of the quasi-3D capacitance.

턴스의 추출은 배선이 밴드나 비아 같은 불연속구간과 만날 때마다 구간을 나누고, 나누어진 각 부분에 대해 차폐효과를 고려한 근사 3차원 커패시턴스 추출 방법을 적용하여 커패시턴스를 구하고 이들 각 부분의 값들을 합침으로써 (즉, $C_{part A} + C_{part B} + C_{part C}$) 전체 배선의 커패시턴스를 얻을 수 있다. 그림 13의 관심있는 배선에 대한 각 부분의 커패시턴스와 총 커패시턴스를 표 IV에서 나타내었다. 표 IV에서 보듯이 불규칙한 구조에 대한 커패시턴스 역시 제안된 방법을 사용하여 쉽게 구할 수 있음을 알 수 있다.

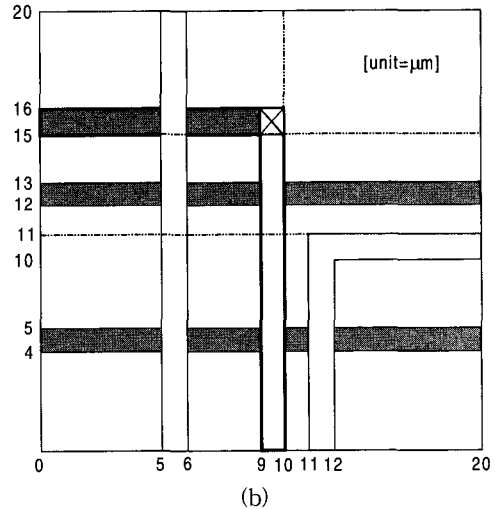
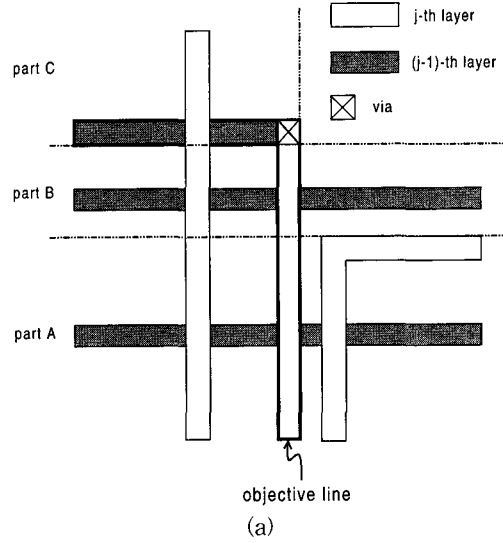


그림 13. 불규칙한 배선 구조 (a) 배선구조 (b) 배선구조의 치수
 Fig. 13. Non-homogenous multi-layer interconnects with bends, vias, and spacings. (a) layout structure. (b) dimension of the structure.

표 3. 그림 12에 대한 실행시간과 정확성
 Table 3. The Accuracy and Runtime Comparison of Fig. 12.

structure	3D field-solver		this work		Error[%]
	total Cap.[fF]	run time[sec]	total Cap.[fF]	run time[sec]	
Fig. 12(a)	4.53	2159	4.64	84	2.4
Fig. 12(b)	4.5	1771	4.73		5.1
Fig. 12(c)	4.48	2063	4.55		1.6
Fig. 12(d)	4.04	2242	3.78		6.4
Tptal	8235[sec]		336[sec]		

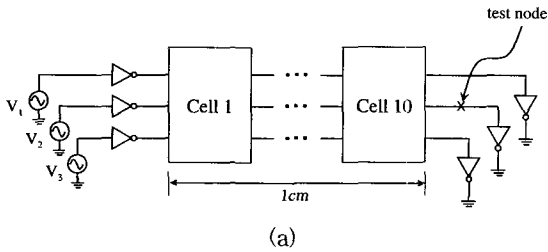
표 4. 그림 13에 대한 각 부분의 커패시턴스와 총 커패시턴스

Table 4. Partial capacitances and total capacitance of Fig. 13.

	3D-field-solver [fF]	Proposed Methodology[fF]				Error (%)
		Part A	Part B	Part C	Part D	
Total Cap. of an objective line	4.31	1.85	0.454	1.78	4.08	-5.34

III. 일반화된 구조에 대한 알고리즘의 응용

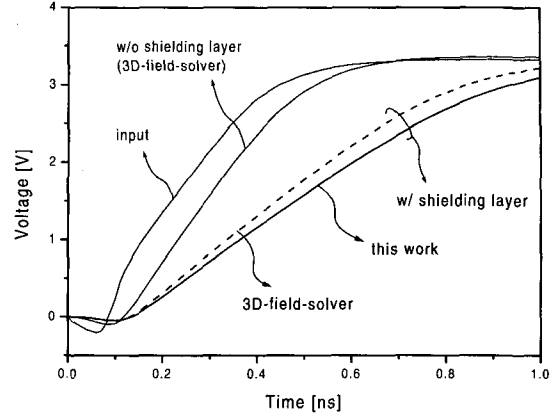
차폐층을 포함하고 있는 매우 복잡한 배선에 대한 신호 지연과 상호간섭을 제안된 근사적3차원 방법을 사용하여 커패시턴스를 추출하고 검증하였다. 차폐효과를 나타내기 위해 그림 12와 13의 다양한 형태의 배선 구조를 갖는 단위를 만들고 이것을 연결하여 그림 14와 같이 구성한 후 배선에서의 신호의 지연과 상호간섭을 분석하였다. 그림 14에서 송신단과 수신단에 사용된 CMOS 인버터의 구조는 $(W/L)_{pmos} = (100/0.35)$ 와



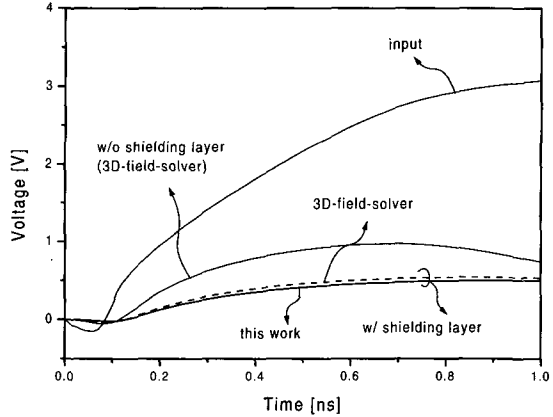
Test Signal	Switching condition			Test node
	V ₁	V ₂	V ₃	
Case-A	0 → 1	0 → 1	0 → 1	Signal delays
Case-B	0 → 1	0 → 0 No input signal	0 → 1	Crosstalk

그림 14. 다양한 배선구조를 위한 테스트 회로 (a) 등가회로 (b) 스위칭 조건

Fig. 14. Test circuit model for various interconnect structures. The circuit is cascaded with 10 cells composed of interconnect lines. (a) Circuit configuration. (b) Switching conditions.



(a)



(b)

그림 15. 그림 14의 회로의 신호응답 (a) 그림 14(b)의 스위칭 조건 A에 대한 신호응답 (b) 그림 14(b)의 스위칭 조건 B에 대한 결함잡음

Fig. 15. Signal transients for the network using the cell of Fig. 14. (a) The signal transients due to the switching case-A of Fig. 14. (b) The crosstalk noises due to the switching case-B of Fig. 14.

$(W/L)_{nmos} = (40/0.35)$ 를 사용하였다. 입력 신호의 상승 시간과 하강시간은 동일하게 설정하였고, 회로의 스위칭 조건은 그림 14(b)와 같이 정의 하였다. 그림 12와 13의 구조에 대한 커패시턴스는 표 III과 표 IV에서 보듯이 본 논문에서 제안한 근사3차원 방법과 3차원 field-solver를 사용하여 추출하였으며, 이 커패시턴스를 사용하여HSPICE를 통해 회로의 성능을 분석하였다. 그림 14의 구조에 대한 회로 응답인 그림 15에서 알 수 있듯이 층이나 배선 사이의 차폐효과로 인한 커패시턴스의 변화는 배선의 전기장의 변화, 즉 차폐커패시턴스와 결합커패시턴스를 바꾸기 때문에 신호지연과

상호간섭에 모두 두드러진 영향을 끼친다는 사실을 알 수 있다. 따라서 오늘날 고성능 VLSI 회로의 신호 순수성 분석을 위해서는 배선의 3차원적인 특성이 무시될 수 없다는 사실을 알 수 있다. 그러나 3차원 특성을 위하여 배선의 커패시턴스를 추출할 때 방대한 계산 시간을 필요로 하는 기존의 3차원 추출 방법으로는 비실용적이다. 이에 반하여, 본 논문을 통해 제안한 근사적3차원 방법은 정확도에 있어서 기존의 3차원 추출 방법을 통해 얻은 결과와 비슷한 정확도를 유지하면서도 계산 시간에 있어서는 기존의 2차원 방법과 거의 비슷하므로 복잡한 배선구조를 해석하는 데에 유용하게 사용될 수 있다.

IV. 요약 및 결론

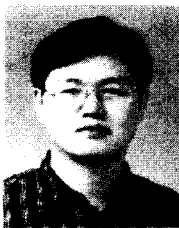
본 논문에서는 새로운 커패시턴스 추출 방법을 제안하였다. 불규칙한 배선 구조를 불연속 면을 기준으로 분할하여 2차원 커패시턴스 추출 방법을 적용하였으며, 시스템내의 전하 분포에 대한 분석을 통해 본질적으로 복잡한 IC 인터커넥트 구조를 단순화 하고 이를 통하여 3차원 영향을 효과적으로 고려할 수 있는 새롭고 효과적인 커패시턴스 추출 방법을 개발하였다. 근사적3차원 방법을 이용하기 위하여, 주어진 레이아웃 구조로부터 차폐효과와 평판 그라운드 기반 커패시턴스를 추출하였다. 3차원 field-solver를 사용하여 추출한 커패시턴스를 사용하여 회로를 시뮬레이션 하고 그 결과와 비교함으로써 제안된 방법의 효율성과 오차율 5% 이내의 정확성을 검증하였다. 따라서 차폐효과와 평판 그라운드 기반 커패시턴스는 레이아웃 구조로부터 쉽게 결정될 수 있으므로 근사적3차원 커패시턴스 추출 방법은 복잡한 VLSI 다층 배선구조에서의 신호의 순수성을 정확하면서도 빠르게 검증하는데 유용하게 사용될 수 있다.

참 고 문 헌

- [1] *International technology roadmap for semiconductors*, SIA Report, 1999.
- [2] P. J. Restle, K. A. Jenkins, A. Deutsch, and P. W. Cook, "Measurement and modeling of on-chip transmission line effects in a 400 MHz microprocess," *IEEE J. Solid-State Circuits*, Vol. 33, No. 4, pp. 662~665, Apr. 1998.
- [3] C. Akrouf, et al, "A 480-MHz RISC microprocessor in a 0.12- μ m Leff CMOS technology with copper interconnects," *IEEE J. Solid-State Circuits*, Vol. 33, No. 11, pp. 1609~1616, Nov. 1998.
- [4] D. W. Bailey and B. J. Benschneider, "Clocking design and analysis for a 600-MHz alpha microprocessor," *IEEE J. Solid-State Circuits*, Vol. 33, No. 11, pp. 1627~1633, Nov. 1998.
- [5] M. T. Bohr, "Interconnect scaling—the real limiter to high performance ULSI," in *IEEE Int. Electron Device Meeting Tech. Dig.*, Dec. 1995, pp. 241~244.
- [6] A. Deutsch, et al, "When are transmission-line effects important for on-chip interconnects?," *IEEE Trans. Microwave Theory Tech.*, Vol. 45, No. 10, pp. 1836~1834, Oct. 1997.
- [7] J. -S. Yim and C. -M. Kyung, "Reducing cross-coupling among interconnect wires in deep-submicron datapath design," in *Proc. 36th Design Automation Conf.*, 1999, pp. 485~490.
- [8] H. B. Bakoglu, *Circuits, interconnects and packaging for VLSI*. New York: Addison-Wesley, 1990.
- [9] W. T. Weeks, "Calculation of coefficients of capacitance of multiconductor transmission lines in the presence of a dielectric interface," *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-18, No. 1, pp. 35~43, Jan. 1970.
- [10] D. Homentcovschi and R. Oprea, "Analytically determined quasi-static parameters of shielded or open multiconductor microstrip lines," *IEEE Trans. Microwave Theory Tech.*, Vol. 46, No. 1, pp. 18~24, Jan. 1998.
- [11] E. A. Dengi, "Boundary element method macromodels for 2-D hierarchical capacitance extraction," in *Proc. 35th Design Automation Conf.*, 1998, pp. 218~223.
- [12] J. Zheng, Z. -F. Li, and X. -N. Qian, "An efficient solver for the three-dimensional capacitance of the interconnects in high speed

- digital circuit by the multiresolution method of moments," *IEEE Trans. Advanced Packaging*, Vol. 22, No. 1, pp. 9~15, Feb. 1999.
- [13] H. -M. How, C. -S. Sheen, and C. -Y. Wu, "A novel modeling technique for efficiently computing 3-D capacitances of VLSI multilevel interconnections-BFEM," *IEEE Trans. Electron Devices*, Vol. 45, No. 1, pp. 200~205, Jan. 1999.
- [14] V. Veremey and R. Mittra, "A technique for fast calculation of capacitance matrices of interconnect structures," *IEEE Trans. Comp. Pack. Manu. Tech.-Part B*, Vol. 21, No. 3, pp. 241~249, Aug. 1998.
- [15] A. H. Zemanian, R. P. Tewarson, C. P. Ju, and J. F. Jen, "Three-dimensional capacitance computations for VLSI/ULSI interconnections," *IEEE Trans. Computer-Aided Design*, Vol. 8, No. 12, pp. 1319~1326, Dec. 1989.
- [16] K. Nabors, S. Kim, and J. White, "Fast capacitance extraction of general three-dimensional structures," *IEEE Trans. Microwave Theory Tech.*, Vol. 40, No. 7, pp. 1496~1506, Jul. 1992.
- [17] J. -H. Chern, J. Huang, L. Arledge, P. -C. Li, and P. Yang, "Multilevel metal capacitance models for CAD design synthesis systems," *IEEE Electron Device Letters*, Vol. 13, No. 1, pp. 32~34, Jan. 1992.
- [18] J. Cong, L. He, A. B. Kahng, D. Noice, N. Shirali and S. H. -C. Yen, "Analysis and justification of a simple, practical 2 1/2-D capacitance extraction methodology," in *Proc. 34th Design Automation Conf., 1997*, pp. 627~632.
- [19] N. D. Arora, K. V. Raol, R. Schumann, and L. M. Richardson, "Modeling and extraction of interconnect capacitance for multilayer VLSI circuits," *IEEE Trans. Computer-Aided Design*, Vol. 15, No. 1, pp. 58~67, Jan. 1996.
- [20] U. Choudhury and A. Sangiovanni-Vincentelli, "Automatic generation of analytical models for interconnect capacitances," *IEEE Trans. Computer-Aided Design*, Vol. 14, No. 4, pp. 470~480, Apr. 1995.
- [21] T. H. Lee, *The Design of CMOS radio-frequency integrated circuits*. New York: Cambridge Univ. Press, 1998.
- [22] A. E. Ruehli and P. A. Brennan, "Capacitance models for integrated circuit metalization wires," *IEEE J. Solid-State Circuits*, Vol. Sc-10, No. 6, pp. 530~536, Dec. 1975.

저 자 소 개



秦佑鎮(正會員)

1998년 한양대학교 전자공학과 졸업. 2000년 한양대학교 대학원 전자공학과 졸업. 2000년~현재 한양대학교 전자공학과 박사 과정. <주관 심분야 : 고속 VLSI 회로 설계, signal integrity, IC 패키지>

魚瀛善(正會員) 第36卷 第11號 參照

沈鍾寅(正會員) 第37卷 第9號 參照