

論文2002-39SD-3-9

자체 스캔 체인을 이용한 Built-In Self-Test 구조에 관한 연구 (A Built-In Self-Test Architecture using Self-Scan Chains)

韓 鎭 旭 * , 閔 炯 福 **

(Jin-Wook Han and Hyoung-Bok Min)

요 약

STUMPS는 스캔 구조를 이용한 자체 테스트로 널리 사용되는 기술이다. 다중 스캔 체인에 STUMPS를 적용할 때 병렬 패턴 생성기로 사용되는 LFSR은 인접한 비트 시퀀스 사이에 높은 correlation이 존재하므로 회로의 고장 검출률을 저하시킨다. 이러한 문제를 해결하기 위해서 하드웨어 오버헤드 증가에도 불구하고 LFSR과 스캔 체인의 입력 사이에 부가적인 조합회로가 놓인다. 본 논문은 다중 스캔 체인을 갖는 순차회로에 대해 회로 자체의 스캔 체인들을 사용하여 유사 무작위 테스트 패턴을 생성하는 효과적인 테스트 패턴 생성 방법과 그 구조를 소개한다. 제안된 테스트 패턴 생성 기술은 기존에 패턴 생성기로 사용되는 LFSR과 조합회로의 구성을 사용하지 않으므로 하드웨어 오버헤드를 줄일 수 있으며 충분히 높은 고장 검출률을 얻을 수 있다. 또한 스캔 체인 당 단지 수 개의 XOR 게이트만이 회로 변형을 위해 필요하므로 설계가 매우 간단하다.

Abstract

STUMPS has been widely used for built-in self-test of scan design with multiple scan chains. In the STUMPS architecture, there is very high correlation between the bit sequences in the adjacent scan chains. This correlation causes circuits lower the fault coverage. In order to solve this problem, an extra combinational circuit block(phase shifter) is placed between the LFSR and the inputs of STUMPS architecture despite the hardware overhead increase. This paper introduces an efficient test pattern generation technique and built-in self-test architecture for sequential circuits with multiple scan chains. The proposed test pattern generator is not used the input of LFSR and phase shifter, hence hardware overhead can be reduced and sufficiently high fault coverage is obtained. Only several XOR gates in each scan chain are required to modify the circuit for the scan BIST, so that the design is very simple.

Key words : Built-In Self-Test, STUMPS, VLSI testing, LFSR, Multiple Scan Chains

* 正會員, 三星電子 情報通信 研究院

(Samsung Electronics Co., Ltd.)

** 正會員, 成均館大學校 電氣 電子 및 컴퓨터 工學部

(Department of Electrical and Computer Engineering
Sung Kyun Kwan University)

※ 본 연구는 2000년도 한국과학재단 목적기초 연구지원에 의한 결과임(과제번호 : 2000-1-30200-002-3).

接受日字:2001年1月5日, 수정완료일:2002年1月7日

I. 서 론

VLSI 회로 설계기술 및 공정기술이 최근 들어 급격히 발달함에 따라 회로의 집적도 및 복잡도 또한 크게 증가하고 있다. 이에 따라 VLSI 회로에 대한 테스트는 점점 더 어려워지고 있으며 테스트에 소요되는 비용도 커지고 있다. 그러므로 완벽한 설계와 더불어 VLSI 시스템의 정상 동작 여부를 보장해 주는 테스트 또한 매

우 중요한 문제가 되고 있다. 따라서 효과적인 테스트의 수행은 테스트 비용의 절감뿐만 아니라 전체 회로의 개발시간을 절약하여 양질의 회로를 만들게 하므로 점점 더 중요하게 여겨지고 있다.

현재 사용되는 전통적인 테스트 기법은 칩 외부에서 테스트 패턴(test pattern)을 인가하고 이에 따른 테스트에 대한 응답을 저장된 정확한 값과 1:1 비교하는 방식이다. 그러나 회로의 복잡도가 점점 증가함에 따라 이러한 테스트 기법은 점차 그 적용이 어려워지고 있다. 이러한 문제점을 효과적으로 해결하기 위한 방법으로서 테스트를 고려한 설계(Design For Testability) 기법이 등장하게 되었으며 그 중 하나가 BIST(Built-In Self-Test)[2,8,15] 기법이다.

BIST는 크고 복잡한 회로를 테스트(testing) 하는데 있어서 가장 중요한 테스트 기법 중 하나이다. BIST는 회로의 한 부분이 회로 자체를 검사하는데 사용된다. 즉, 회로 자체 내에서 테스트 패턴이 생성되고 테스트 결과도 자체 내에서 평가된다. 따라서 테스트를 시작한 후 칩 외부에서는 테스트에 성공했는지 실패했는지 결과만을 확인하면 된다. BIST의 효율은 완전하거나 충분히 높은 고장 검출률(fault coverage)을 얻기 위해 필요한 테스트 적용시간(test application time)과 하드웨어 오버헤드(hardware overhead)에 의해 결정된다. 회로 변형과 성능 저하를 최소화하면서 완전한 고장 검출률을 목표로 하기 위해 좀 더 복잡한 혼합 모드 테스트 패턴 생성뿐만 아니라, 유사 전 경우(pseudo-exhaustive) 테스트와 유사 무작위(pseudo-random) 테스트 기법을 적용한다^[1].

본 논문에서는 다중 스캔 체인(multiple scan chain)을 갖는 스캔 BIST 회로에 대해 테스트 패턴을 효과적으로 생성할 수 있는 설계 방법을 제안한다. 이 기법은 이제까지 패턴 생성기로 사용된 LFSR(Linear Feedback Shift Register)^[2,4] 대신에 회로 자체의 스캔 플립플롭들로 연결된 스캔 체인들을 사용하여 유사 무작위 패턴을 발생시키도록 회로를 설계한다.

이와 같이 회로 자체의 스캔 플립플롭들을 이용하여 유사 무작위 테스트를 할 수 있는 기법으로는 CBIST(Circular BIST)^[8,9] 기법이 있다. 이 기법은 회로 자체의 플립플롭들 중 일부를 스캔 플립플롭으로 변형하여 CSTP(Circular Self-Test Path)^[8,9]를 이루어 테스트 패턴을 생성하고 회로의 응답을 평가하는 방법이다. 그러나 이 기법은 전체 회로에 대해 하나의 partial 스캔 체

인을 적용하였고 CSTP는 단지 피드백 쉬프트 레지스터이며 LFSR 형태로 구현되지 않았다.

본 논문에서 제안한 기법은 다중 스캔 체인이 적용되는 비교적 큰 순차회로에 대해서 수 개의 XOR 게이트를 이용하여 회로 자체 스캔 체인을 LFSR로 변형하여 테스트 패턴을 생성한다. 그러므로 하드웨어 오버헤드가 작으며 시스템 클럭(system clock)을 사용하여 빠른 속도의 테스트를 할 수 있다. 또한 제안한 패턴 생성기는 설계가 매우 간단하며 양질의 패턴을 생성하여 충분한 고장 검출률을 얻을 수 있다.

II. 다중 스캔 체인을 갖는 회로에 대한 스캔 BIST

스캔 구조를 이용하는 기존의 BIST 기법을 여기에서 요약한다. STUMPS 구조에서 테스트 패턴 생성기로 사용된 LFSR의 문제점과 이를 해결하기 위해 사용된 phase shifter 기법을 소개한다. 본 논문에서는 이 phase shifter 기법과 본 논문에서 제안한 기법을 비교할 것이다.

1. 테스트 패턴 생성기로 사용되는 LFSR

BIST는 테스트 패턴을 칩 내부에서 생성하고 그 테스트 응답 또한 칩 내부에서 압축하여 단지 고장(fault)의 유무만을 외부에 알려주는 매우 효율적인 테스트 기법이다. 이 기법의 장점으로는 테스트 패턴의 생성이 매우 쉽고 또한 칩의 동작 주파수에 의해 수행 가능하므로 테스트 적용시간이 적게 걸리며 테스트 응답의 비교를 위한 부수적인 테스트 장비가 필요하지 않다는 점이다.

무작위 테스트 패턴을 사용하는 경우 같은 테스트 패턴이 반복될 수 있으므로 그 효율이 떨어질 수 있다. 따라서 모든 테스트 패턴을 같은 확률로 생성되며 반복되지 않도록 하는 유사 무작위 테스트 패턴을 사용하게 된다. 이는 LFSR을 사용하여 생성될 수 있다.

LFSR은 클럭 이외에 다른 입력은 없고 D-플립플롭과 XOR 게이트만으로 구성되며 출력 값들은 일정 길이로 반복되는 특징을 가지므로 유사 무작위 테스트 패턴을 생성할 수 있다. n개의 플립플롭을 갖는 이진 카운터가 0, 1, ..., 2^n-1 까지의 상태를 계속해서 반복하듯이 n개의 플립플롭을 갖는 LFSR은 최대 2n개의 상태를 갖게 된다. 초기 값이 0이 아닌 경우 2n-1개의 길이 갖는 신호를 생성해내는 LFSR을 최대 길이

(Maximal Length)를 갖는 LFSR이라 한다^[8,15].

XOR 게이트가 외부에 위치한 LFSR을 그림 1에 나타내었다. C_i 는 이전 상수로서 $C_i=0$ 일 경우는 끊어진 상태를 $C_i=1$ 은 연결된 상태를 나타낸다.

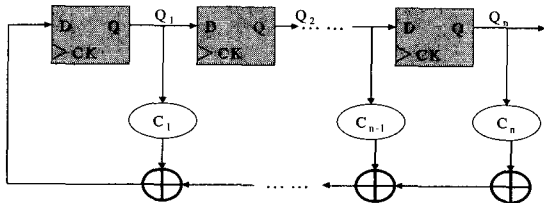


그림 1. LFSR의 구조
Fig. 1. The structure of LFSR.

LFSR이 출력할 수 있는 반복되지 않는 가장 긴 길이(maximal length)의 신호를 발생시킬 수 있는 특성 다항식을 원시 다항식(primitive polynomial)^[2,4]이라 부르며 이러한 원시 다항식에 의해 구현된 LFSR이 생성하는 패턴을 유사 무작위 패턴이라 부른다. 이 패턴들은 무작위처럼 보이지만 실제적으로는 규칙을 갖고 반복되는 패턴을 생성해 낸다^[8,15].

2. STUMPS 구조에 대한 스캔 BIST

하나의 스캔 체인으로 이루어진 회로는 스캔 체인의 길이가 길 때 이 회로를 테스트하는 경우 테스트 적용 시간이 매우 길어지게 된다. 따라서 테스트를 고려한 대부분의 설계에서는 테스트 적용시간을 줄이기 위해서 다중 스캔 체인을 적용한다.^[3,7] 이 때 LFSR이 병렬로 다중 스캔 체인으로 입력되는 2차원 테스트 패턴 생성기로 사용된다. LFSR을 사용한 유사 무작위 테스트 패턴은 테스트 패턴 생성기 구현을 위해 간단한 하드웨어가 필요하며 이에 대한 설계가 매우 쉽다는 장점이 있다.^[1]

이와 같이 테스트를 요하는 회로(CUT : Circuit Under Test)가 다중 스캔 체인을 포함한다면 병렬 패턴 생성기(parallel SRSG)와 다중 입력 부호 압축기(MISR : Multiple Input Signature Register)^[2]가 필요하다. 실제 회로 테스트에 적용되는 BIST 기법 중에서 병렬 유사 무작위 패턴 생성기(parallel pseudo-random pattern generator)와 다중 입력 부호 압축기로 이루어진 STUMPS(Self-Testing using MISR and parallel SRSG)의 구조^[3,5,6]를 그림 2에서 보였다. 이 방식에서 다중 스캔 체인은 LFSR에 의해 병렬로 구동되며 테스

트 응답은 다중 입력 부호 압축기를 사용하여 압축시킨다.

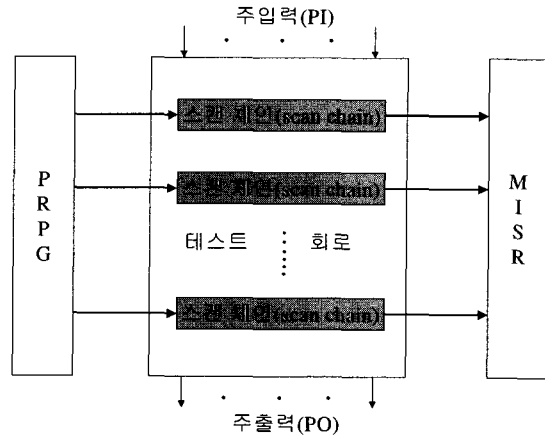


그림 2. STUMPS의 구조
Fig. 2. The STUMPS architecture.

그러나 패턴 생성기가 LFSR에 의해서만 구현된다면 이웃한 스캔 체인으로 입력되는 다중 비트 시퀀스는 단지 작은 쉬프트 된 차이만 있으므로 이러한 높은 correlation으로 인하여 회로의 고장 검출률을 저하시키며 이를 그림 3에서 보였다.^[1,3]

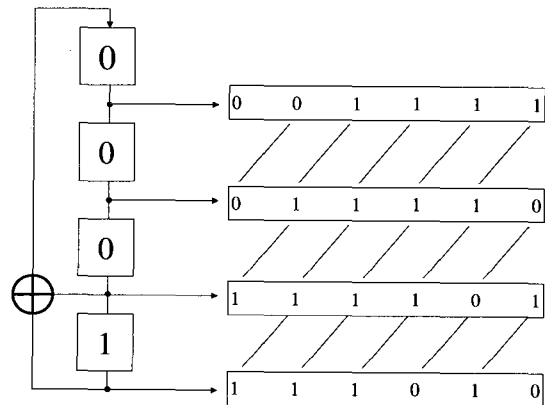


그림 3. LFSR이 생성하는 다중 비트 시퀀스
Fig. 3. LFSR generating multiple bit sequences.

그러므로 이러한 문제를 해결하기 위해서 그림 2의 PRPG는 일반적으로 LFSR과 LFSR의 출력을 여러 개의 correlation 없는 신호로 바꿔주는 phase shifter^[1,3]로직의 조합으로 구현된다. 전형적인 phase shifter 로직은 그림 4에서 보여지는 것처럼 스캔 체인을 구동하는 테스트 데이터 시퀀스의 충분히 쉬프트 된 버전을

생성하기 위해서 XOR 네트워크로 구성된다. 그러나 phase shifter의 사용은 회로의 하드웨어 오버헤드를 증가시키는 원인이 되며 phase shifter 설계 및 합성 또한 간단하지 않다.

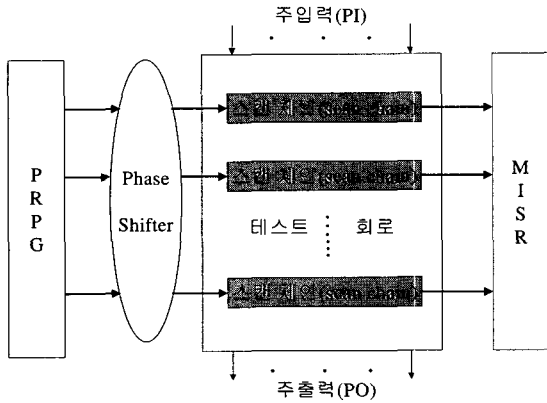


그림 4. Phase shifting에 의한 correlation 없는 신호 생성
 Fig. 4. Generation of no correlated signals by phase shifting.

III. 자체 스캔 체인을 이용한 스캔 BIST

본 논문에서 제안하는 새로운 스캔 BIST 구조를 여기에 보였다. 또한 새로운 구조에서 회로 자체에서 테스트 패턴을 생성하고 이에 대한 응답을 평가하는 테스트 수행 방법도 기술하였다.

1. 스캔 체인 구조

LFSR을 사용한 병렬 패턴 생성기는 각 스캔 체인에 인가되는 비트 시퀀스 사이의 correlation으로 인하여 부가적인 phase shifter의 추가가 필수 불가결하다. 이러한 하드웨어 오버헤드의 증가는 BIST를 이용한 테스트에서 치명적인 단점이 될 수 있으며 phase shifter의 설계 및 합성 또한 간단하지 않다. 그러므로 LFSR과 phase shifter의 조합을 사용하지 않고 효과적인 테스트를 할 수 있는 방법을 소개하고자 한다. 이것은 다중 스캔 체인을 갖는 BIST 회로에서 회로 자체의 스캔 체인들을 이용하여 테스트 패턴을 생성할 수 있는 기법이다.

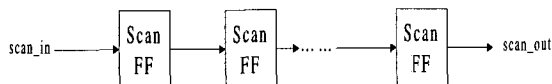


그림 5. 스캔 체인
 Fig. 5. The scan chain.

그림 5는 스캔 설계를 한 후 회로의 플립플롭들이 스캔 체인으로 연결된 상태를 보여준다. 회로가 테스트 모드 시에 각 플립플롭들은 이와 같이 스캔 체인으로 연결됨으로써 회로를 효과적으로 테스트 할 수 있다. 여기에서 이 스캔 체인을 그림 6처럼 회로를 변형함으로써 회로에 적용될 테스트 패턴을 자체적으로 생성할 수 있다. 기존의 스캔 체인을 XOR 게이트를 이용하여 LFSR 구조로 변형하는 것이다. 여기서 테스트 모드 시에 플립플롭들을 초기화하기 위해서 master reset 핀이나 혹은 scan_in 핀이 요구된다.

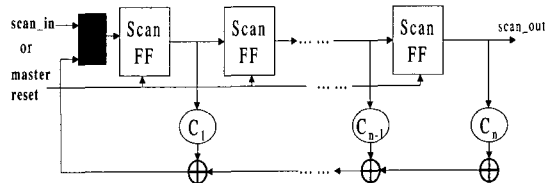


그림 6. 테스트 패턴 생성기를 위한 스캔 체인의 변형된 구조
 Fig. 6. The modified structure of scan chain using as test pattern generator.

2. 정상/테스트 모드 시 회로 동작

회로가 정상 모드 동작 시에는 각 스캔 플립플롭들에 정상 모드를 적용하여 스캔 체인으로 연결되지 않고 정상 동작을 하게 된다.

회로를 테스트 모드에서 동작시킬 때에는 다음과 같은 스텝들이 필요하다.

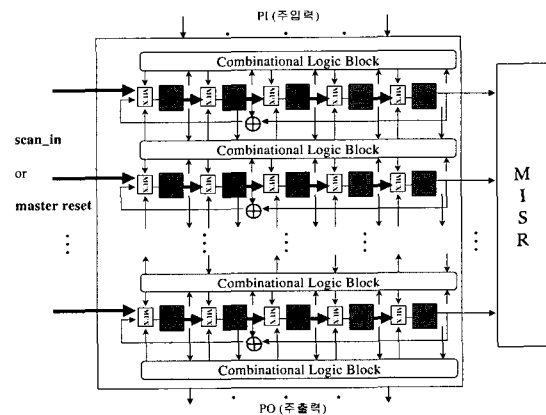


그림 7. Step 1 : 플립플롭의 초기화
 Fig. 7. Step 1 : Initialize flip-flops.

Step 1 : 초기화

모든 플립플롭들은 master reset 핀에 의해 리셋되거나 scan_in 단자에 시드 값을 인가하여 초기화한다. 단순히 scan_in 단자에 0 혹은 1로 고정된 값을 인가하여 스캔 체인의 길이만큼의 클럭을 주는 것으로 충분하다.

master reset이나 scan_in 단자는 이 스텝에서만 사용된다. 그림 7에서 굵은 선으로 표시된 신호들이 이 스텝에서 사용되는 신호이다.

Step 2 : 회로 테스트

회로는 정상 모드로 동작한다. 이 때 회로는 플립플롭들에 저장된 값과 주입력 패턴에 의하여 테스트된다. 그 후에 시스템 클럭을 인가하여 테스트 결과를 플립플롭들에 적재한다. 그림 8에서 굵은 선으로 표시된 신호들이 이 스텝에서 사용되는 신호들이다.

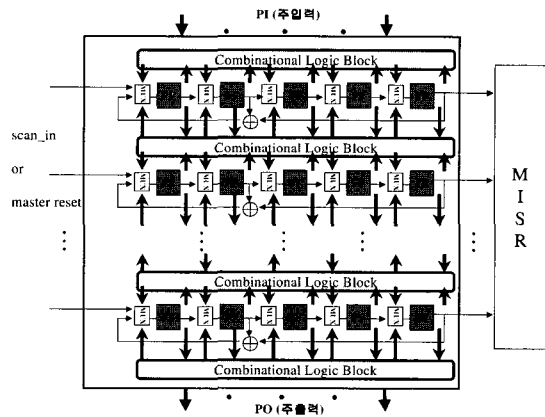


그림 8. Step 2 : 회로 테스트
Fig. 8. Step 2 : Testing of CUT.

Step 3 : 테스트 응답 평가 및 새로운 테스트 패턴 생성

회로는 다시 테스트 모드로 돌아와서 플립플롭에 적재된 테스트 응답을 각 스캔 체인의 플립플롭 수만큼 클럭을 인가하여 MISR로 쉬프트 되면서 압축하게 된다. scan_out 핀을 통하여 적재된 값을 쉬프트 시키는 동시에 새로운 패턴이 각 플립플롭에 저장된다. 이 때 각 스캔 체인은 LFSR로 동작하므로 MISR로 보내지는 값들은 피드백 되면서 XOR 연산에 의한 새로운 패턴이 생성된다. 그림 9에서 굵은 선으로 표시된 신호들이 이 스텝에서 사용되는 신호들이다. 굵은 선을 보면 각 스캔 체인은 스캔 플립플롭들과 XOR 게이트에 의해 LFSR 구조를 이룸을 알 수 있다.

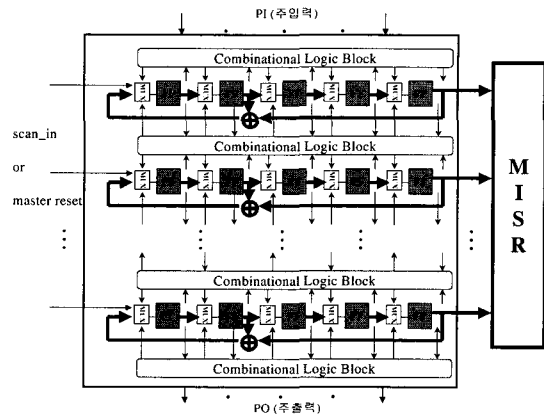


그림 9. Step 3 : 테스트 응답 평가 및 새로운 테스트 패턴 생성
Fig. 9. Step 3 : Response evaluation and Next pattern generation.

Step 4 : 테스트 반복

테스트가 더 필요한 경우 Step 2와 Step 3을 반복 수행한다.

각 스텝에 대한 데이터의 전달 경로를 그림 7부터 그림 9까지 나타내었다.

이 그림들은 그림 6에서 보여진 변형된 스캔 체인 구조를 전체 회로의 다중 스캔 체인에 적용한 경우이다. 이 그림들은 5개 플립플롭들로 이루어진 스캔 체인 구조에 대한 예를 보여준다. 전체적인 회로의 구조 변화는 각 스캔 체인을 원시 다항식에 기초하여 최대 길이를 갖는 LFSR 형태로 변형시키는 것이다.

테스트 모드 시에 회로의 응답은 플립플롭에 적재된다. 이 때 적재된 값들은 이전에 인가된 테스트 패턴에 대한 응답이다. 이 회로의 응답은 MISR로 보내져서 압축되고 예상되는 정상적인 값과 비교하게 된다. 테스트 후 회로의 응답이 scan_out 단자를 통해 MISR로 보내지는 동시에 LFSR과 같은 동작을 하도록 변형된 스캔 체인의 입력으로 다시 인가되어 회로 자체에서 테스트 패턴을 생성할 수 있게 한다. 이와 같이 모든 스캔 체인들을 LFSR 형태로 변형을 함으로써 새로운 테스트 패턴을 생성할 수 있다.

IV. 구현 및 결과

새로운 테스트 패턴 생성기에 대한 효율을 검증하기

위한 일련의 실험들은 ISCAS-89 벤치마크 회로를 가지고 수행되었다. ISCAS-89 회로 중에 다중 스캔 체인을 적용하기에 충분한 플립플롭들을 갖고 있는 회로들을 선택하여 1000개의 패턴을 적용하였다. 스캔 체인은 상업적인 카드 툴(CAD tool)을 사용하여 설계되었고 제안한 구조는 최대 길이를 갖는 LFSR로 동작하도록 구현하였다.

새로운 테스트 패턴에 대한 질을 평가하기 위해 주입력에는 고장 시뮬레이터(fault simulator)에서 제공하는 무작위 패턴을 인가하였으며 제안한 패턴 생성기 대한 고장 검출률의 결과를 phase shifter를 가지고 있는 STUMPS 구조와 비교·분석하였다. Phase shifter를 사용한 패턴 생성기의 경우는 회로의 스캔 체인 수에 따라 LFSR의 크기를 적용하였으며 스캔 체인들 중에 가장 많은 플립플롭을 갖는 그 스캔 체인의 플립플롭 수만큼 phase shifting을 적용하였다. 또한 phase shifter를 사용한 경우와의 비교에서 공정성을 위해서 스캔 체인 수를 바꿔가면서 테스트 패턴에 대한 효율을 비교하였다. 즉, phase shifter를 사용한 경우는 회로의 스캔 체인 수로 LFSR의 크기가 정해지고 제안한 자체 스캔 체인을 이용한 패턴 생성기의 경우는 스캔 체인에 포함된 플립플롭 수인 스캔 체인의 길이로 LFSR이 적용되므로 이의 공정성을 위해서 여러 가지로 스캔 체인 수를 변형하여 실험을 하였다.

표 1에는 선택된 ISCAS-89 회로들의 주입력 수, 주출력 수, D-플립플롭 수와 게이트 수가 나타나 있다. 이 회로들에 대해 다중 스캔 체인을 적용한 후 각 스

캔 체인이 몇 개의 플립플롭들로 이루어졌는지를 표 2에서 보여주며 스캔 체인들을 제안한 패턴 생성기로 변형하기 위해 사용된 총 XOR 게이트 수를 표 3에서 보여준다. 예를 들어 s5378 회로에서 10개의 스캔 체인을 적용한 경우를 보면 18개 플립플롭들로 구성된 9개 스캔 체인들과 17개 플립플롭들로 이루어진 1개의 스캔 체인이 있다는 것을 표 2에서 알 수 있다. 그리고 이 회로를 위해 사용된 XOR 게이트 수가 표 3에 의해서 10개임을 알 수 있다.

표 2. 다중 스캔 체인을 적용한 후 스캔 체인 당 플립플롭 수

Table 2. The number of flip-flops in each scan chains used for experiments.

회 로	스캔 체인 수	각 스캔 체인에 해당하는 플립플롭 수
s5378	7개	4 scan chains : 26 FFs 3 scan chain : 25 FFs
	10개	9 scan chains : 18 FFs, 1 scan chain : 17 FFs
	13개	10 scan chains : 14 FFs 3 scan chains : 13 FFs
s38417	26개	24 scan chains : 63 FFs 2 scan chains : 62 FFs
	40개	36 scan chains : 41 FFs 4 scan chains : 40 FFs
	54개	16 scan chains : 31 FFs 38 scan chains : 30 FFs
s38584.1	20개	6 scan chains : 72 FFs 14 scan chains : 71 FFs
	38개	20 scan chains : 38 FFs 18 scan chains : 37 FFs
	56개	26 scan chains : 26 FFs 30 scan chains : 25 FFs
s35932	35개	13 scan chains : 50 FFs 22 scan chains : 49 FFs
	42개	6 scan chains : 42 FFs 36 scan chains : 41 FFs
	45개	18 scan chains : 39 FFs 27 scan chains : 38 FFs

표 1. ISCAS-89 벤치마크 회로 정보

Table 1. The information of ISCAS-89 benchmark circuits.

회 로	주입력 수	주출력 수	D-플립플롭 수	게이트 수
s1423	17개	5개	74개	490 게이트
s5378	35개	49개	179개	1004 게이트
s38417	28개	106개	1636개	8709 게이트
s38584.1	38개	304개	1426개	11448 게이트
s35932	35개	320개	1728개	12204 게이트

표 3. 회로 변형을 위해 사용된 총 XOR 게이트 수

Table 3. The total XOR gates for circuit modification.

회로	스캔 체인 수	총 사용된 XOR 게이트 수
s5378	7개	(2 XORs × 4 scan chains)+ (1 XOR × 3 scan chain) = 11개
	10개	(1 XOR × 9 scan chains)+ (1 XOR × 1 scan chain) = 10개
	13개	(3 XORs × 10 scan chains)+ (3 XORs × 3 scan chains)= 39개
s38417	26개	(1 XORs × 24 scan chains)+ (3 XORs × 2 scan chains)= 30개
	40개	(1 XOR × 36 scan chains)+ (3 XORs × 4 scan chains)= 48개
	54개	(1 XOR × 16 scan chains)+ (3 XORs × 38 scan chains)=130개
s38584.1	20개	(3 XORs × 6 scan chains)+ (1 XOR × 14 scan chains)= 32개
	38개	(3 XORs × 20 scan chains)+ (3 XORs × 18 scan chains)=114개
	56개	(2 XORs × 26 scan chains)+ (1 XOR × 30 scan chains)= 82개
s35932	35개	(3 XORs × 13 scan chains)+ (1 XOR × 22 scan chains)= 61개
	42개	(3 XORs × 6 scan chains)+ (1 XOR × 36 scan chains)= 54개
	45개	(1 XOR × 18 scan chains)+ (3 XORs × 27 scan chains)= 99개

다음 표 4에서는 패턴 생성기로 사용되는 LFSR과 Phase Shifter의 조합과 제안한 회로에 대해 추가된 면적 오버헤드를 비교하였다. 표 4에서 볼 수 있듯이 추가된 면적 오버헤드는 본 논문에서 제안한 회로의 경우 더 작은 area를 갖는 것을 알 수 있다. 여기에서 Self-Scan Chain 열은 제안한 구조의 경우이고 Phase Shifter 열은 LFSR과 phase shifter의 조합을 사용한 패턴 생성기의 추가된 area이다.

표 4. 추가된 면적 오버헤드 비교

Table 4. Area overhead.

회로	스캔 체인 수	Self-Scan Chain	Phase Shifter
s5378	7개	33	95
	10개	30	154
	13개	117	265
s38417	26개	90	810
	40개	144	1516
	54개	390	2599
s38584.1	20개	96	506
	38개	342	1385
	56개	246	2678
s35932	35개	183	260
	42개	162	1739
	45개	297	1753

표 2와 표 3에 의하여 스캔 설계를 한 회로에 대해 LFSR과 phase shifter 조합으로 생성된 패턴과 제안한 회로를 이용하여 생성된 1000개의 패턴을 적용하여 얻어진 고장 검출률을 표 5에 나타내었다. 여기에서 Self-Scan Chain 열은 제안한 구조에서 생성된 패턴을 가지고 고장 검출률을 얻은 경우이며 Phase Shifter 열은 LFSR과 phase shifter의 조합을 사용하여 얻어진 고장 검출률이다.

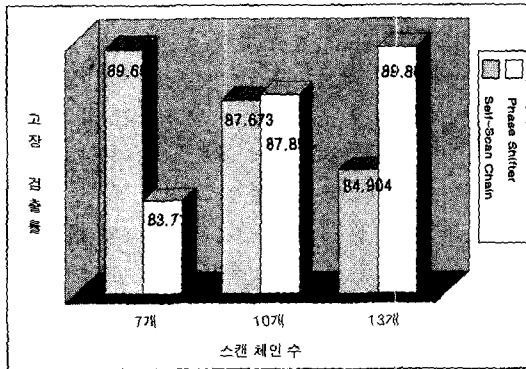
표 5에서 보여주듯이 제안된 구조에서는 스캔 체인 수가 작을수록 더 높은 고장 검출률을 얻는 것을 볼 수 있다. 이것은 스캔 체인 수가 줄어들수록 이에 대한 각 스캔 체인 당 플립플롭 수는 늘어난다는 것을 의미한다. 즉, 스캔 체인의 플립플롭 수가 스캔 체인 수보다 큰 경우 다시 말하면, phase shifter에서 사용되는 LFSR의 크기가 더 작은 경우를 말한다.

이는 LFSR의 경우 그 크기가 클수록 좀 더 양질의 패턴을 생성하므로 회로의 스캔 체인 수보다 스캔 당 플립플롭 수가 많을수록 제안한 구조에서 생성되는 패턴들에 의해서 좀 더 좋은 결과를 얻을 수 있음을 나타낸다. 이에 대하여 그림 10에서는 표 5에 대한 스캔 체인 수와 고장 검출률의 관계를 보여준다. 가운데 그래프는 phase shifter를 사용한 경우와 제안한 구조의

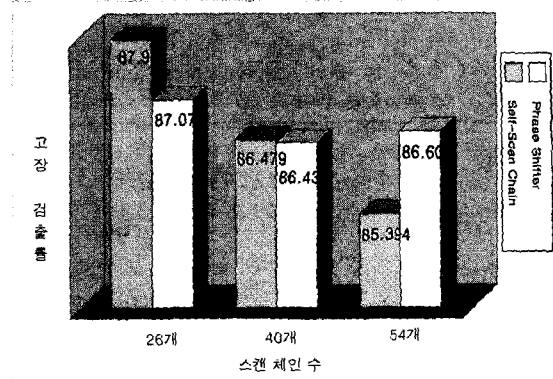
경우의 LFSR 크기가 비슷한 경우이며 이것은 표 5에서 알 수 있다. 그림에서 보여주듯이 각 회로에서 스캔 체인 수가 작을수록 또는 스캔 체인 당 플립플롭 수가 클수록 고장 검출률이 높게 나타나며 phase shifter의 경우와 상대적임을 알 수 있다.

표 5. 고장 검출률
Table 5. The fault coverage.

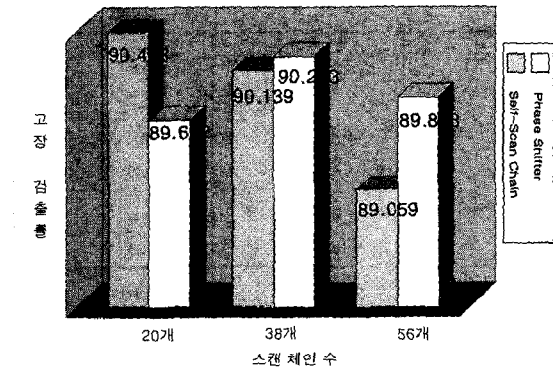
회로	스캔 체인 수	Self-Scan Chain	Phase Shifter
s5378	7개	89.695 %	83.718 %
	10개	87.673 %	87.893 %
	13개	84.904 %	89.804 %
s38417	26개	87.960 %	87.075 %
	40개	86.479 %	86.437 %
	54개	85.394 %	86.607 %
s38584.1	20개	90.483 %	89.692 %
	38개	90.139 %	90.263 %
	56개	89.059 %	89.893 %
s35932	35개	89.551 %	89.804 %
	42개	89.397 %	89.804 %
	45개	89.131 %	89.804 %



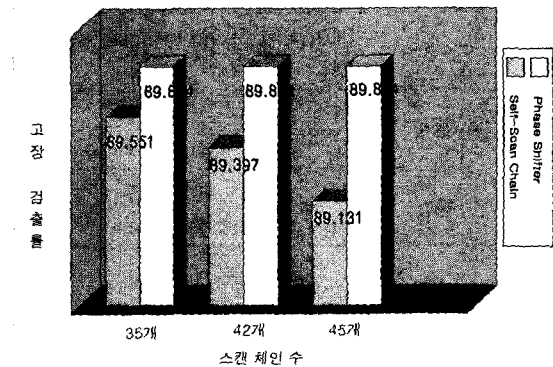
(a) s5378 회로 (a) s5378 circuit



(b) s38417 회로 (b) s38417 circuit



(c) s38584.1 회로 (c) s38584.1 circuit



(d) s35932 회로 (d) s35932 circuit

그림 10. 스캔 체인 수와 고장 검출률의 관계(표 4)
Fig. 10. The relationship between scan chain number and fault coverage (Table. 4).

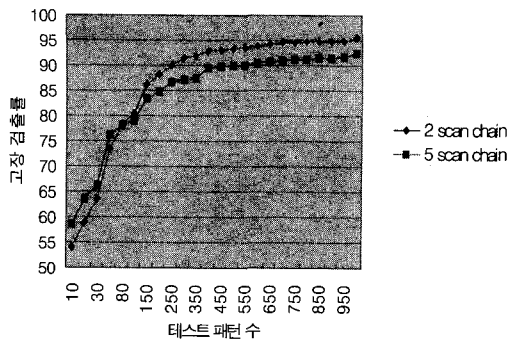
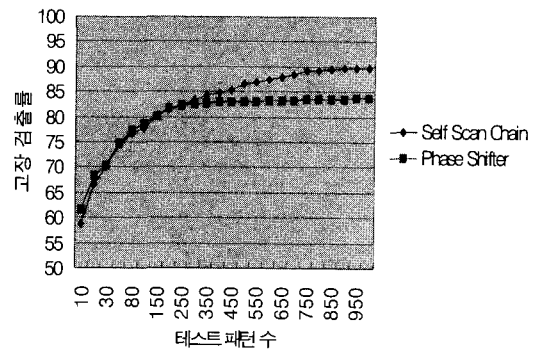


그림 11. s1423 회로의 고장 검출률 그래프
Fig. 11. The graph of fault coverage for s1423 circuit.

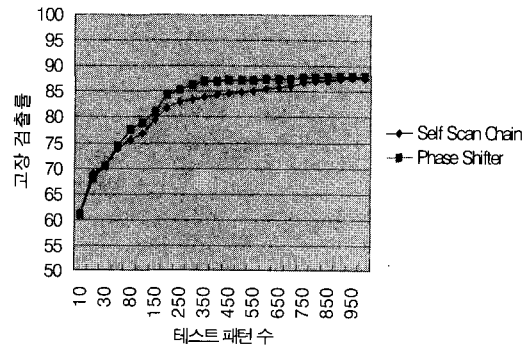
그림 11에서는 s1423 회로를 사용하여 제안한 구조에 대해 5개의 스캔 체인을 사용한 경우와 2개의 스캔 체인을 사용한 경우를 비교한 그래프를 보여준다. 이 회로는 플립플롭 수가 적기 때문에 많은 수의 스캔 체인을 적용하기 어려우므로 phase shifter를 사용한 경우와 비교하지 않았다.

그림 11에서 2 스캔 체인을 적용한 경우는 37개의 플립플롭들을 가지고 LFSR을 구현하였고 5 스캔 체인의 경우는 15개와 14개의 플립플롭들로 LFSR을 제안된 구조로 구현하여 테스트 패턴을 생성한 경우이다. 그림에서도 알 수 있듯이 5 스캔 체인을 적용한 경우보다 2 스캔 체인을 적용한 경우 더 좋은 결과를 얻을 수 있다. 이는 앞서 기술한 것처럼 더 많은 플립플롭을 가지고 LFSR로 구현하여 패턴을 생성했기 때문이다.

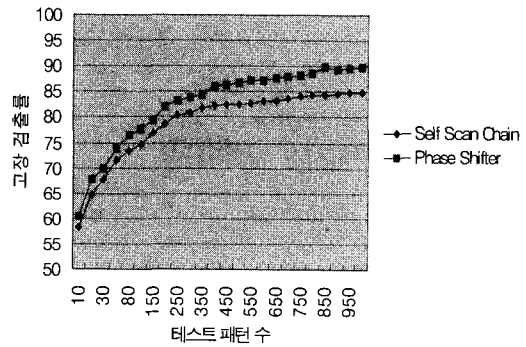
그림 12, 그림 13, 그림 14 그리고 그림 15에서는 표 4의 s5378, s38417, s38584.1 및 s35932 회로들에 대해 제안한 구조와 phase shifter를 비교한 고장 검출률 그래프를 나타내었다. 여기에서도 알 수 있듯이 제안한 구조에서 (c)보다는 (b) 그리고 (b)보다는 (a)의 경우 좀 더 좋은 결과를 얻을 수 있음을 보여준다.



(a) 7 스캔 체인 (a) 7 scan chain

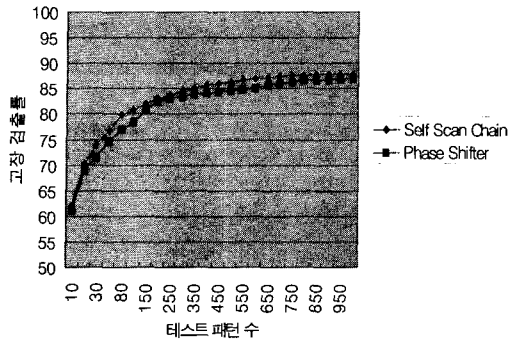


(b) 10 스캔 체인 (b) 10 scan chain

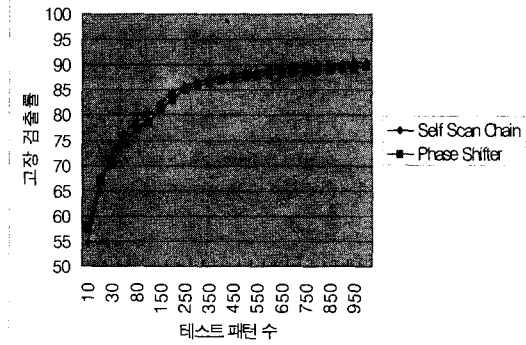


(c) 13 스캔 체인 (c) 13 scan chain

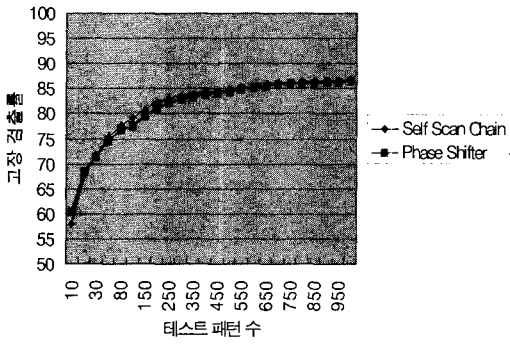
그림 12. s5378 회로의 고장 검출률 그래프
Fig. 12. The graph of fault coverage for s5378 circuit.



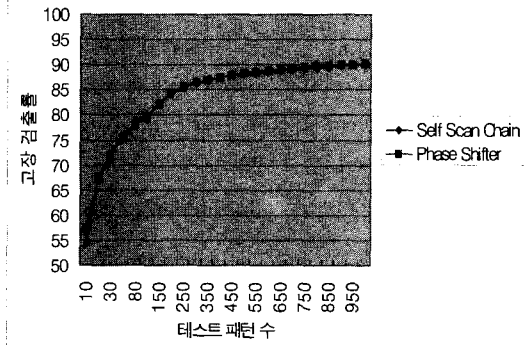
(a) 28 스캔 체인 (a) 28 scan chain



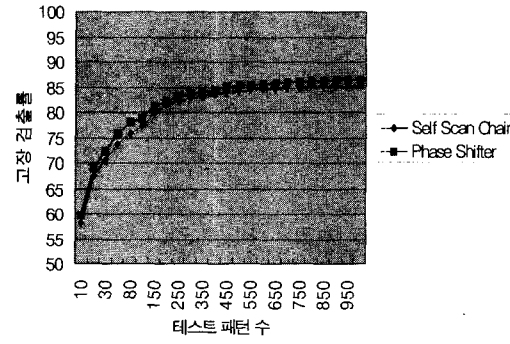
(a) 20 스캔 체인 (a) 20 scan chain



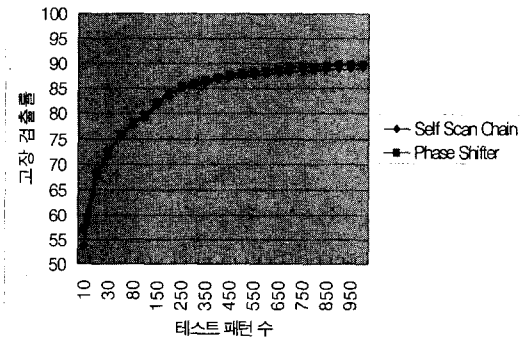
(b) 40 스캔 체인 (b) 40 scan chain



(b) 38 스캔 체인 (b) 38 scan chain



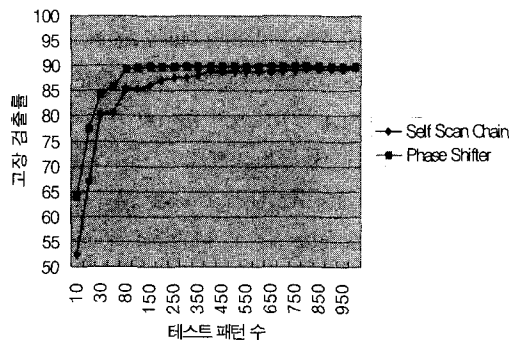
(c) 54 스캔 체인 (c) 54 scan chain



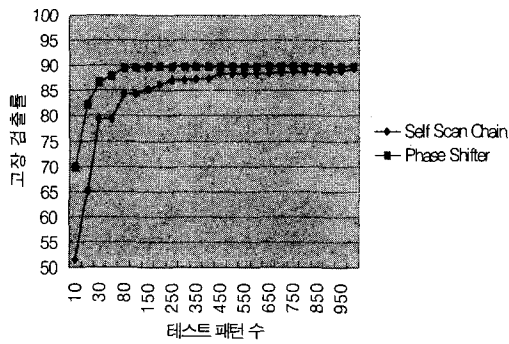
(c) 56 스캔 체인 (c) 56 scan chain

그림 13. s38417 회로의 고장 검출률 그래프
Fig. 13. The graph of fault coverage for s38417 circuit.

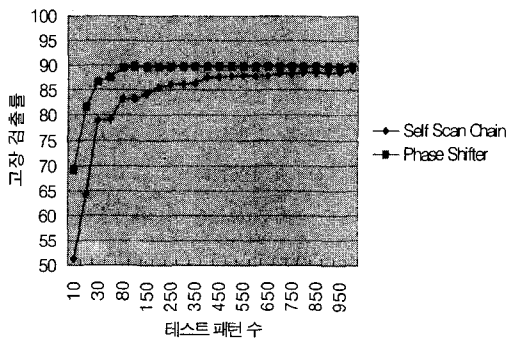
그림 14. s38584.1 회로의 고장 검출률 그래프
Fig. 14. The graph of fault coverage for s38584.1 circuit.



(a) 35 스캔 체인 (a) 35 scan chain



(b) 42 스캔 체인 (b) 42 scan chain



(c) 45 스캔 체인 (c) 45 scan chain

그림 15. s35932 회로의 고장 검출률 그래프
Fig. 15. The graph of fault coverage for s35932 circuit.

V. 결론

본 논문에서는 다중 스캔 체인을 갖는 스캔 BIST 회로에 대해 회로 자체의 스캔 체인을 LFSR과 같은 동작을 하도록 변형하여 테스트 패턴을 생성할 수 있는 구조를 제안하였다. 새롭게 제안한 테스트 패턴 생성기

구조에 대한 평가 결과는 다음과 같다.

1. 하드웨어 오버헤드의 감소

기존에 사용되어 온 LFSR과 phase shifter의 조합을 사용하지 않으므로 그 만큼 하드웨어 오버헤드가 감소한다. 그런데 스캔 체인 수가 적을수록 제안한 구조의 경우 좀 더 좋은 고장 검출률을 얻고 phase shifter를 사용한 경우에는 하드웨어 오버헤드가 줄어든다. 그러나 표 4와 표 5의 경우를 보면 제안한 구조가 하드웨어 오버헤드도 작고 좋은 고장 검출률도 얻을 수 있음을 알 수 있다. 제안한 구조를 위해서는 최대 길이를 갖는 LFSR을 구현하기 위해 각 스캔 체인 당 수 개의 XOR 게이트와 추가적인 라우팅이 필요하다.

2. 간단한 설계

회로 자체의 스캔 체인을 이용하므로 회로 변형을 위한 설계가 매우 간단하다. Phase shifter를 사용한 경우에는 설계 및 합성이 쉽지 않다.

3. 양질의 패턴

일반적인 스캔 설계된 회로의 경우 주입력의 수는 제한되어 있다. 그러므로 스캔 입력 핀 수보다는 각 스캔 체인 당 플립플롭 수가 많다. 이로 인하여 실험 결과에서 나타난 것처럼 제안한 구조로 설계를 한 경우 더 좋은 결과를 얻을 수 있다.

4. 스캔 테스트

BIST 회로에 대해 좀 더 좋은 고장 검출률을 얻기 위해서 혼합 모드로 deterministic 패턴을 적용하는 경우에는 스캔 테스트를 가능하도록 해야 한다. 이 경우에는 각 스캔 입력 단자에 멀티플렉서를 달아서 해결할 수 있다.

5. 테스트 패턴 생성을 위한 로직 시뮬레이션(Logic Simulation)

제안한 구조에 대해 테스트 패턴을 생성하기 위해서는 로직 시뮬레이션이 필요하다. 그러나 LFSR을 이용한 경우에도 MISR에서 압축된 값과 비교하기 위한 예상된 기대값을 얻기 위해 로직 시뮬레이션을 해야 하므로 전체적으로 보면 큰 시간 지연은 없다.

실험 결과를 보면 스캔 체인의 플립플롭 수가 스캔 체인 수보다 많은 경우 전체적으로 phase shifter를 사용한 경우와 비슷하거나 더 좋은 결과를 얻었다. 그러나 s35932 회로의 경우는 제안한 구조에 대해 회로의 응답이 일정한 값이 여러 개 발생하여 phase shifter를

사용한 결과보다는 작게는 0.3정도이고 크게는 0.7정도 낮게 나타났다. 테스트를 요하는 회로가 특이한 구조로 된 경우에는 제한한 구조가 phase shifter를 사용한 경우보다 좋은 테스트 패턴을 생성하지 못할 수도 있으나 큰 차이는 보이지 않을 것을 알 수 있다. 그러나 좀 더 스캔 체인 당 플립플롭 수가 늘어한다면 비슷한 결과를 얻을 수 있을 것이다.

최근에 양질의 회로를 빠른 시간 안에 개발하려는 요구와 더불어 설계 초기부터 테스트를 고려하여 설계를 하고 있다. 따라서 테스트에 소요되는 비용을 줄일 수 있고 빠른 테스트를 수행할 수 있는 BIST에 대한 연구가 활발히 진행 중이다. 이러한 추세에 맞춰서 본 논문에서 제한한 구조를 적합한 회로에 사용한다면 효과적인 테스트를 할 수 있을 것이라 본다.

참 고 문 헌

- [1] Janusz Rajski, Nagesh Tamarapalli and Jerzy Tyszer, "Automated Synthesis of Large Phase Shifter for Built-In Self-Test", *Proceedings of International Test Conference*, pp. 1047~1056, 1998.
- [2] Vishwani D. Agrawal, Charles R. Kime and Kewal K. Saluja, "A Tutorial on Built-In Self-Test", *IEEE Design & Test of Computers*, pp. 73~82. March 1993.
- [3] Gundolf Kiefer and Hans-Joachim Wunderlich, "Deterministic BIST with Multiple Scan Chains", *Proceedings of International Test Conference*, pp. 1057~1064, 1998.
- [4] 강성호, "내장된 자체검사 기법(BIST)의 기술동향", *전자공학회지*, Vol. 22, No. 12. pp. 81~92, 1995년 12월
- [5] P. H. Bardell and W. H. McAnney, "Parallel Pseudo-random Sequences for Built-In Test", *Proceedings of International Test Conference*, pp. 302~308, 1984.
- [6] P. H. Bardell, "Calculating the Effects of Linear Dependencies in m-Sequences Used as Test Stimuli", *IEEE Transactions on CAD*, Vol 11, No 1, pp. 83~86, Jan 1992.
- [7] S. Narayanan, R. Gupta and M. A. Breuer, "Optimal Configuring of Multiple Scan Chains", *IEEE Transactions on Computers*, Vol 42, No. 9, pp. 1121~1131, Sep 1993.
- [8] M. Abramovici, M. A. Breuer and D. Friedman, "Digital Systems Testing and Testable Design," *Computer Science Press*, 1990.
- [9] Andrzej Krasniewski and Slawomir Pilarski, "Circular Self-Test Path : A Low-Cost BIST Technique for VLSI Circuits", *IEEE Transactions on CAD*, Vol 8, No 1, pp. 46~55, Jan 1989.
- [10] J. Savir, "Syndrome-Testable Design of Combinational Circuits", *IEEE Transactions on Computers*, pp. 442~451, June 1980.
- [11] W. McAnney and J. Savir, "Built-in Checking of the Correct Self-Test Signature", *IEEE Transactions on Computers*, pp. 1142~1145, Sep 1988.
- [12] J. Carter, "Signature Testing with Guaranteed Bounds for Fault Coverage", *Proceedings of International Test Conference*, pp. 75~82, 1982.
- [13] V.N. Yarmolik and I.V. Kachan, "Self-Testing VLSI Design", Elsevier science, 1993.
- [14] Paul H. Bardell, William H. McAnney and Jacob Savir, "Built-In Test for VLSI Pseudorandom Techniques", John Wiley & Sons, 1987.
- [15] 홍성제, 박은세, "테스팅 및 테스트를 고려한 설계", *홍릉과학출판사*, 1998

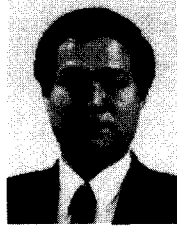
저 자 소 개



韓 鎭 旭(正會員)

1999년 2월 : 성균관대학교 공과대학 전기공학과 졸업(학사). 2001년 2월 : 성균관대학교 공과대학 전기전자 및 컴퓨터공학부 대학원 졸업(석사). 2001년 2월~현재 : 삼성전자 정보통신 통신연구소 연구원.

<주관심분야 : VLSI CAD & Tersting, VLSI 시스템 설계, BIST, 이동통신 시스템 설계>



閔 炯 福(正會員)

1976~1980 : 서울대학교 공과대학 전자공학과(공학사). 1980~1982 : 한국과학기술원 전기 및 전자공학과(공학석사). 1982~1985 : 금성통신(주) 연구소 : 주임연구원. 1985~1986 : Neuro Institute, Columbia

University : Research Staff. 1987~1990 : The University of Texas at Austin(Ph. D.). 1991~현재 : 성균관대학교 전기 전자 및 컴퓨터공학부 교수