

論文2002-39SD-4-1

## DRAM 셀 파라미터의 확률 분포를 고려한 데이터 보유시간의 분포 특성

### (Distribution Characteristics of Data Retention Time Considering the Probability Distribution of Cell Parameters in DRAM)

李京虎\*, 李奇榮\*\*

(Kyungho Lee and Kieyoung Lee)

#### 요 약

DRAM에서 셀 파라미터들의 확률 분포를 고려하여 데이터 보유 시간에 대한 분포 특성을 계산하였다. 셀 파라미터와 셀 내부 전압의 과도 특성으로부터 데이터 보유 시간의 식을 유도하였다. 집합 공핍 영역에서 발생하는 누설 전류의 분포 특성은 재결합 트랩의 에너지 분포로, 셀 캐패시턴스 분포 특성은 유전체 성장에서 표면 반응 에너지의 분포 특성으로, 그리고 sense amplifier의 감도를 각각의 독립적인 확률 변수로 보고, monte carlo 시뮬레이션을 이용하여, 셀 파라미터 값들의 확률적 분포와, DRAM 셀들의 데이터 보유 시간에 대하여 cumulative failure bit의 분포함수를 계산하였다. 특히 sense amplifier의 감도 특성이 데이터 보유 시간 분포의 tail bit에 상당히 영향을 미침을 보였다.

#### Abstract

The distribution characteristics of data retention time for DRAM was studied in connection with the probability distribution of the cell parameters. Using the cell parameters and the transient characteristics of cell node voltage, data retention time was investigated. The activation energy for dielectric layer growth on cell capacitance, the recombination trap energy for leakage current in the junction depletion region, and the sensitivity characteristics of sense amplifier were used as the random variables to perform the Monte Carlo simulation, and the probability distributions of cell parameters and distribution characteristics of cumulative failure bit on data retention time in DRAM cells were calculated. we found that the sensitivity characteristics of sense amplifier strongly affected on the tail bit distribution of data retention time.

**Key Words** : Semiconductor, DRAM, 셀 캐패시터, 데이터 보유 시간, Cumulative failure bit

\* 正會員, 弘益大學校, 科學技術大學, 電子電氣컴퓨터工學部

(School of Electronic, Electrical, and Computer Engineering, Hongik University)

\*\* 正會員, 忠北大學校, 工科大學, 電氣電子工學部

(School of Electrical and Electronics Engineering, Chungbuk National University)

接受日字:2001年8月8日, 수정완료일:2002年2月3日

#### I. 서 론

DRAM의 발전 방향은, 고집적도의 추가와 더불어 성능 향상을 추구하고 있다. DRAM의 성능 향상은 새로운 동작 기능의 추가와 고속화 그리고 저 전력화로 요약될 수 있고, 이러한 요구는 필연적으로 전원 전압의 감소를 요구한다. 감소된 전원 전압에 의하여, DRAM

셀 내의 캐패시터가 저장한 전하량은 감소하게 되고, 저장된 데이터의 손실을 보충하기 위하여 정해진 refresh time 이내에 셀의 데이터를 다시 읽고 쓰는 동작을 수행하며, 이것은 필연적으로 전력을 소모하므로, 전자 시스템의 저 전력화를 위하여 데이터 보유 시간을 늘리는 것은 중요한 과제로 되어 있다.

하나의 DRAM 셀에 대한 데이터 보유 시간의 해석은 셀 자체의 물리적 현상을 이해함으로써 그 목적을 이룰 수는 있으나, 다수의 셀이 존재하는 DRAM 칩의 데이터 보유 시간에 대한 이해는 셀들이 갖는 통계적 파라미터로부터 데이터 보유 시간의 확률적 분포함수를 계산하는 것이 필요하며, 실제 DRAM의 refresh time도 분포함수에서 tail에 대한 특성을 가지고 정해야 함으로, 데이터 보유 시간에 대한 셀의 누적 failure 분포함수의 이해와 셀 파라미터와의 관계를 정확히 해석하는 것은 중요하다.

셀 캐패시터의 전하량을 감소시키는 요인 가운데, 누설 전류는 대부분의 경우 셀의 접합 캐패시터를 통한 누설 전류로 알려졌고<sup>[1]</sup>, 이 누설 전류를 Shockley-Read-Hall 과정에 의한 생성 전류로 해석하여 접합 부위의 공핍영역에 존재하는 재결합 트랩의 에너지 밴드 내의 분포나<sup>[2]</sup> 공핍 영역내의 공간적인 트랩의 분포를 이용하여<sup>[3]</sup> 데이터 보유 시간의 분포를 계산하였으나, 누설 전류 자체가 셀 내의 전압을 변화시키고 이러한 전압의 변화가 다시 누설 전류의 양을 감소시키는 현상과 같이 누설 전류와 셀 내부 전압에 대한 과도특성 현상에 대한 해석은 없었다.

본 논문에서는 이러한 단점을 보완하여 셀 접합에서 발생하는 누설 전류의 과도해석을 추가하고, 유전체 박막의 성장 공정에서 표면 반응 에너지(activation energy)의 분포 특성에 의한 박막 두께의 분포와, 셀 데이터의 판정 기준을 sense amplifier 감도의 분포 특성으로 모델링하여, 셀 파라미터들의 확률적 분포 특성과 데이터 보유 시간에 대한 셀의 누적 failure 분포함수를 Monte Carlo 시뮬레이션을 이용하여 계산함으로써, DRAM 셀의 데이터 보유 시간에 대한 물리적 이해와 확률적 해석의 정확성을 향상시킴으로써, 앞으로 차세대 DRAM의 셀 구조 설계시 데이터 보유 시간과 관련된 최적의 셀 파라미터를 얻는 방향을 제시하고자한다.

## II. DRAM의 데이터 retention time.

셀에 저장된 데이터는 캐패시터 양단에 인가된 전압

의 형태로 나타나며, 이러한 전압에 의하여 누설 전류가 발생하므로, 캐패시터가 보유하는 전하의 양은 시간이 지남에 따라 감소하게 된다. 결국 DRAM 셀의 데이터는 캐패시터의 누설 전류에 의하여 어느 정도의 시간이 경과하면 손실되게 되어 있으며, 이러한 데이터의 손실을 보완하기 위하여, 각각의 DRAM은 집적도가 증가하는 매 세대마다 그림 1과 같은 규격으로[4,5] refresh time을 설정하고 이 시간이 경과하면 모든 DRAM의 셀 데이터를 다시 써 줌으로 누설 전류에 의한 전하량의 손실을 보충해 주도록 회로가 구성되어 있다. 64M DRAM 세대까지는 매 세대마다 refresh time이 2배로 증가했으나, 256M DRAM 세대부터는 이러한 refresh time의 증가의 유지가 어려워지고 있으며, 이것은 셀들의 데이터 보유 시간의 감소에 의한 영향으로 이해되고, 특히 전체 셀들의 데이터 보유 시간의 분포 가운데 tail 셀에 의한 영향으로 볼 수 있다. tail 셀의 존재는 공정상의 여유도 부족이나<sup>[6]</sup>, 알파 입자등이 발생시키는 소프트 에러들로 발표되고 있으나<sup>[7]</sup>, 공정의 성숙도에 따라 감소하는 경향이 있으며, 전체적인 데이터 보유시간을 늘리기 위하여는 majority 셀에 대한 정확한 해석이 필요하고, 경우에 따라서 majority 셀의 분포 특성이 넓은 범위에 걸쳐 있다면 이것 역시 refresh time을 늘리는데 제약 요건으로 작용하게 된다.

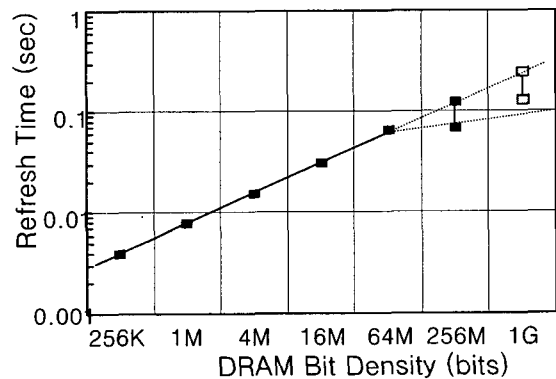


그림 1. 각 DRAM 세대에 대한 refresh time의 변화  
Fig. 1. The change of refresh time for each DRAM generation.

실제의 DRAM 셀 캐패시터는, 스위칭 트랜지스터의 한쪽 접합에 의한 pn 접합 캐패시터  $C_j$ 와 유전체 물질에 의한 dielectric 캐패시터  $C_{die}$ 의 병렬로 이루어져 있고, 각각의 캐패시터에는 고유한 누설 전류가 흐르게 된다. pn 접합 캐패시터는 역방향 전압에 대하여

Shockley-Read-Hall 과정에 의한 공핍층내의 전자-정공 쌍의 생성으로 누설 전류가 흐르게 되며, dielectric 캐패시터도 Fowler-Nordheim tunneling에<sup>[8]</sup> 의한 누설 전류가 관찰된다. 이러한 캐패시턴스들과 누설 전류의 양은 캐패시터 양단의 전압에 대한 함수이고, 그림 2(a)의 등가 회로와 같이 접합 캐패시터 및 dielectric 캐패시터 각각의 누설 전류를 전류 전원  $I_{LJ}$ 와  $I_{Ldie}$ 로 치환한 누설 전류원으로 대치할 수 있다. 그러나 일반적으로  $I_{Ldie}$ 는  $I_{LJ}$ 에 비하여 현저히 작은 값이 관찰됨으로, 데이터 보유 시간 해석을 위한 누설 전류는 접합 캐패시터를 통한 누설 전류만을 고려할 것이다. 정보 1이 저장된 셀의  $V_{node}$ 는 초기에  $V_{cell}$ 로 충전되며, 캐패시터의 전하량은 누설 전류에 의하여 다음과 같이 시간에 대한 함수  $Q_s(t)$ 로 표현할 수 있다.

$$\begin{aligned}
 Q_s(t) &= C_{die}(V_{cell} - V_{plate}) + C_J(V_{cell} - V_{BB}) - Q_L(t) \\
 &= C_s(V_{cell} - V_{plate}) - Q_L(t) \\
 &= C_s(V_{node}(t) - V_{plate})
 \end{aligned} \tag{1}$$

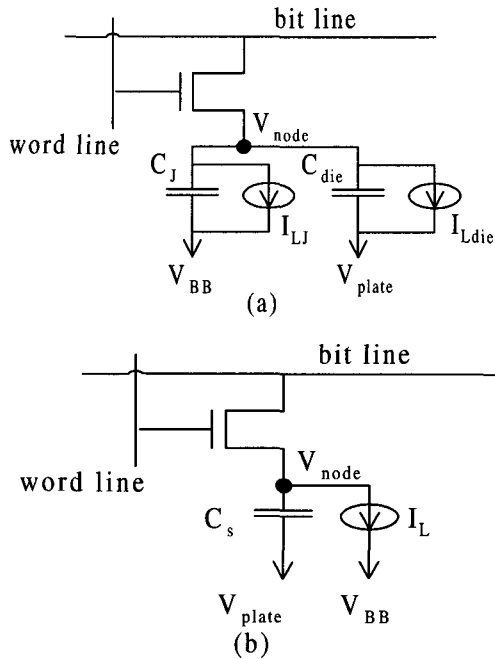


그림 2. 누설 전류원을 첨가한 DRAM 셀 캐패시터와 인가 전압. (a) full 캐패시터 모델 (b) simplified 캐패시터 모델

Fig. 2. DRAM cell capacitor and bias voltage with leakage current source. (a) full capacitor model (b) simplified capacitor model.

여기서  $V_{BB}$ 는 셀 동작 특성의 개선을 위하여 셀이 위치한 well에 인가해 주는 기판 전압이고,  $C_s$ 는 셀 캐패시터의 등가 캐패시턴스이며,  $Q_L(t)$ 는 누설 전류  $I_L$ 에 의하여 소멸되는 전하량이고,  $V_{node}(t)$ 는 셀 캐패시터 node의 전압으로  $Q_s(t)$ 의 감소에 따라 같이 감소하게 된다.  $C_s$ ,  $I_L(t)$ ,  $Q_L(t)$  및  $V_{node}(t)$  각각은 다음과 같이 계산되며, 이러한 등가 파라미터를 이용하여 셀 캐패시터는 그림 2(b)와 같은 simplified 캐패시터 모델로 표현할 수 있다.

$$\begin{aligned}
 C_s &= C_{die} + C_J \frac{V_{cell} - V_{BB}}{V_{cell} - V_{plate}} \\
 I_L(t) &= I_{LJ}(t) + I_{Ldie}(t) \approx I_{LJ}(t) \\
 Q_L(t) &= \int_0^t I_{LJ}(t) dt \\
 V_{node}(t) &= V_{cell} - \frac{Q_L(t)}{C_s}
 \end{aligned} \tag{2}$$

정보 1이 셀 캐패시터에 저장되어 있을 때, 셀 데이터의 sensing 후에 얻어지는 bit line 전압  $V_H$ 는 셀 캐패시터의 누설 전류를 고려하면 다음과 같다.

$$(C_B + C_s)V_H = C_B V_{bit} + C_s V_{node}(t) \tag{3}$$

여기서  $V_{bit}$ 는 sensing 이전에 bit line 전압으로, 보통  $V_{cell}/2$ 로 precharge되어 있다. 그리고 sense amplifier의 입력 전압은 bit line 전압과 /bit line간의 전압 차이로써 얻어지고, 이것은 식 3에서 구한  $V_H$ 와  $V_{cell}/2$ 로 precharge된 /bit line의 전압 차이이므로  $\Delta V_{bb}$ 는 다음과 같다.

$$\Delta V_{bb} = \frac{C_s}{C_B + C_s} \left\{ V_{node}(t) - \frac{V_{cell}}{2} \right\} \tag{4}$$

bit line의 접합에서도 누설 전류에 의한 전압 강하가 발생되지만,  $\Delta V_{bb}$ 를 얻는 과정에서 /bit line 접합에서 발생하는 동일한 크기의 누설 전류에 의한 영향과 상쇄되므로, 결국  $\Delta V_{bb}$ 의 값에는 영향을 미치지 않는다. 그리고 식 4의  $\Delta V_{bb}$ 는 sense amplifier가 오류 없이 증폭할 수 있는 최소 입력 전압 감도  $\Delta V_{sen}$ 보다 커야하며, 위의 식으로부터 셀 캐패시터의 node 전압은 다음의 조건,

$$V_{node}(t) \geq \frac{V_{cell}}{2} + \frac{C_B + C_s}{C_s} \Delta V_{sen} \tag{5}$$

을 만족하여야 하며, 만약 셀 캐패시터의 node 전압이 refresh time 이내에 식 5의 조건을 만족하지 못하면 정보 1의 데이터는 손실된 것으로 생각할 수 있다.

정보 0에 대하여는  $V_{node}$ 가 초기에 0 V로 되어 있고, 셀 캐패시터에 인가된 전압들과의 관계에 의하여,  $I_L$ 와  $I_{Ldie}$ 의 전류 방향이 서로 반대가 되며, 이때 셀 캐패시터의 누설 전류  $I_L$ 은 정보 1인 경우보다 적으며,  $V_{node}$ 를 0 V보다 작게 만드므로 결과적으로 더 큰 전하량이 저장되게 되어서, 누설 전류에 의한 데이터의 손실은 정보 1인 경우가 더 크게 영향을 받는다.

셀 접합의 누설 전류  $I_L(t)$ 는 공핍층 내의 전자-정공 쌍의 생성을  $G$ 에 비례하며, 접합의 농도 함수를 계단형 농도로 가정할 때, 공핍층의 두께  $W$ 는 접합 양단 전압의 함수로 표시되므로,

$$\begin{aligned} I_L(t) &= A \int_W q G dx = \frac{q n_i}{2 \tau_o} W \\ &= \frac{q n_i}{2 \tau_o} \sqrt{\frac{2 \epsilon_s}{q N_a} (V_{bi} + V_{node}(t) - V_{BB})} \\ &= I_{Lo} \sqrt{1 - \frac{V_{cell} - V_{node}(t)}{V_{bi} + V_{cell} - V_{BB}}} \end{aligned} \quad (6)$$

$$I_{Lo} = \frac{q n_i}{2 \tau_o} \sqrt{\frac{2 \epsilon_s}{q N_a} (V_{bi} + V_{cell} - V_{BB})} \quad (7)$$

여기서  $q$ 는 전자의 단위 전하량이고,  $\tau_o$ 는 전자와 정공의 평균 재결합 수명,  $n_i$ 는 진성 반송자 농도,  $\epsilon_s$ 는 실리콘의 유전상수이고,  $V_{bi}$ 는 접합의 내부 전위 장벽이다.  $V_{node}(t)$ 의 과도 특성은 다음과 같이 계산하여,

$$C_s \frac{d V_{node}(t)}{dt} = - I_L(t) \quad (8)$$

식 6과 식 8로부터

$$\int_{V_{crit}}^{V_{cell}} \frac{d V_{node}(t)}{\sqrt{1 - \frac{V_{cell} - V_{node}(t)}{V_{bi} + V_{cell} - V_{BB}}}} = -\frac{1}{C_s} \int_0^{t_{crit}} I_{Lo} dt \quad (9)$$

$$V_{crit} = \frac{V_{cell}}{2} + \left(1 + \frac{C_B}{C_s}\right) \Delta V_{sen} \quad (10)$$

여기서  $V_{crit}$ 는 셀 캐패시터의 전하가 정보 1로 인식되는 한계점에서의  $V_{node}(t_{ret})$  값이다. 식 9와 식 10으로부터 셀의 데이터 보유시간  $t_{ret}$ 를 계산하면,

$$t_{ret} = \frac{2C_s}{I_{Lo}} (V_{bi} + V_{cell} - V_{BB}) \left\{ 1 - \sqrt{1 - \frac{V_{cell} - V_{crit}}{V_{bi} + V_{cell} - V_{BB}}} \right\} \quad (11)$$

와 같이 얻어진다.

### III. 셀 파라미터의 분포함수

#### 1. 셀 캐패시터의 분포 함수

셀 캐패시터  $C_s$ 의 대부분은 dielectric 캐패시터이며, 유전체의 두께  $T_{die}$ 에 따라 다음과 같이 계산된다.

$$C_s = A \frac{\epsilon_{die}}{T_{die}} \quad (12)$$

여기서  $A$ 는 캐패시터의 표면적이고,  $\epsilon_{die}$ 는 유전체의 유전상수이다. 유전체의 형성 공정은 주로 열 산화와 chemical vapor deposition(CVD)의 조합으로 이루어지며, 셀 캐패시터의 분포는 캐패시터 표면적의 분포 및 유전체 두께의 분포를 이용하여 구할 수 있다. 각각의 분포를 만드는 확률 변수(random variable)로는 화학적 또는 물리적 표면 반응을 이끄는 activation 에너지  $E_a$ 와 반응 온도의 분포함수로 모델링 될 수 있는데<sup>[9,10]</sup>, 한 chip내의 온도 변화는 작다고 가정하면, 유전체의 두께 분포나 캐패시터 표면적의 분포를 결정하는 확률 밀도 함수  $f(E_a/kT)$ 는  $E_a$ 만의 함수로 나타낼 수 있다.  $f(E_a/kT)$ 는 평균이  $m_a$ 이고 표준편차가  $\sigma_a$ 인 정규 분포를 따르는 함수로 가정하면 다음과 같이 표현할 수 있다.

$$f\left(\frac{E_a}{kT}\right) = \frac{1}{\sqrt{2\pi} \sigma_a} \exp\left(-\frac{\left(\frac{E_a}{kT} - m_a\right)^2}{2 \sigma_a^2}\right) \quad (13)$$

여기서  $k$ 는 볼츠만 상수이고,  $T$ 는 유전체 형성 공정의 온도로 절대온도이다. 캐패시터의 표면적 크기에 관계된 노광이나 식각 공정도 각각의 activation 에너지와 공정이 실행되는 온도로 확률 밀도 함수를 다룰 수 있으나, 표면 반응 에너지와 공정 온도의 관점에서는 유전체 증착 공정과 유사하므로, 본 논문에서는 유전체 공정에 대하여만 확률 밀도함수를 사용하여 캐패시터의 분포 함수를 다루겠다.  $E_a/kT$ 의 분포함수를 사용하여 유전체의 두께를 계산하면,

$$T_{die} \propto \int_{E_a} \exp\left(-\frac{E_a}{kT}\right) f\left(\frac{E_a}{kT}\right) d\frac{E_a}{kT} \quad (14)$$

위의 식 13의 확률 밀도 함수에 의하여 식 14를 계

산하면 유전체의 두께는

$$T_{die} \propto \exp\left(-m_a + \frac{\sigma_a^2}{2}\right) \quad (15)$$

와 같이 얻어진다. DRAM 셀에서 캐패시터의 저장 노드는 폴리 실리콘으로 만들어지며, 폴리 실리콘은 단일 결정을 갖는 실리콘이 grain을 형성한 것으로 본다면, 각각의 grain들은 독립적인 activation 에너지  $E_{aj}$ 를 갖게 되며, 전체 DRAM 셀에 있는 grain들에 대하여  $E_{aj}/kT$ 의 평균  $e_a$ 와 표준 편차  $s_a$ 를 구하면,

$$e_a = \frac{1}{N_{TG}} \sum_j \frac{E_{aj}}{kT} \quad (j=1,2,\dots,N_{TG})$$

$$s_a^2 = \frac{1}{N_{TG}} \sum_j \left(\frac{E_{aj}}{kT} - e_a\right)^2 \quad (j=1,2,\dots,N_{TG}) \quad (16)$$

여기서  $N_{TG}$ 는 전체 셀들에 있는 grain 개수이다. 실제로는 grain의 크기가 유전체 증착에 물리 화학적 영향을 미칠 수도 있으나, 여기서는 셀 캐패시터당 grain의 개수가 통계 함수에 미치는 영향만을 고려하면, 하나의 셀 캐패시터 저장 노드에 있는 grain의 개수가  $N_{grain}$ 일 때, 식 15의  $m_a$ 의 평균  $m_{ma}$ 와 표준 편차  $s_{ma}$ 는,

$$m_{ma} = \langle m_a \rangle = \frac{1}{N_{grain}} \sum_j \frac{E_{aj}}{kT} = e_a$$

$$(j=1,2,\dots,N_{grain})$$

$$s_{ma}^2 = \langle (m_a - e_a)^2 \rangle = \frac{s_a^2}{N_{grain}} \quad (17)$$

와 같이 계산된다. 이 관계식의 성립은 중심 극한 정리 (central limit theorem)<sup>[11]</sup>에 의하여, 정규 분포인 모집단에서 추출된 표본 집단의 모양도 정규 분포임을 사용하였다. 그리고 식 15의  $\sigma_a^2$ 의 분포는 확률 이론에 의하여,  $\sigma_a$ 가 정규 분포를 따를 때  $\sigma_a^2$ 는 자유도가  $N_{grain}-1$ 인  $\chi^2$  분포를 보이는 것으로 되어 있으나, 자유도가 10 이상의 큰 값일 때는 정규 분포와 거의 유사하므로<sup>[11]</sup>,  $\sigma_a^2$ 의 평균  $m_{\sigma a}$ 와 표준 편차  $s_{\sigma a}$ 는,

$$m_{\sigma a} = \langle \sigma_a^2 \rangle = \left(1 - \frac{1}{N_{grain}}\right) s_a^2$$

$$s_{\sigma a}^2 = \langle (\sigma_a^2 - \langle \sigma_a^2 \rangle)^2 \rangle = 2\left(1 - \frac{1}{N_{grain}}\right) \frac{s_a^4}{N_{grain}} \quad (18)$$

와 같이 계산할 수 있다.

### 2. 누설 전류의 분포 함수

셀 접합 부위의 누설 전류는 공핍층 내의 트랩들의 분포에 의하여 SHR 재결합 전류를 갖으며, 재결합 전류에 크게 영향을 미치는 트랩은 에너지 캡의 중간 부근에 있는 트랩의 분포이므로 Hiraiwa의 방법<sup>[2]</sup>에 의하여,

$$G = N_{trap} n_i \nu v_{th} \int_{E_v}^{E_c} \exp\left(-\frac{E_t}{kT}\right) f\left(\frac{E_t}{kT}\right) d\frac{E_t}{kT} \quad (19)$$

이며,  $t=0$ 일 때의 누설전류  $I_{LO}$ 의 분포 특성은 위의 G를 식 6에 적용하여,

$$I_{LO} = AqN_{trap}n_i\nu v_{th} \int_W \int_{E_v}^{E_c} \exp\left(-\frac{E_t}{kT}\right) f\left(\frac{E_t}{kT}\right) d\frac{E_t}{kT} dx$$

$$= AqN_{trap}n_i\nu v_{th} W \exp\left(-m_t + \frac{\sigma_t^2}{2}\right) \quad (20)$$

모든 DRAM 셀에서 접합 영역의 트랩이 에너지 밴드 캡의 중간 부근에 불규칙적으로 분포할 때, 이들 모든 트랩에 대하여 에너지 밴드내의 위치는 평균  $e_t$ 와 표준 편차  $s_t$ 를 갖는 정규 분포로 생각할 수 있고,

$$e_t = \frac{1}{N_{TT}} \sum_j \frac{E_{tj}}{kT} \quad (j=1,2,\dots,N_{TT})$$

$$s_t^2 = \frac{1}{N_{TT}} \sum_j \left(\frac{E_{tj}}{kT} - m_{tt}\right)^2 \quad (j=1,2,\dots,N_{TT}) \quad (21)$$

와 같이 계산된다. 여기서  $N_{TG}$ 는 전체 셀들에 있는 재결합 트랩의 개수이다. 하나의 셀의 접합의 공핍층내에 있는 트랩의 개수가  $N_{trap}$ 일 때, 식 20의  $m_t$ 와  $\sigma_t^2$  각각의 평균  $m_{mt}$ ,  $m_{\sigma t}$ 와 표준 편차  $s_{mt}$ ,  $s_{\sigma t}$ 는 앞절에서 사용한 방법을 적용하면,

$$m_{mt} = \langle m_t \rangle = \frac{1}{N_{trap}} \sum_j \frac{E_{tj}}{kT} = e_t (j=1,2,\dots,N_{trap})$$

$$m_{\sigma t} = \langle \sigma_t^2 \rangle = \left(1 - \frac{1}{N_{trap}}\right) s_t^2$$

$$s_{mt}^2 = \langle (m_t - \langle m_t \rangle)^2 \rangle = \frac{s_t^2}{N_{trap}}$$

$$s_{\sigma t}^2 = \langle (\sigma_t^2 - \langle \sigma_t^2 \rangle)^2 \rangle = 2\left(1 - \frac{1}{N_{trap}}\right) \frac{s_t^4}{N_{trap}} \quad (22)$$

와 같이 계산할 수 있다.

### 3. $\ln(t_{ret})$ 의 분포 함수

앞절에서 식 11의 데이터 보유 시간에 대한 관계식은 양변에 log를 취함으로써 다음의 식이되며,

$$\ln(t_{ret}) = \ln(C_s) - \ln(I_{LO}) + \ln\left(2 V_x \left\{1 - \sqrt{1 - \frac{V_{cell} - V_{crit}}{V_x}}\right\}\right) \quad (23)$$

$$V_x = V_{bi} + V_{cell} + V_{BB} \quad (24)$$

유전체의 두께 및 누설 전류 그리고 식 10의  $V_{crit}$ 를 sense amplifier의 분포 특성에 의한 random variable로 취급하면,  $\ln(t_{ret})$ 의 분포 특성은,

$$\ln(t_{ret}) = -m_a + \frac{\sigma_a^2}{2} + m_t - \frac{\sigma_t^2}{2} + \ln\left(2 V_x \left\{1 - \sqrt{1 - \frac{V_{cell} - V_{crit}}{V_x}}\right\}\right) + \ln\left(\frac{A \epsilon_{die}}{\langle T_{die} \rangle}\right) - \ln(Aq N_{trap} n_i \nu v_{th} W) \quad (25)$$

여기서  $\langle T_{die} \rangle$ 는 캐패시터 유전체의 평균 두께이며, 식 25에 있는  $m_a$ ,  $\sigma_a$ ,  $m_t$ ,  $\sigma_t$ ,  $V_{crit}$ 를 독립적인 확률 변수로 적용함으로써, DRAM 셀들의 데이터 보유 시간 분포를 계산할 수 있다.

## V. 시뮬레이션 결과

앞 절까지의 데이터 보유 시간에 대한 이해를 실제 DRAM급 셀 구조에 적용하여, 셀 파라미터들의 분포 특성과 데이터 보유 시간에 대한 시뮬레이션 결과를 보이겠다. 표 1에는 시뮬레이션에 사용할 0.15  $\mu\text{m}$  설계 룰의 256M급 DRAM 셀 파라미터와 인가 전압을 보였다.

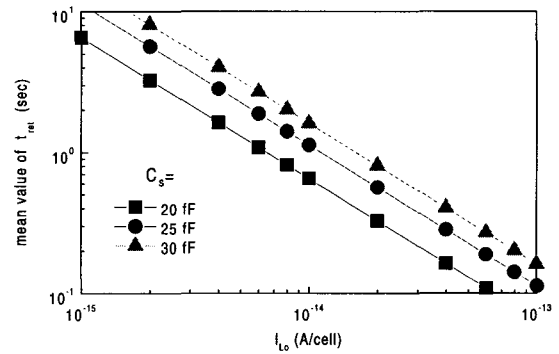
표 1. 시뮬레이션에 사용된 256M급 DRAM 셀의 Typical 파라미터

Table 1. Typical cell parameters of 256M grade DRAM used for simulation.

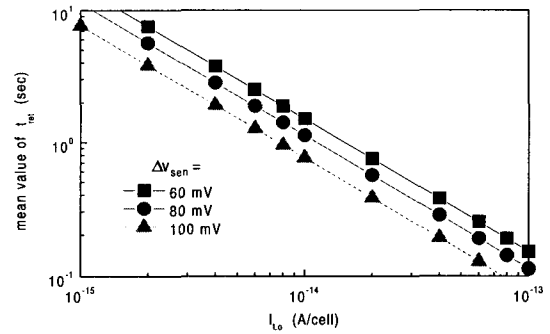
셀 전압	$V_{cell}$	2.0 V
셀 캐패시터 전압	$V_{plate}$	1.0 V
기판 전압	$V_{BB}$	-1.0 V
Bit Line 캐패시턴스	$C_B$	180 fF
셀 캐패시턴스	$C_s$	30 fF
Sense Amplifier 감도	$\Delta V_{sen}$	80 mV

그림 3에는 셀의 누설 전류 변화에 대한 데이터 보유 시간의 평균값이, 셀 캐패시턴스와 sense amplifier

의 감도에 따라 계산된 그래프를 보였다. 통상 셀 접합의 누설 전류는 셀당 10fA 정도의 값이며 표 1의 Typical 파라미터를 사용했을 때 데이터 보유 시간이 2.27 초정도로써 계산되었고, 셀 캐패시턴스의 값이  $30 \pm 5$  fF으로 변할때 데이터 보유 시간은 1.31~3.23 초로 변화하는 것으로 계산되었다. sense amplifier의 감도 변화에 대하여도 sensing 감도가  $80 \pm 20$  mV로 변할 때 데이터 보유 시간은 1.53~3.02 초로 변화하는 것으로 계산되어, 데이터 보유 시간을 늘리기 위하여는 셀 캐패시턴스의 증대뿐 아니라 sense amplifier의 감도 향상도 중요한 요소로 볼 수 있다.



(a)



(b)

그림 3. 셀 누설 전류 변화와 (a) 셀 캐패시턴스의 변화, (b) sense amplifier의 감도 변화에 따른 데이터 보유 시간의 계산값 비교

Fig. 3. The mean value of data retention time vs. junction leakage current (a) with cell capacitances and (b) with the sensitivity of sense amplifier input voltage.

III절에서 계산한 셀 유전체의 두께 및 누설 전류의 분포 함수를 구하기 위하여 표 2의 분포 함수 파라미터를 사용하였다. activation 에너지의 파라미터는 극미

세 산화층 박막 성장의 표면 반응 파라미터를 사용했는데, 실제 캐패시터의 유전체 박막 성장에도 초기 native 산화층의 성장이 먼저 폴리 실리콘 위에 형성되므로 실제의 경우를 대변할 수 있으리라 생각되며, pn 접합의 누설 전류를 계산하는 재결합 트랩 에너지의 파라미터는 여러 연구 결과들이 서로 다른 값을 제시하고 있지만<sup>[1,2,12]</sup>, 그 중 대표적인 파라미터를 사용했고, 실제로 있어서 이러한 activation 에너지나 재결합 트랩 에너지 분포 파라미터는 fitting 파라미터로 각각의 공정에 대하여 측정 데이터를 가지고 정밀 조정해야하는 파라미터로 볼 수 있다.

표 2. 시뮬레이션에 사용된 분포함수의 typical 파라미터의 값

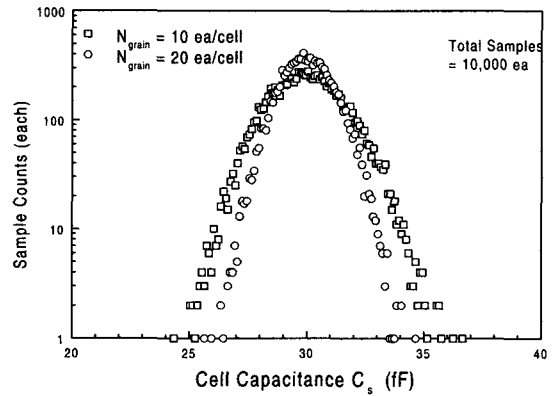
Table 2. typical parameters of probability density function used in simulation.

Activation 에너지	$e_a = 1.98 \text{ eV/kT}$	$s_a = 0.015 \text{ eV/kT}$
재결합 트랩 에너지	$e_t = -0.2 \text{ eV/kT}$	$s_t = 0.04 \text{ eV/kT}$
셀당 트랩의수 (ea/cell)	$N_{\text{grain}} = 10$	$N_{\text{trap}} = 50$

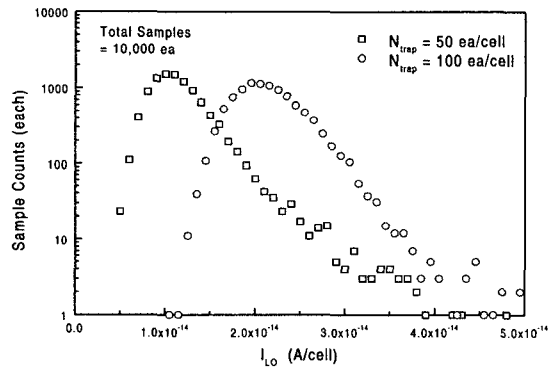
그림 4(a)는 하나의 셀에 폴리 실리콘 grain인 10개와 20개가 있을 때 셀 캐패시턴스의 분포를 식 15-18을 사용하여 Monte Carlo 시뮬레이션으로 계산한 결과이다. 전체 시뮬레이션의 반복 횟수는 10,000번으로, 10,000개의 셀에 대한 분포 특성 결과로 해석할 수 있다. 셀 캐패시턴스의 분포는 25 ~ 35 fF 사이에 분포되었고, grain의 갯수가 늘어날수록 분포함수가 집중되는 것은 중점 극한 정리에서 예상된 것이다. 누설 전류의 분포 함수에 있어서는 재결합 트랩의 수가 셀 당 50개와 100개에 대하여 10,000회의 시뮬레이션 그래프가 그림 4(b)에 보여졌다. 재결합 트랩의 수가 늘어나면, 식 20에 의하여 누설 전류의 크기도 커지고, 분포특성도 더 집중화됨이 확인되었다(그림 4(b)의 X-축을 log scale로 그리면 분포의 집중화를 더 분명히 확인할 수 있다). 표 2에서 사용된 각 파라미터들의 값들은, 실제의 셀 캐패시턴스의 분포나, 누설 전류의 분포를 측정하여 그림 4와 같은 데이터로부터 실험적으로 얻어 낼 수 있다.

앞에서 계산한 셀 캐패시턴스와 누설 전류의 분포 특성을 가지고, 식 25를 이용하여 데이터 보유시간의 누적 분포 함수와 확률 밀도 함수를 sense amplifier의 감도 파라미터에 대하여 계산하였다. sense amplifier

의 sensing 감도는 각각 80, 100 mV로 하였고, 감도의 표준 편차는 감도의 5%로 하여 10,000회 반복 시뮬레이션의 결과가 그림 5에 보여졌다.



(a)



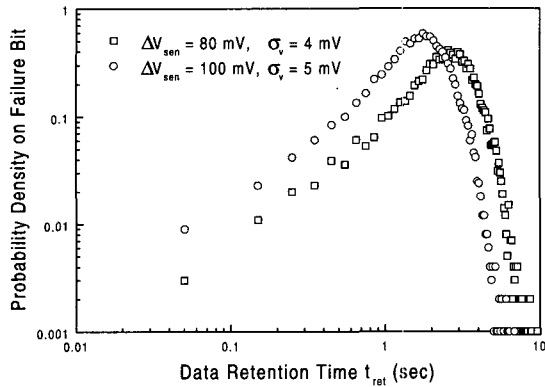
(b)

그림 4. 셀 파라미터의 분포 특성 (a) activation 에너지의 확률 분포에 따른 셀 캐패시턴스의 분포 특성 및 (b) 재결합 트랩 에너지 레벨의 분포에 따른 누설 전류의 분포 특성

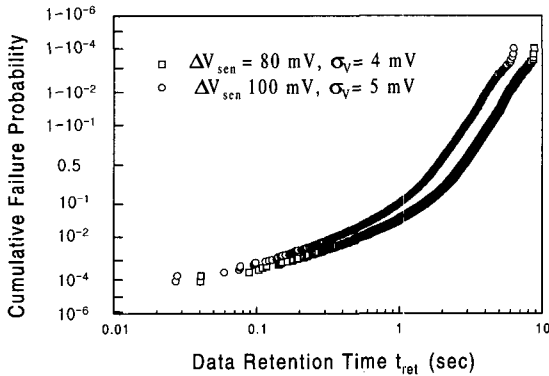
Fig. 4. The distribution characteristics of cell parameters (a) with the probability distribution of the activation energy and (b) with the probability distribution of trap energy level.

그림 5(a)에 보인 확률 밀도 함수의 분포는 낮은 값의 데이터 보유 시간에 대하여 정규 분포에서 상당히 벗어난 모양인데, 이것은 식 25에서 확률 변수로 취급한  $V_{crit}$ 가 log 함수 속의 변수로 표현됨에 기인한 현상이며, tail bit에 대하여 상당한 크기의 확률 밀도를 갖고 있다. 그림 5(b)에서 누적 failure bit이 50%일 때, 데이터 보유 시간이 sense amplifier의 감도 80과 100mV 각각에 대하여 2.76초와 1.85초로 비교적 큰 값

을 보여주고 있으나, 100 msec의 데이터 보유 시간에 서 누적 failure bit의 비율이 각각 0.03%와 0.09%를 나타냄으로, DRAM의 refresh time을 단축시키는 중요한 요인으로 작용하고 있다.



(a)



(b)

그림 5. 데이터 보유 시간의 (a) 확률 밀도 함수와 (b) 누적 failure bit 분포 특성 ( $N_{\text{grain}}=10$  ea/cell,  $N_{\text{trap}}=50$  ea/cell)

Fig. 5. (a) Probability density function and (b) cumulative failure bit distribution of data retention time ( $N_{\text{grain}}=10$  ea/cell,  $N_{\text{trap}}=50$  ea/cell)

## VI. 결론

DRAM에서 셀 파라미터들의 확률 분포를 고려하여 데이터 보유 시간에 대한 분포 특성을 계산하였다. 셀 파라미터와 셀 내부 전압의 과도 특성으로부터 데이터 보유 시간의 관계식을 유도하였고, 접합 공핍 영역 발생하는 누설 전류의 분포 특성은 재결합 트랩의 에너지 분포로, 셀 캐패시턴스 분포 특성은 유전체 증착에

서 표면 반응 에너지의 분포 특성으로, 그리고 sense amplifier의 감도를 각각의 독립적인 확률 변수로 보고, monte carlo 시뮬레이션을 이용하여, 셀 파라미터 값들의 확률적 분포와, DRAM 셀들의 데이터 보유 시간에 대하여 cumulative failure bit의 분포함수를 계산하였다. 큰 데이터 보유 시간을 얻기 위하여는 셀 캐패시턴스의 증대뿐 아니라 sense amplifier의 감도 향상이 중요하며, 특히 sense amplifier의 감도 파라미터가 데이터 보유 시간의 분포의 tail bit에 상당한 영향을 미침을 보였고, 이러한 결과들은 차세대 DRAM의 셀 구조 설계시 데이터 보유 시간과 관계된 최적의 셀 파라미터를 찾는 연구에 이용될 수 있다.

## 참고 문헌

- [1] T. Hamamoto, S. Sugiura, and S. Sawada, "Well concentration : A novel scaling limitation factor derived from DRAM retention time and its modeling," *IEDM Tech. Dig.*, pp. 915~918, 1995.
- [2] A. Hiraiwa, M. Ogasawara, N. Natsuaki, Y. Itoh, and H. Iwai, "Statistical modeling of dynamic random access memory data retention characteristics," *J. of Appl. Phys.*, Vol. 80, pp. 3091~3099, 1996.
- [3] A. Hiraiwa, M. Ogasawara, N. Natsuaki, Y. Itoh, and H. Iwai, "Field-effect trap-level-distribution model of dynamic random access memory data retention characteristics," *J. of Appl. Phys.*, Vol. 81, pp. 7053~7060, 1997.
- [4] Steven A. Przybylski, *New DRAM Technologies*, Microdesign Resources, Sebastopol, USA.
- [5] Ashok K. Sharma, *Semiconductor Memories*, IEEE Press, Piscataway, USA.
- [6] S. Ueno, T. Yamashita, H. Oda, S. Komori, Y. Inoue, and T. Nishimura, "Leakage current observation on irregular local PN junctions forming the tail distribution of DRAM retention characteristics with new test structure," *IEDM Tech. Dig.*, pp. 153~156, 1998.
- [7] H. Shin, "Modeling of alpha-particle-induced



- soft error rate in DRAM," *IEEE Trans. Electron Devices*, Vol. 46, pp. 1850~1857, 1999.
- [8] R. H. Fowler and L. W. Nordheim, "Electron emission in intense electric fields," *Proc. Royal Soc. A*, Vol. 119, pp. 173~181, 1928.
- [9] S. Wolf and R. N. Tauber, *Silicon Processing for the VLSI era vol. 1*, Lattice Press, USA.
- [10] B. E. Deal and A. S. Grove, "General relationship for the thermal oxidation of silicon," *J. Appl. Phys.*, Vol. 36, pp. 3770~3779, 1965.
- [11] R. V. Hogg and E. A. Tanis, *Probability and Statistical Inference*, Macmillan, USA.
- [12] J. A. Pals, "Properties of Au, Pt, Pd and  $\text{Pt}$  levels in silicon measured with a constant capacitance technique," *Solid-State Electron.*, Vol. 17, pp. 1139~1145, 1974.

---

저 자 소 개

李 京 虎(正會員) 第 38卷 SD編 第 2號 參照

李 奇 榮(正會員) 第 37卷 SD編 第 1號 參照