

論文2002-39SD-4-3

산화된 다공질 실리콘 기판 위에 제작된 MMIC용 Air-Bridge Interconnected Coplanar Waveguides

(Air-Bridge Interconnected Coplanar Waveguides Fabricated on Oxidized Porous Silicon(OPS) Substrate for MMIC Applications)

沈俊煥*, 權載祐**, 朴正用**, 李東仁**, 金鎮良***, 李海英***, 李鍾玄**

(Jun-Hwan Sim, Jae-Woo Kwon, Jeong-Yong Park, Dong-In Lee, Jin-Yang Kim, Hai-Young Lee, and Jong-Hyun Lee)

요 약

본 논문에서는 실리콘 기판상의 전송선로 특성을 개선하기 위하여 표면 마이크로머시닝 기술을 이용하여 10 μm 두께의 다공질 실리콘 산화막으로 제조된 기판 위에 air-bridge interconnect된 CPW 전송선로를 제작하였다. 간격이 30 μm , 신호선이 80 μm 인 CPW air-bridge 전송선의 삽입손실은 4 GHz에서 -0.25 dB이며, 반사손실은 -28.9 dB를 나타내었다. S-W-S = 30-100-30 μm 인 stepped compensated air-bridge를 가진 CPW는 손실이 4 GHz일 때, -0.98 dB 개선됨을 알 수 있었다. 이와 같은 결과로부터 두꺼운 다공질 실리콘은 고 저항 실리콘 집적회로 공정에서 고성능, 저가의 마이크로파 및 밀리미터파 회로 응용에 충분히 활용 될 수 있으리라 기대된다.

Abstract

In this paper, to improve the characteristics of a transmission line on silicon substrate, we fabricated air-bridge interconnected CPW transmission line on a 10- μm -thick oxidized porous silicon(OPS) substrate using surface micromachining. Air-bridge interconnected CPW of S-W-S = 30-80-30 μm has insertion loss of -0.25 dB and return loss of -28.9 dB at 4 GHz. And return loss of CPW with stepped compensated air-bridge(S-W-S = 30-100-30 μm) is improved -0.98 dB at 4 GHz. The results indicate that the thick OPS provides an approach to incorporate high performance, low cost microwave and millimeter wave circuits in a high-resistivity silicon-based process.

* 正會員, 韓國海洋大學校 電波·情報通信工學部
(Division of Radio and Information Communication Engineering, Korea Maritime University)

** 正會員, 慶北大學校 電子電氣컴퓨터工學部
(School of Electrical Engineering and Computer Science, Kyungpook National University)

*** 正會員, 亞洲大學校 電子工學部
(Dept. of Electronics Engineering, Ajou University)

※ 이 논문은 2000년도 한국학술진흥재단의 지원에 의하여 연구되었음.(과제번호:E00235)

接受日字:2001年10月31日, 수정완료일:2002年2月15日

I. 서 론

무선통신 시스템의 초고주파 분야에는 GaAs 소재를 주로 사용한다. GaAs는 Si에 비하여 반부도체 특성이 좋으며, 빠른 전자 이동도를 이용하여 높은 주파수에 사용된다. 반면, GaAs는 고가의 제조공정과 실리콘 집적회로 공정에 비해 까다롭고, 낮은 생산성과 같은 여러 가지 단점을 갖고 있다. 이러한 문제점으로 인해 저렴한 비용의 잘 확립된 실리콘 집적회로 제조공정을

이용하여 실리콘 MMIC를 개발하고자 하는 많은 연구가 진행되어 왔다^[1~6]. 그러나, 실리콘 기판은 마이크로웨이브 영역에서의 큰 도전성으로 인해 전송선로의 손실이 크고, 소자간의 용량성 결합 등으로 MMIC의 실현에 어려움이 있다. 이를 극복하기 위하여 높은 비저항을 가진 실리콘 기판을 사용하거나^[1~4], 실리콘 기판 상에 CVD에 의한 두꺼운 산화막^[5] 또는 스피코팅에 의한 두꺼운 폴리이미드^[4,6]를 형성한 다음 그 위에 수동소자나 전송선로를 구현하는 방법을 사용해 왔다. 그러나 높은 비저항의 웨이퍼는 결정성장 시키는데 비교적 가격이 비싸고, MOSFET와 BiCMOS와 같은 능동소자의 집적화에 적합하지 않다. 또한, 산화막과 폴리이미드는 마이크로웨이브 영역에서의 전송선로 특성을 개선하고, 양호한 소자간 격리 특성을 얻기에 충분한 수십 μm 정도의 두꺼운 절연층을 제조하는 것이 불가능하다.

이러한 문제의 해결방안으로서 최근에 실리콘 기판 상에 10 μm 두께 이상의 절연층을 형성하여 마이크로웨이브 전송선로 특성을 개선하기 위하여 다공질 실리콘 산화법으로 제조된 기판을 이용한 연구가 보고되었다^[7~9]. 산화된 다공질 실리콘(oxidized porous silicon : OPS)은 마이크로웨이브 영역에서 낮은 비저항의 실리콘 기판의 높은 유전손실을 극복하며, CVD 산화막에 비해 매우 짧은 산화시간을 가진다는 장점을 가지고 있다. 또한, 다공질 실리콘 산화막의 공정기술은 기존의 실리콘 공정을 그대로 이용할 뿐만 아니라 GaAs보다 훨씬 저렴하고 큰 직경의 웨이퍼를 사용한 대량생산은 생산효율의 극대화를 이룰 수 있다. 또한 실리콘의 기본적인 공정 안정성과 호환성은 Si CMOS 및 BiCMOS와 같은 성능 향상과 더불어 높은 집적도와 저가격화를 구축할 수 있다.

현재 디지털 IC는 실리콘 집적회로공정기술에 기반을 두고 있으며, RF 아날로그 IC와 함께 단일 칩으로 제조될 가능성이 매우 많아지고 있다. 그러므로 실리콘 아날로그회로와 디지털 회로가 하나의 칩속에 병존하는 혼성 모드 회로에 대한 관심이 급증하고 있다. 이런 진보된 실리콘 혼성신호 IC는 Coplanar Stripline(CPS), Coplanar Waveguide (CPW)와 같은 다른 전송매체와 결합하여 최적의 회로설계를 위하여 효율적인 Interconnect기술이 필요하게 되었다^[10]. 이러한 Interconnects는 기생 결합커패시턴스를 낮추기 위하여 크기가 작아야 하며, 높은 수율과 낮은 제조단가

를 위하여 공정이 단순해야 한다. 이러한 목적에 적합한 기술을 개발하기 위하여 본 논문에서는 표면 마이크로머시닝 기술을 이용하여 air-bridge interconnect된 CPW 전송선로를 제작하고 그 특성을 조사하였다.

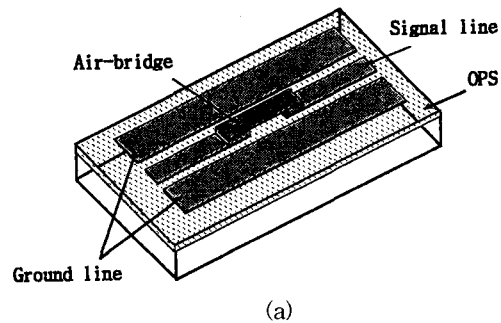
II. 실험방법

1. CPW 구조

그림 1은 세가지 종류의 air-bridge interconnect된 CPW 구조에 대한 개략도 이다. 사용된 실리콘 기판은 P형 (100), $\rho = 5 \sim 10 \Omega \cdot \text{cm}$ 이며, 두께는 515 μm 이다. 그리고 기판 위에 10 μm 두께의 OPS가 형성되어 있다. CPW 전송선은 전기도금시 seed layer로 Cr/Au박막을 형성하고, 그 위에 2 μm 두께의 Cu를 전기도금하였다. 그리고 그림 1(a)와 (b)의 air-bridge interconnect는 모두 길이가 220 μm , 폭이 100 μm 로 되어 있고, 그림 1(c)는 손실을 줄이기 위한 step-compensated air-bridge interconnect로서 길이가 220 μm , 폭이 60 μm 이다. 그림 1(a)의 CPW 전송선은 신호선의 폭이 80 μm 및 100 μm , 간격은 30 μm 및 40 μm 로 총 4가지로 구성되어 있다. 그림 1(b)와 (c)의 CPW는 신호선의 폭이 100 μm , 간격은 30 μm 및 40 μm 로 2가지로 설계되었다. 이때, 각 신호선의 길이는 모두 2 mm이다. 표 1은 그림 1의 CPW에 대한 상세한 크기를 종류별로 나타낸 것이다.

2. 제조 공정

그림 2는 air-bridge interconnect된 CPW의 제조공정도이다. 먼저 실리콘 웨이퍼를 양극반응하여 다공질 실리콘을 형성한 후, 다단계 열산화를 사용하여 OPS를 형성하였다. 이때 다공질 실리콘 형성을 위해 전류밀도는 20mA/cm²이었고, 반응용액은 43wt% 불산(HF)/에틸알코올(C₂H₅OH)을 혼합액을 사용하였다^[11]. 그리고 40 $^{\circ}\text{C}$, 30분의 건식산화와 1000 $^{\circ}\text{C}$, 1시간의 건식산화 및



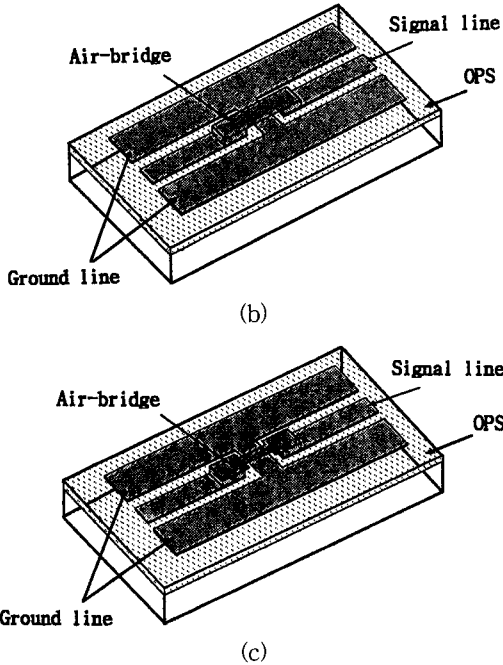


그림 1. Air-bridge interconnect된 CPW 구조
 Fig. 1. Air-bridge interconnected CPW structures.
 (a) CPW air-bridge only
 (b) CPW air-bridge with crossover
 (c) CPW stepped air-bridge with crossover

표 1. 각 종류별 CPW에 대한 구조의 크기
 Table. 1. Structure's size of CPW according to several types.

종류	구조	air-bridge		CPW signal line
		길이(μm)	폭(μm)	S-W-S (μm)
Type I: CPW air-bridge only	220	100	30-80-30	
			40-80-40	
			30-100-30	
			40-100-40	
Type II: CPW air-bridge with corssover	220	100	30-100-30	
			40-100-40	
Type III: CPW stepped air-bridge with corssover	220	60	30-100-30	
			40-100-40	

1000°C, 1시간의 습식산화 공정을 수행하여 산화층 내부에 잔존하는 기공을 제거하며, 표면을 치밀화 하는 다단계 열산화 공정을 수행하였다^[12]. 그림 3은 다단계

열산화된 10 μm 두께의 산화된 다공질 실리콘 층을 나타낸 전자 현미경 사진이다. 이렇게 형성된 OPS 위에 CPW를 형성하기 위하여 evaporator를 이용하여 500Å 두께의 Cr과 1000Å 두께의 Au를 증착하였다. PR공정으로 Cr/Au 패터닝하여 1차 도금을 위한 base metal seed layer를 형성하였다(그림 2(a)). 도금용 PR공정으로 1차 도금을 위한 영역을 정의하여 Cu 도금을 행하였다. 이때, 도금은 5분간의 무전해 도금과 전류밀도가 10mA로서 15분 동안 전해도금을 수행하였다(그림 2(b)). 그리고 air-bridge를 base metal과 연결하기 위하여 도금용 PR공정으로 Via 영역을 정의하여 2차 도금을 행하

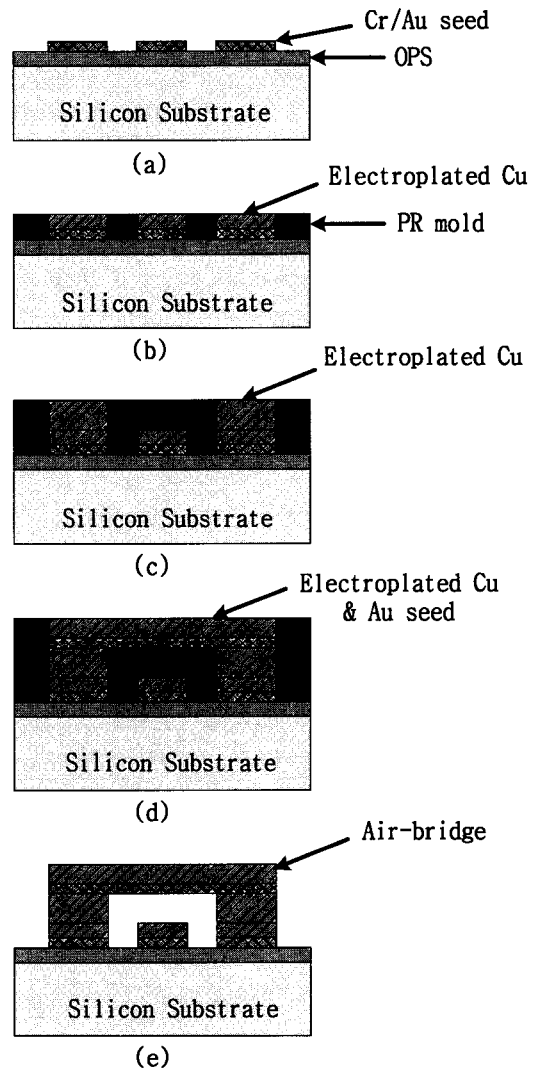


그림 2. Air-bridge interconnect CPW 공정순서
 Fig. 2. Process Procedure of Air-bridge inter-connected CPW.

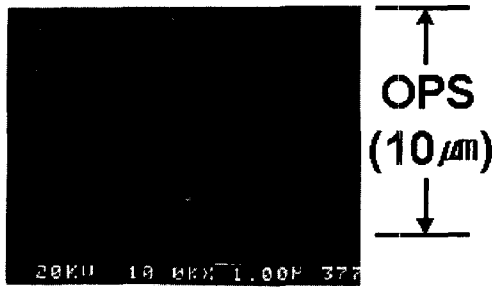
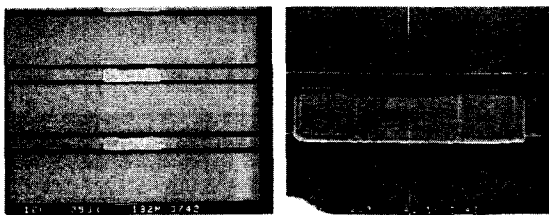


그림 3. 10 μm 두께의 산화된 다공질 실리콘
Fig. 3. 10-μm-thick oxidized porous silicon.

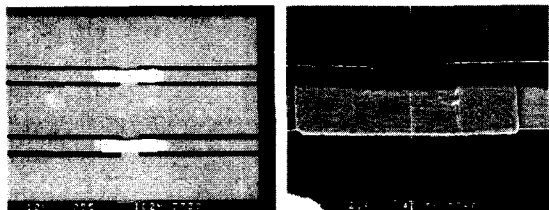
였다. 이때 사용된 도금공정은 3분간의 무전해 도금과 5mA의 전류 밀도로 7분간의 전해 도금하였다(그림 2(c)). 다음으로 air-bridge용 seed layer 형성을 위하여 evaporator를 이용하여 1000Å 두께의 Au를 증착하였다. 이어서 Au를 패터닝한 후, 도금용 PR공정으로 도금할 영역을 정의하여 3차 도금을 행하였다. 이때 도금은 5분간의 무전해 도금과 5mA의 전류 밀도로 10분간의 전해 도금하였다(그림 2(d)). 마지막으로 아세톤에 시편을 5분 정도 담궈 희생층으로 사용된 모든 PR을 제거하여 air-bridge를 형성하였다(그림 2(e)).

III. 결과 및 토의

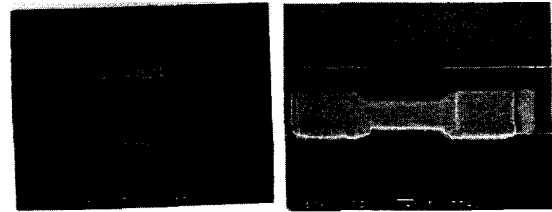
그림 4는 제작된 3가지 형태의 air-bridge interconnect된 CPW 전송선의 전자 현미경 사진이다.



(a) CPW air-bridge only (Type I)



(b) CPW air-bridge with crossover (Type II)



(c) CPW stepped air-bridge with crossover (Type III)

그림 4. 제작된 CPW 전송선의 전자현미경 사진
Fig. 4. SEM photograph of the fabricated CPW signal line.

제작된 전송선의 두께는 2 μm, air-bridge의 두께는 3 μm이다. 여기서 희생층이 완전히 제거되었으며, air-bridge는 완전히 떠 있는 구조를 이루고 있다.

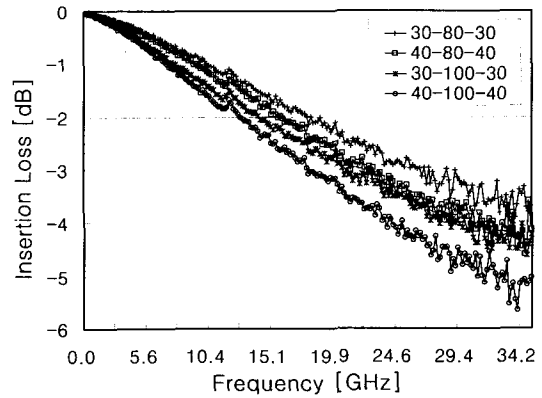


그림 5. 제작된 CPW air-bridge 전송선의 삽입손실
Fig. 5. Insertion loss of the fabricated CPW air-bridge signal line.

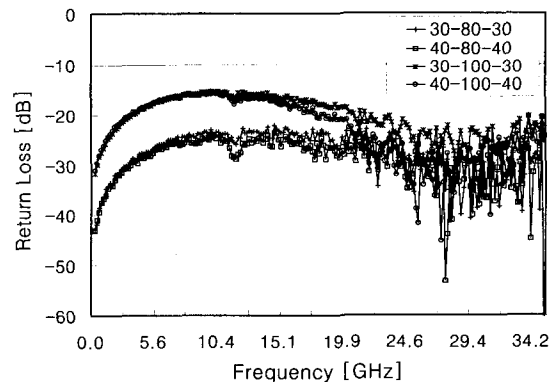


그림 6. 제작된 CPW air-bridge 전송선의 반사손실
Fig. 6. Return loss of the fabricated CPW air-bridge signal line.

제작된 3가지 형태의 전송선에 대한 신호 전달 특성을 얻기 위하여 HP8510C 네트워크 분석기를 사용하였으며, Calibration은 고주파 대역에서 정확성이 매우 우수한 TRL (Thru-Reflect-Line) calibration 방법을 이용하였다. 이때, 측정 주파수 범위는 1~35 GHz이었다. 그림 5는 Type I의 형태로 제작된 CPW overpass 전송선의 신호 전송시 인가 주파수에 대한 삽입손실 특성을 나타내며, 그림 6은 인가 주파수에 대한 반사손실을 나타내고 있다.

S-W-S = 30-80-30 μm 인 CPW의 삽입손실은 4 GHz에서 -0.25 dB로서 대체적으로 낮은 손실을 나타내고 있으며, 반사손실은 4 GHz에서 -28.9 dB를 나타내어 입력으로 반사되는 손실이 거의 없음을 알 수 있다. 이때, 특성 임피던스가 50 Ω 으로 제작된 S-W-S = 30-80-30 μm 인 CPW의 인가 주파수에 따른 특성 임피던스의 변화는 그림 7과 같다. 표 2는 OPS 위에 제조된 다른 종류의 CPW를 본 연구결과와 비교한 것이다. 표에서와 같이 본 연구결과가 다른 종류와 비교해 보았을 때 매우 양호함을 알 수 있다.

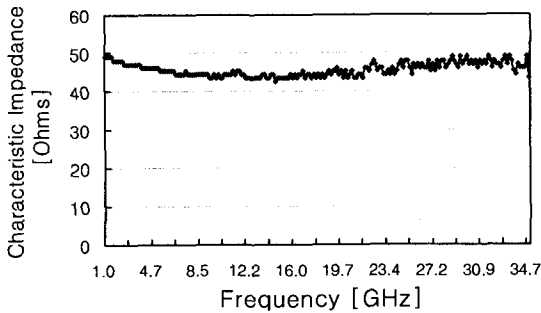


그림 7. 인가 주파수에 따른 특성 임피던스의 변화
Fig. 7. Characteristic impedance as a function of the applied frequency.

표 2. 다른 종류의 CPW에 대한 왜곡 비교 (길이 : 2 mm)

Table 2. Attenuation comparison of different type of CPW (Length : 2mm)

Sample	S-W-S (μm)	Impedance Z_0 (Ω)	Attenuation (dB/cm)	
			4GHz	10GHz
Reference[6]	30-100-30	59.4	1.08	3.26
Reference[7]	20-100-20	52.1	2.93	4.50
This work	30-80-30	45.6	1.25	4.75

그림 8은 air-bridge 아래로 접지선이 지나가는 두가지 형태의 CPW 전송선(S-W-S = 30-100-30 μm)에 대한 신호 전달 특성을 비교하였다. 여기서, stepped air-bridge를 가지는 CPW (Type III)는 손실 특성을 개선하기 위하여 제안된 것이다. 측정된 결과로부터 step compensated air-bridge를 가지는 CPW의 손실이 4 GHz일 때, -0.98 dB 개선됨을 알 수 있었다. 표 3은 두 형태의 반사손실을 몇 개의 주파수에 따라 비교해 놓은 것이다.

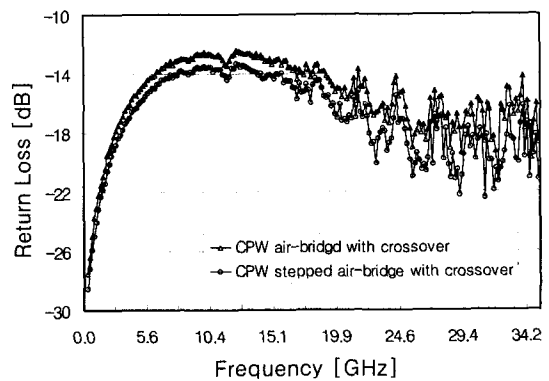


그림 8. Air-bridge 아래에 접지선이 있는 두가지 형태의 CPW의 반사손실 (Type II & III)
Fig. 8. Return loss of two types of CPW with a ground under air-bridge (Type II & III).

표 3. Type II와 III의 반사손실 비교
Table 3. Comparison of return loss of Type II and III.

Type	4GHz	5GHz	8GHz	10GHz	15GHz	20GHz
II	-16.23	-14.41	-13.03	-12.73	-13.34	-15.03
III	-17.21	-15.87	-13.82	-13.61	-14.13	-16.06
III-II	-0.98	-1.46	-0.79	-0.88	-0.79	-1.03

IV. 결 론

본 논문에서는 실리콘 기판상의 전송선로 특성을 개선하기 위하여 10 μm 두께의 다공질 실리콘 산화막으로 제조된 기판을 사용하여 표면 마이크로머시닝 기술로 air-bridge interconnect된 CPW 전송선로를 제작하고, 그 특성을 조사하였다. 간격이 30 μm , 신호선이 80

μm 인 CPW air-bridge 전송선의 삽입손실은 4 GHz에서 -0.25 dB이며, 반사손실은 -28.9 dB를 나타내었다. 여기서 50 Ω 으로 제작된 S-W-S = 30-80-30 μm 인 CPW의 측정된 특성 임피던스는 45.6 Ω 으로 나타났다. S-W-S = 30-100-30 μm 인 stepped compensated air-bridge를 가지는 CPW는 반사손실이 4 GHz일 때, Type II에 비하여 -0.98 dB 개선됨을 알 수 있었다. 이와 같은 결과로부터 두꺼운 다공질 실리콘 위에 다른 전송매체와의 interconnect을 위하여 제작된 air-bridge interconnect 된 CPW는 실리콘 기판을 이용한 고성능, 저가의 마이크로파 및 밀리미터파 회로 응용에 충분히 활용 될 수 있으리라 기대된다.

참 고 문 헌

- [1] J. Buechler, E. Kasper, P. Russer, and K. Strohm, "Silicon high-resistivity-substrate millimeter-wave technology", *IEEE Microwave Theory Tech.*, Vol. MTT-34, pp. 1516~1521, Dec. 1986.
- [2] A. C. Reyes, S. M. El-Ghazaly, S. Dorn, M. Dydyk, and D. K. Schroder, "Silicon as a microwave substrate", in *IEEE MTT-S Dig.*, 1994, pp. 1759~1762.
- [3] S. R. Taub, "Temperature dependent performance of coplanar waveguide (CPW) on substrate of various materials", in *IEEE MTT-S Dig.*, 1994, pp. 1049~1051.
- [4] C. Warns, W. Menzel, and H. Schumacher, "Transmission lines and passive elements for multilayer coplanar circuits on silicon", *IEEE Microwave Theory Tech.*, Vol. 46, No. 5, pp. 616~622, May. 1998.
- [5] H. Sakai, Y. Ota, K. Inoue, T. Yoshida, K. Takahashi, S. Fujita, and M. Sagawa, "A novel millimeter-wave IC on Si substrate using flip-chip bonding technology", in *IEEE MTT-S Dig.*, 1994, pp. 1763~1766.
- [6] B. K. Kim, B. K. Ko, and K. Lee, "Monolithic planar inductor and waveguide structures on silicon with performance comparable to those in GaAs MMIC", in *IEDM Tech. Dig.*, 1995, pp. 717~720.
- [7] C. M. Nam and Y. S. Kwon, "Coplanar waveguides on silicon substrate with thick oxidized porous silicon (OPS) layer", *IEEE Microwave and Guided Wave Lett.*, Vol. 7, No. 8, pp. 236~238, Aug. 1997.
- [8] R. J. Welty, S. H. Park, P. M. Asbeck, K. -P. S. Dancil, and M. J. Sailor, "Porous silicon technology for RF integrated circuit applications", in *Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, 1998, pp. 160~163.
- [9] R. L. Peterson and R. F. Drayton, "Dielectric properties of oxidized porous silicon in a low resistivity substrate", in *IEEE MTT-S Dig.*, 2001, pp. 765~768.
- [10] K. Goverdhanam, R. N. Simons, and L. P. B. Katehi, "Novel three-dimensional vertical interconnect technology for microwave and RF applications", in *IEEE MTT-S Dig.*, 1999, pp. 641~644.
- [11] Y. Watanabe, Y. Arita, T. Yokoyama, and Y. Igarashi, "Formation and properties of porous silicon and its application", *J. Electrochemical Soc.: Solid-State Sci. Technol.*, Vol. 122, No. 10, pp. 1351~1355, Oct. 1975.
- [12] 류창우, 심준환, 이정희, 이종현, "양질의 FRO (Fully Recessed Oxide)의 선택적 형성", 대한전자공학회논문지, 제 33권 A편 7호, pp. 149~155, 1996. 7.

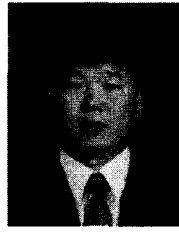
저 자 소 개



沈 俊 煥(正會員)

1991년 2월 : 경북대학교 전자공학과(공학사). 1993년 2월 : 경북대학교 전자공학과(공학석사). 1998년 2월 : 경북대학교 전자공학과(공학박사). 1998년 9월~현재 : 한국해양대학교 전파·정보통신공학부 조교수.

<주관심분야 : 집적회로공정기술, 반도체센서, 마이크로머시닝기술, RF-MEMS>



李 東 仁(學生會員)

1988년 8월 : 경북대학교 전자공학과(공학사). 2000년 2월 : 경북대학교 전자공학과(공학석사). 2000년 3월~현재 : 경북대학교 박사과정 재학중, (주) 티오스 대표이사. <주관심분야 : 마이크로 액추에이터, MEMS>



權 載 祐(學生會員)

2000년 2월 : 위덕대학교 전자공학과(공학사). 2000년 2월 : 경북대학교 전자공학과(공학석사). 2001년 3월~현재 경북대학교 전자공학과 대학원 박사과정 재학. <주관심분야 :

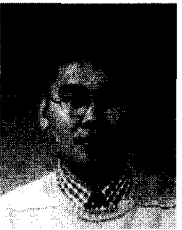
마이크로머시닝기술, RF-MEMS>

金 鎭 良(正會員) 第 38 卷 TC編 第 7 號 參照

현재 아주대학교 전자공학부 대학원 박사과정 재학

李 海 英(正會員) 第 36 卷 D編 第 9 號 參照

현재 아주대학교 전자공학부 교수



朴 正 用(正會員)

1988년 8월 : 경북대학교 전자공학과(공학사). 1991년 2월 : 경북대학교 전자공학과(공학석사). 1991년 1월~1997년 4월 : 대우통신(주) 근무. 1997년 5월~2001년 3월 (주)에브넷 근무. 2002년 2월 : 경북대학교 전자공학과(공학박사). 현재 : (주) 티오스 연구소장. <주관심분야 : 반도체센서, RF-MEMS, 자동차용 전장품제어>

<주관심분야 : 반도체센서, RF-MEMS, 자동차용 전장품제어>

李 鍾 玄(正會員) 第 37 卷 SD編 第 2 號 參照

현재 : 경북대학교 전자전기컴퓨터학부 교수