

論文2002-39SD-5-1

## 새로운 티타늄 실리사이드 형성공정과 STI를 이용한 서브 0.1 $\mu\text{m}$ ULSI급 소자의 특성연구

(A Study on sub 0.1 $\mu\text{m}$  ULSI Device Quality Using Novel Titanium Silicide Formation Process & STI)

嚴 今 鎔 \*, 吳 煥 術 \*\*

(Gum Yong Eom and Hwan Sool Oh)

### 요 약

현재 VLSI(Very Large Scale Integrated Circuit) 및 CMOS(Complementary Metal Oxide Semiconductor) 소자에서는 게이트 전극용 금속-실리사이드 재료로 플로린을 포함한 화합물의 영향이 적은 티타늄 실리사이드(TiSi<sub>2</sub>) 물질이 주로 사용되고 있다. 그러나 이에 대한 많은 연구가 수행되어 왔으나 서브마이크론 게이트 산화막에 대하여 우수한 전기적 특성과 양호한 신뢰성을 얻을 수 있는 방법들에 대한 연구가 이루어지고 있지 않아 본 연구에서는 서브 0.1 $\mu\text{m}$ 급 MOSFET에 대하여 STI 구조를 형성하고 게이트전극으로 2 단계(Two Step) 티타늄 형성방법을 통하여 우수한 특성을 얻고자 하였다. 형성된 MOSFET의 물리적인 특성은 FIB-TEM을 이용하여 STI(Shallow Trench Isolation) 단면에 대한 성공적인 구조를 확인할 수 있었으며 전기적인 특성으로는 STI의 경우 56.1~58.3 Cm<sup>2</sup>/V.Sec 정도의 낮은 PMOS의 이동도값과 높은 절연과피값을 얻을 수 있었다. 트랜지스터 특성면에서는 스윙(V<sub>gate</sub>, Subthreshold Swing(SS), mV/de.)값에 대하여 전체적으로 STI의 경우가 NSLOCOS에 비하여 게이트 전압값의 변화가 적게 나타나는 결과를 얻었다. 드레인포화전류(I<sub>dsat</sub>, Saturation Current, A)값은 전체적으로 면적이 큰 경우에 비하여 적은 면적에서 전류량의 변화가 크게 나타나는 결과를 얻었으며 전압이 증가하면 포화전류값도 조금 증가하는 경향을 나타내었다. 또한 V<sub>ds</sub>가 2.0/A(15 $\times$ 15 $\mu\text{m}^2$ )에서 STI의 경우 -2.57e-5~-4.0e-5, NSLOCOS의 경우 -1.27e-5~-3.2e-5 값을 나타내어 STI의 경우가 NSLOCOS에 비하여 조금 큰 포화전류값을 나타내었다. 전달전도도(g<sub>m</sub>, Transconductance, [S]=1/ohm) 값에서는 0.2 $\times$ 0.2 $\mu\text{m}^2$ 에서 PMOS 경우 6.48e-4~6.42e-4 인 반면 NMOS 경우 6.27e-4~6.24e-4 정도로 PMOS 영역의 경우가 N형 영역의 값에 비하여 큰 값을 나타내었다. 이러한 결과로부터, 서브 0.1 $\mu\text{m}$ 급의 초 고집적회로 소자에 대한 특성은 본 연구에서 제시된 STI 필드산화막 형성방법과 2 단계 티타늄실리사이드 형성방법을 통한 게이트전극층 형성공정으로 우수한 소자 특성을 얻을 수 있을 것으로 사료된다.

### Abstract

Deep sub-micron bulk CMOS circuits require gate electrode materials such as metal silicide and titanium silicide for gate oxides. Many authors have conducted research to improve the quality of the sub-micron gate oxide. However, few have reported on the electrical quality and reliability of an ultra-thin gate. In this paper, we will recommend a novel shallow trench isolation structure and a two-step TiSi<sub>2</sub> formation process to improve the corner metal oxide semiconductor field-effect transistor (MOSFET) for sub-0.1 $\mu\text{m}$  VLSI devices. Differently from using normal LOCOS technology, deep sub-micron CMOS devices using the novel shallow trench isolation (STI) technology have unique "inverse narrow-channel effects" when the channel width of the device is scaled down. The titanium silicide process has problems because fluorine contamination caused by the gate sidewall etching inhibits the silicide reaction and accelerates agglomeration. To resolve these problems, we developed a novel two-step deposited silicide process. The key point of this process is the deposition and subsequent removal of titanium before the titanium silicide process. It was found by using focused ion beam transmission electron microscopy that the STI structure improved the narrow channel effect and reduced the junction leakage current and threshold voltage at the edge of the channel. In terms of transistor characteristics, we also obtained a low gate voltage variation and a low trap density, saturation current, some more to be large transconductance at the channel for sub-0.1 $\mu\text{m}$  VLSI devices.

\* 正會員, 城南技能大學 光電子科

(Department of Electronic Engineering, Sunnam)

\*\* 正會員, 建國大學校 電子·情報通信 工學科

(Department of Electronics, Information and communication Engineering, Konkuk University)

接受日字:2001年9月24日, 수정완료일:2002年4月8日

## I. 서론

VLSI(Very Large Scale Integrated)회로 및 서브마이크론 CMOS(Complementary Metal Oxide semiconductor) 소자에서는 소자의 집적도가 증가함에 따라 게이트 전극용으로 금속-실리사이드(Metal-Silicide) 얇은 박막(Thin-Film)과 같은 저항값을 가지는 물질들이 요구되고 있다.<sup>[1]</sup> 금속 실리사이드 중에 TiSi<sub>2</sub>(Titanium-Silicide)는 여러 종류의 금속 실리사이드 중에서 가장 작은 저항값과 높은 제품화 특성(Higher Manufactureability) 때문에 가장 적합한 게이트 전극 재질로 사용되고 있다.<sup>[2,3]</sup> 그러므로 티타늄실리사이드에 대한 연구가 처음 시작된 이래 양질의 산화막 특성을 얻으려는 많은 연구가 수행되어 왔다.<sup>[4,5]</sup> 그러나 서브마이크론(<0.1 $\mu$ m) 소자에 대하여는 양호한 산화막 막질과 신뢰성을 얻기 위한 게이트 산화막 형성 방법이나 새로운 방법의 필드산화막 형성방법 및 개선된 TiSi<sub>2</sub> 형성방법 등에 대한 연구는 이루어지고 있지 않다.

본 연구는 서브마이크론(<0.1 $\mu$ m) 소자에 대하여 게이트 산화막에 대한 우수한 특성을 얻고자 필드산화막을 기존의 방법과는 달리 STI(Shallow Trench Isolation) 방법을 사용하여 형성하고 일반적인 형성방법인 NSLOCOS(Normal Spaced Local Oxidation of Silicon) 구조와 비교하여 물리적, 전기적특성을 분석 하였다.<sup>[6,7]</sup> 게이트 산화막에 대하여는 N<sub>2</sub>O 산화막 형성방법으로 30Å을 형성 시켰으며 소자의 게이트 전극은 본 연구에서 제시된 2 단계(Two-step) 티타늄실리사이드 형성 방법을 통하여 우수한 TiSi<sub>2</sub>를 형성할 수 있었다.

형성된 MOSFET에 대하여는 물리적, 전기적 특성으로 비교 분석하였다. 소자의 게이트 산화막에 대한 물리적인 특성 중 단면도에 대하여는 실제 토폴로지(Topology)에 대하여 각각 FIB-TEM(Focused Ion Beam Transmission Electron Microscopy)으로 비교 분석하였다. 본 연구에서 성공적으로 형성한 STI 구조는 채널 가장자리 등에서 패드 산화막이나 희생 산화막의 제거 시 활성영역 가장자리에서 산화막의 손실을 최소화할 수 있을 것으로 기대되며 또한 이런 STI 구조는 집적회로 설계 시 큰 프로세스 여유(Margin)를 주어 소자의 집적도 증가에도 크게 기여 할 것으로 사료된다.<sup>[8,9]</sup> 전기적 특성으로는 PMOS에 대한 이동도(Mobility,  $\mu$ ) 값과 절연파괴전압(V<sub>BE</sub>, Breakdown

Voltage, V) 값으로 비교 분석하였다. 서브 0.1 $\mu$ m급 소자에 대한 트랜지스터의 파라미터 값으로는 스윙(V<sub>gate</sub>, Subthreshold swing, mV/de.)값과 드레인포화전류(Idsat, Saturation current, A), 전달전도도(g<sub>m</sub>, Transconductance, 1/ohm) 값으로 비교 분석하여 서브 0.1 $\mu$ m VLSI급 MOSFET에 대한 특성을 연구 하였다.

## II. 본론

### 1. 실험방법

본 연구는 서브 0.1 $\mu$ m급의 초 고집적회로 소자에서 MOSFET의 특성 향상을 목적으로 저항값이 8~10  $\Omega$ . cm(Prime)인 P형(100) 8인치 웨이퍼를 사용 하였으며 패드산화막 50Å 과 질화막 900Å을 증착하여 LOCOS(Local Oxidation Of Silicon) 공정을 진행하였다. 그후 ISO 마스크 작업과 식각공정을 거쳐 필드산화막으로는 NSLOCOS(Normal Spaced Local Oxidation Of Silicon) 용으로 2600Å을 증착하여 필드산화막(Isolation) 공정을 형성하였다. 반면 NSLOCOS 구조와 달리 본 논문에서 제시한 STI 구조는 HDP(High Density Plasma)-CVD(Chemical Vapor Deposition) 방법으로 6000Å을 증착한 후 ISO CMP(Chemical Mechanical Polishing) 방법으로 평탄화 시켜 형성 하였다.

이때 게이트 산화막은 N<sub>2</sub>O 산화막 형성방법을 이용하여 30Å을 형성하고 다결정실리콘을 1500Å 증착시킨 후 티타늄은 본 연구에서 제시한 2 단계(Two-Step) 증착방법, 즉 희석된 HF(DHF, Diluted HF)를 사용하여 자연산화막 성분을 제거하고 탈 이온화(Deionized) 물로서 세정한 후 스퍼터(Sputter) 시스템을 이용하여 다결정실리콘 위에 Ti 300Å을 증착 시켰다. 그후 APM 식각액(NH<sub>4</sub>OH:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O=1:1:5) 세정작업을 통하여 증착된 Ti를 완전히 제거하고 다시 Ti 300Å을 증착시킨 후 RTA(Rapid Thermal Annealing) 방법으로 850°C N<sub>2</sub> 분위기에서 각각 20초, 40초, 60초의 열처리로 TiSi<sub>2</sub>를 형성시켰으며 이후에 TiN을 제거하고 티타늄실리사이드 게이트 전극을 형성하였다. 그후 워드라인을 형성하고 LDD(Lightly Doped Drain) 이온주입 방법으로 비소(Arsenide) 1.0E13/cm<sup>2</sup>, 20 keV로 집합을 조절한 후 850°C에서 20초간 BPSG(Boron Phosphorus Silica Glass) 플로우(Flow)를 실시하고

CMP(Chemical Mechanical Polishing)로 평탄화 시킨 후 베리어 메탈층(Ti/TiN)과 텅스텐(W) 및 알루미늄(Al)으로 금속층을 형성시켰다.

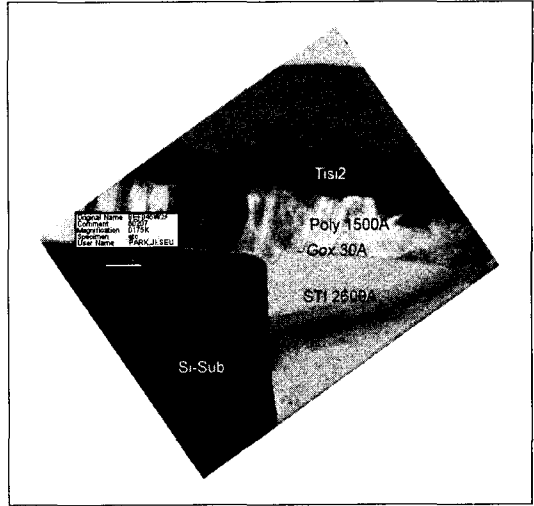
형성된 0.1 $\mu$ m급 소자에 대한 측정은 물리적인 특성으로 FIB-TEM(Focused Ion Beam Transmission Electron Microscopy) CM200 FET를 사용하여 시편을 이온-밀링(Ion-Milling) 방법으로 제작하여 STI와 NSLOCOS 구조에 대한 단면과 TiSi<sub>2</sub>의 성공적인 형성과 현상들에 대하여 관찰 하였다. 또한 전기적인 특성으로는 이동도(Mobility,  $\mu$ )와 접합의 절연과괴전압(V<sub>BE</sub>, Breakdown Voltage, V)값을 측정하여 비교 분석 하였으며 서브 0.1 $\mu$ m급 소자에 대한 트랜지스터의 파라미터 값으로는 드레인포화전류(I<sub>dsat</sub>, Saturation current, A)와 스윙(V<sub>gate</sub>, Subthreshold Swing(SS), mV/de.), 전달전도도(g<sub>m</sub>, Transconductance, [S]=1/ohm) 값으로 비교 분석하여 소자에 대한 특성을 연구 하였다.

2. 실험결과 및 고찰

그림1-(a)는 STI 구조에 대한 FIB-TEM 단면도를 나타내었다.

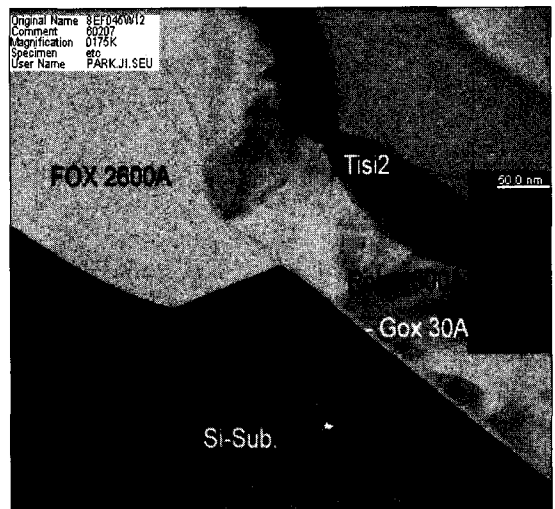
그림 1로부터 Si 기판에 STI 구조와 그 위에 적층된 게이트산화막, 다결정실리콘, TiSi<sub>2</sub>를 관측할 수 있으며 TiSi<sub>2</sub> 형성시 Si/SiO<sub>2</sub> 계면에 생성되는 Si의 침전(Precipitation)이나 Si-리치(Rich), SiO<sub>x</sub> 성분, TiSix 성분이나 TiSi<sub>2</sub> 침전물(Agglomeration)등은 관찰 되지 않았다.<sup>[3]</sup> 또한 그림 1-(b)는 NSLOCOS 구조에 대한 단면도로서 특이한 점은 STI 구조와는 달리 필드산화막 영역과 액티브영역경계에서 형성된 TiSi<sub>2</sub> 층이 분리되는 현상이 관찰되었다.<sup>[10~12]</sup> 이러한 현상은 디바이스 동작 시 접합영역의 누설전류를 증가시키거나 절연과괴전압을 감소시키는 원인이 되는 것으로 사료되며 또한 Si/SiO<sub>2</sub> 계면에서 포획전하밀도나 이온들을 생성시키게 되어 게이트산화막의 신뢰성 저하의 원인이 되기도 한다. 그러므로 STI 구조의 경우 상대적으로 NSLOCOS에 비하여 소자에서 큰 활성영역(Active Area)을 이용할 수 있고 소자의 집적도를 증가시킬 수 있게되며 또한 전기적 특성(채널폭(W), V<sub>th</sub>)면에서 양호한 특성을 얻을 수 있을 것으로 사료된다.

그림 2에 PMOS 트랜지스터(소자의 폭(W)이 15 $\mu$ m)에 대하여 이동도(Mobility,  $\mu$ ) 값을 나타내었다.<sup>[13]</sup> 일반적으로 이동도는 웰(Well)의 확산농도와 표면의 전위



(a) STI 구조에 대한 단면도

(b) NSLOCOS 구조에 대한 단면도



(a) STI Structure

(b) NSLOCOS Structure

그림 1. 필드산화막에 대한 FIB-TEM 단면도

Fig. 1. A cross-section view of FIB-TEM on Isolation.

(Surface Potential) 및 게이트산화막의 두께와 Si/SiO<sub>2</sub>의 포획밀도(Trap Density) 및 작은 거침정도(Micro-roughness) 등에 영향을 받게되는 것으로 알려져 있다. 필드산화막의 형성방법과 티타늄의 증착방법에 따른 Si/SiO<sub>2</sub> 계면의 특성은 이동도값으로 비교할 수 있는데 전체적으로는 큰 차이점을 나타내지 않고 있으나 STI의 경우 56.1~58.3 Cm<sup>2</sup>/V.Sec 정도의 값을 가진 반면 NSLOCOS의 경우 58.5~59.8Cm<sup>2</sup>/V.Sec 정도의 값을

나타내어 STI의 경우 이동도 값이 조금 적게 나타났다. 그러나 이러한 결과는 이동도가 온도 의존성이 크므로 온도가 높거나 게이트전압( $V_G$ )이 높으면 더욱 더 큰 차이를 나타낼 것으로 사료되며 일반적으로 일정 온도 범위(25K~100K)에서는 약 0.1eV의 활성화 에너지 값에서 이동도가 상당히 활성화된 결과를 나타내며 일정 온도 이하 (< 25K)에서는 거의 의존성이 없는 특성을 나타내게 되는 것으로 알려져 있다.<sup>[14]</sup>

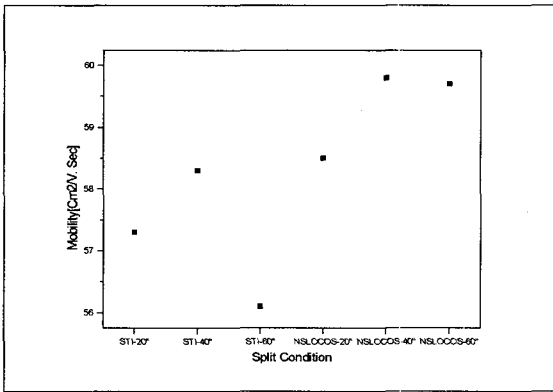


그림 2. 호일의 이동도  
Fig. 2. Hole Mobility.

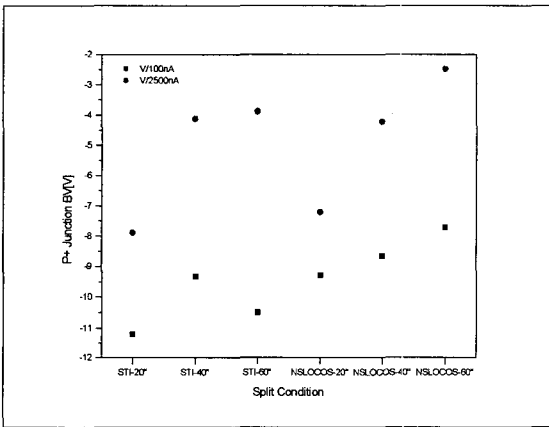


그림 3. 접합영역의 절연파괴전압( $V_{BE}$ )  
Fig. 3. Breakdown Voltage of Junction.

그림 3은 접합에 대한 절연파괴 전압값( $V_{BE}$ )을 나타내었다.<sup>[16]</sup> 절연파괴 값은 100nA 측정전류값에서 STI 20초 열처리 경우 약 11.2[V]인 반면 NSLOCOS 경우 9.29[V]이고 STI 60초 열처리 경우 약 10.5[V]인 반면 NSLOCOS 경우 7.72[V]로 나타났다. 전체적으로 STI의 경우가 NSLOCOS에 비하여 큰 절연파괴 전압값을

나타내고있으며 이는 필드산화막의 형성방법차이에서 나타나는 Si/SiO<sub>2</sub> 계면의 포획전하밀도 차와 STI의 경우 채널 가장자리에서의 임계전압값 감소효과, 채널영역의 확보(Narrow Channel Effect 개선)효과등에 의한 결과로 사료된다.<sup>[7]</sup>

그림 4에는 STI & NSLOCOS 구조에 대한 문턱전압 값을 나타내었다. 일반적으로 TiSi<sub>2</sub> 형성 시 다결정실리콘층의 도펀트(Dopant) 결핍이나 TiSi<sub>2</sub> 형성 열처리 온도의 증가는 문턱전압값을 증가시키거나 구동전류(Drive-current)를 감소시키는 것으로 알려져 있으며 또한 TiSi<sub>2</sub> 형성시 게이트 산화막의 재 산화막형성(Reoxidation)은 구동전류를 감소시키는 것으로 알려져 있다. STI의 경우 -0.72~-0.723[V] 값을 나타낸 반면 NSLOCOS의 경우 -0.74~-0.75[V]를 나타내어 전체적으로 STI의 경우 NSLOCOS에 비하여 큰 문턱전압값을 나타내고있으며 각각의 경우 열처리 온도가 증가하면 문턱전압값도 증가하는 결과를 나타내고 있다. 이는 필드산화막의 형성방법차이에서 나타나는 Si/SiO<sub>2</sub> 계면의 포획전하밀도 차와 STI의 경우 채널 가장자리에서의 임계전압값 감소효과, 채널영역의 확보(Narrow Channel Effect 개선)효과 및 구동전류의 증가 등에 의한 결과로 사료된다. 또한 문턱전압의 편차값은 일반적으로 산화막의 두께, 도펀트의 위치나 수에 큰 의존성을 가지는 것으로 알려져 있다.<sup>[15]</sup> 이 결과에서는 측정소자의 폭이나 길이에 따른 편차값의 차이는 크게 나타나지 않았다.

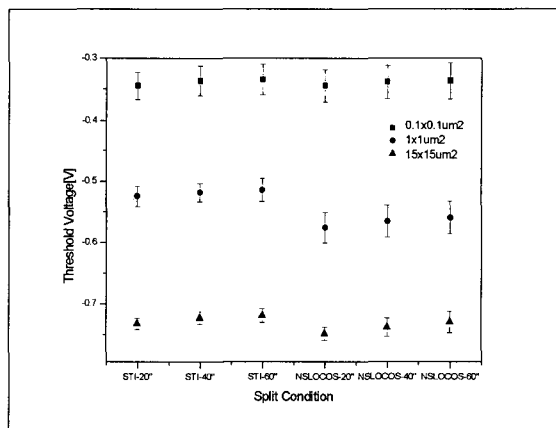


그림 4. 문턱전압( $V_{th}$ )값  
Fig. 4. Distribution of the Threshold Voltage on the PMOS.

그림 5는 드레인 전류에 대한 게이트전압값( $V_{gate}$ , Subthreshold Swing, SS)의 변화 정도를 나타내었다. 일반적으로 Subthreshold 스윙값은 문턱전압이나 Si 표면의 농도에 영향을 받는 것으로 알려져 있다. 전체적으로 STI의 경우가 NSLOCOS에 비하여 게이트 전압값의 변화가 적게 나타나고 있으며 또한 p형 영역에 비하여 n형 영역에서 문턱전압값의 의존성이 크게 나타나고 있음을 알 수 있다. 이는 티타늄 실리사이드 형성공정 시 Si/SiO<sub>2</sub> 계면의 불순물농도분포(Si-rich TiSi<sub>x</sub>, Si 침전물 등)가 적고 상대적으로 NSLOCOS에 비하여 Si/SiO<sub>2</sub> 계면에 대한 영향이 적으며 또한 필드산화막에 대한 FIB-TEM 결과에서와 같이 STI 구조가 소자형성 시 생성되는 열적 스트레스가 적게 나타난 결과로 사료된다.

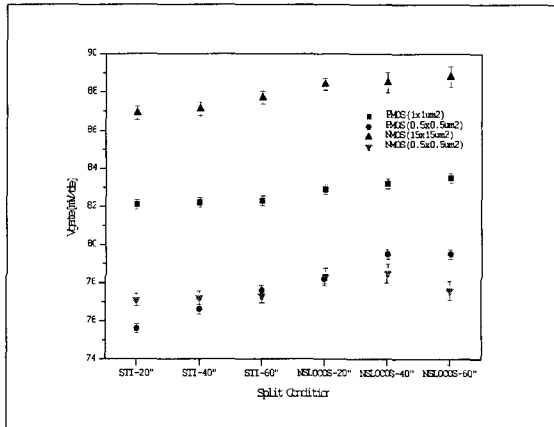


그림 5. 스윙(Swing, SS) 값  
Fig. 5. Distribution of the Subthreshold Swing on NMOS/PMOS

그림 6은 PMOS에 대하여 드레인전압 증가 시 채널을 통해 흐르는 전류의 양( $I_{dsat}$ , Saturation Current)을 나타내었다. 포화전류값<sup>[17]</sup>은 소자의 폭(W)과 길이(L)  $15 \times 15 \mu m^2$ ,  $0.21 \times 0.21 \mu m^2$ 에 대하여  $V_{gs}$ (Gate to Source voltage)를 일정하게 유지한 상태에서 드레인 전압( $V_{ds}$ )을 각각 2.0[V]/면적, 2.3[V]/면적으로 증가시킬 때에 채널을 통해 흐르는 전류의 양을 측정된 결과이다. 이는 주로 문턱전압값이나 전자의 평균이동도 및 게이트 산화막의 두께에 의한 영향을 나타내는 값으로 알려져 있다. 전체적으로 면적이 큰 경우에 비하여 적은 면적에서 전류 양의 변화가 크게 나타나고 있으며 전압이 증가하면 포화전류값도 조금 증가하는 경향을

나타내고 있다. 또한  $V_{ds}$ 가  $2.0/A(15 \times 15 \mu m^2)$ 에서 STI의 경우  $-2.57e^{-5} \sim -4.0e^{-5}$ , NSLOCOS의 경우  $-1.27e^{-5} \sim -3.2e^{-5}$  값을 나타내어 STI의 경우가 NSLOCOS에 비하여 조금 큰 포화전류값을 나타내고 있다. 이는 STI의 경우가 NSLOCOS에 비하여 게이트 전압값의 변화가 적고 티타늄 실리사이드 형성공정 시 Si/SiO<sub>2</sub> 계면의 불순물생성이 적게 나타나고 또한 접합(Junction)쪽의 농도 변화가 상대적으로 NSLOCOS에 비하여 적어 나타난 결과로 사료된다. 이러한 특성 결과로부터 소자의 집적도가 증가하고 게이트산화막의 두께가 적어질수록 필드산화막의 구조차이에서 생성될 수 있는 열적(Thermal) 스트레스나 게이트전극의 형성 시 생성되는 이온들에 의한 영향은 더욱 중요한 요인(Parameter)이 될 것으로 사료된다.

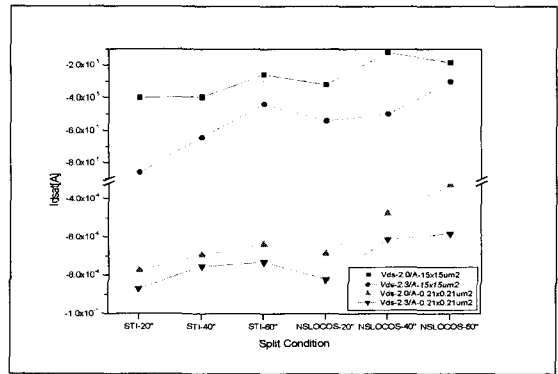


그림 6. 포화전류( $I_{dsat}$ ) 값  
Fig. 6. Distribution of the Saturation Current on PMOS.

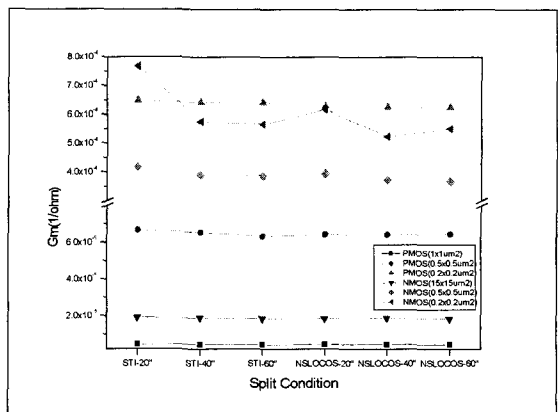


그림 7. 전달전도도( $g_m$ ) 값  
Fig. 7. Distribution of the Transconductances on NMOS/PMOS.

그림 7은 서브 0.1 $\mu\text{m}$ 소자에 대한 전달전도도( $g_m$ , Transconductance) 값을 PMOS 및 NMOS에 대하여 소자의 폭(W)과 길이(L)  $15 \times 15 \mu\text{m}^2$ ,  $1 \times 1 \mu\text{m}^2$ ,  $0.5 \times 0.5 \mu\text{m}^2$ ,  $0.21 \times 0.21 \mu\text{m}^2$ 에 대하여 나타내었다.

전달전도도는 일정한 소오스-드레인 전압( $V_{DS}$ ) 상태에서 게이트전압( $V_{GS}$ )의 변화량을 측정된 값이 된다. 이때 전달전도도 값은 게이트 전압값( $V_{GS}$ )의 변화와 접합영역의 불순물 농도값의 변화 등의 결과를 나타내게 되며 게이트 전압값은 접합영역의 이온화농도와 표면 전위 및 게이트 산화막의 두께에 영향을 받게되는 것으로 알려져 있다. 전체적으로 p형 영역의 경우가 n형 영역의 값에 비하여 큰 값을 나타내고 있으며 이는 측정면적이 큰 경우 더욱 큰 차이를 나타내고 있다. 즉  $0.2 \times 0.2 \mu\text{m}^2$ 에서 PMOS 경우  $6.48e^{-4} \sim 6.42e^{-4}$ 인 반면 NMOS 경우  $6.27e^{-4} \sim 6.24e^{-4}$  정도로 PMOS 영역에서 큰 값을 나타내었다. 그러나 측정소자의 폭(W)과 길이(L)가 큰 경우에 있어서는 PMOS와 NMOS의 차이가 크지 않은 결과를 나타내었다. 반면 STI나 NSLOCOS 구조 차이에 대하여는 큰 특성 차이를 나타내지 않고 있으나 STI의 경우가 조금 큰 값을 나타내고 있다. 이때 p형 영역과 n형 영역에서의 큰 값 차이는 다음과 같은 원인에 기인한 것으로 사료된다. 즉 p형 영역의 경우 소오스-드레인 영역내의 고농도 붕소( $B^{11}$ )가 분포하고 있어 Ti 증착 이후  $TiSi_2$  형성 시 고온( $850^\circ\text{C}$ )에서의 열처리 시나 베리어메탈층 형성전의 BPSG 플로워 공정( $800^\circ\text{C}$ )에서 상대적으로 큰 확산도(Diffusivity)를 가지는 붕소이온이 크게 감소되어 결국 소오스-드레인(S/D series) 저항값을 증가시키게 되고 결국 이로 인해 전달전도도 값이 적어지게 되는 것으로 사료된다. 반면 n형 영역의 경우 소오스-드레인 영역내에 고농도 인( $P^{31}$ )이 분포하고 있어 상대적으로 작은 확산도를 가지는 인이  $TiSi_2$  형성을 억제하게 되고 인의 농도 감소가 크게 이루어지지 않아 결국 소오스-드레인 저항값은 거의 그대로 유지하게 되어 전달전도도 값의 변화는 적게 나타난 것으로 사료된다.

### III. 결 론

최근 반도체 소자의 집적도 증가에 따라 서브마이크론( $<0.1 \mu\text{m}$ ) 소자에서 요구되는 VLSI 및 CMOS급 MOSFET에 대한 우수한 게이트산화막 특성을 얻고자 필드산화막을 STI(Shallow Trench Isolation) 방법을

사용하여 형성하고 게이트 전극용 금속 실리사이드로 본 연구에서 제시된 2단계 티타늄 실리사이드( $TiSi_2$ )를 형성법으로 서브 0.1 $\mu\text{m}$ 급 MOSFET에 대한 특성을 연구 하였다.<sup>[6,7]</sup> 본 연구결과 물리적인 특성면에서 FIB-TEM으로 성공적인 구조를 확인할 수 있었으며 이때 STI구조의 경우 채널 영역의 확보와 누설전류 감소 및 Si/SiO<sub>2</sub> 계면의 포획전하밀도 감소 등을 확인할 수 있었다. 전기적인 특성으로는 STI의 경우 56.1~58.3  $\text{Cm}^2/\text{V}\cdot\text{Sec}$  정도의 낮은 PMOS 이동도값과 높은 절연 파괴값(STI 20초 경우 11.2 [V])을 얻을 수 있었다. 트랜지스터의 파라미터 값으로는 스윙( $V_{gate}$ , Subthreshold Swing(SS),  $\text{mV}/\text{de.}$ )값에 대하여는 전체적으로 STI의 경우가 NSLOCOS에 비하여 게이트 전압값의 변화가 적게 나타나는 결과를 얻었으며 또한 p형 영역에 비하여 n형 영역의 게이트전압값의 변화가 크게 나타나는 결과를 얻었다. 드레인포화전류( $I_{dsat}$ , Saturation current, A) 값은 전체적으로 면적이 큰 경우에 비하여 적은 면적에서 전류 양의 변화가 크게 나타난 결과를 얻었으며 전압이 증가하면 포화전류값도 조금 증가하는 경향을 나타내었다. 또한  $V_{ds}$ 가  $2.0/\text{A}$ ( $15 \times 15 \mu\text{m}^2$ )에서 STI의 경우  $-2.57e^{-5} \sim -4.0e^{-5}$ , NSLOCOS의 경우  $-1.27e^{-5} \sim -3.2e^{-5}$  값을 나타내어 STI의 경우가 NSLOCOS에 비하여 조금 큰 포화전류값을 나타내고 있다. 전달전도도( $g_m$ , Transconductance,  $[\text{S}]=1/\text{ohm}$ ) 값에서는  $0.2 \times 0.2 \mu\text{m}^2$ 에서 PMOS 경우  $6.48e^{-4} \sim 6.42e^{-4}$ 인 반면 NMOS 경우  $6.27e^{-4} \sim 6.24e^{-4}$  정도로 PMOS 영역에서 큰 값을 나타내었다. 이때 측정면적이 큰 경우 더욱 큰 차이를 나타낸 결과를 얻었다.

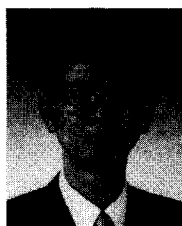
이러한 결과로부터 서브 0.1 $\mu\text{m}$ 급의 초 고집적회로 소자에서 MOSFET의 특성은 본 연구에서 제시된 STI 필드산화막 형성방법과 게이트전극으로 2 단계 티타늄 실리사이드 형성공정을 통하여 우수한 소자 특성을 얻을 수 있었다.

### 참 고 문 헌

- [1] J. U. Bae et al., "Effect of Pre-Amorphization of Polycrystalline on Agglomeration of  $TiSi_2$  in subquarter micron si lines," J. of Applied Physics Vol. 86, No. 9, pp. 4943~4947, 1 November 2000.
- [2] T. Yamaguchi et al., "Effect of Plasma-Induced damage on interfacial Reductions of Titanium

- Thin Films on Silicon Surfaces”, A. Physics Letters, Vol. 76, No. 17, pp. 2353~2356, April 2000.
- [3] S. Santucci et al., “X-ray Reflectivity Study on Tin/Ti/Si Structures before and after Annealing”, Thin Solid Films, Vol. 360, pp. 89~95, 2000.
- [4] 엄금용, 오환술, “MOS 구조에서의 얇은 산화막에 대한 절연특성에 관한연구”, 건국대학교 학술지, 제41집, 제2호, pp. 79~89, June(1997)
- [5] Ernest et al., “Ultra-thin Oxide Reliability for ULSI Applications”, Semiconductor Science Technology Vol. 15, pp. 425~435, 14 March 2000.
- [6] Coming Chen et al., “Shallow-Trench Isolation with Raised Field-Oxides Structure”, Jpn. A. Applied Physics, Vol. 39, No. 3A, pp. 1080~1084, March 2000.
- [7] Toshiyuki oishi et al., “Isolation Edge Effect Depending on Gate Length of MOSFET’s with Various Isolation Structures,” IEEE Transaction on Electron Devices, Vol. 47, No. 4, pp. 822~827, April 2000.
- [8] S. L. Cheng et al., “Effects of Stress on the Growth of  $TiSi_2$  Thin Films on (001) Si, Applied Physics Letters, Vol. 14, No. 10, pp. 1406~1408, 8 March 1999.
- [9] Jeffrey Lutze et al., “Transistor Off-State Leakage Current Induced by  $TiSi_2$  Pre-Amorphizing Implant in a  $0.2\mu m$  CMOS Process”, IEEE Transaction on Electron Devices, Vol. 21, No. 4, pp. 155~157, April 2000.
- [10] Wei JL et al., “Stress-induced High Field Gate Leakage Current Ultra-Thin Gate Oxide”, Elsevier Science Ltd, pp. 977~980, 1 June 2000.
- [11] Shih-Chia Lin et al., “A Closed-Form Back Gate-Bias Related Inverse Narrow-Channel Effect Model for Deep-Submicron VLSI CMOS Device using Shallow Trench Isolation”, IEEE Transaction on Electron Devices, Vol. 47, No. 4, p. 725, April 2000.
- [12] 엄금용, 오환술, “개선된 티타늄 실리사이드 형성 방법을 이용한 서브  $0.1\mu m$  게이트 산화막의 특성 개선에 관한연구”, 한국물리학회, 새물리 제41권, 제3호, pp. 182~186, September(2000)
- [13] Zhigang wang et al., “Effect of Polysilicon Gate Type on The Flatband Voltage Shift for Ultrathin Oxide-Nitride Gate Stacks”, IEEE Electron Devices Letters, Vol. 21, No. 4, pp. 170~172, April 2000.
- [14] Koji Eriguchi et al., “Effects of Strained Layer near Interface on Electrical Characteristics of Ultra-thin Gate Oxides” J. of Applied Physics, Vol. 87, No. 4, pp. 1990~1995, 15 February 2000.
- [15] Dong Kyun Sohn et al., “Reduction of Leakage Current for Shallow n+/p Junction Fabricated Using C49  $TiSi_2$  as a Diffusion Source”, J. of The Electro chemical Society, Vol. 146, No. 10, pp. 3837~3842, 2 June 1999.
- [16] J. Sune et al., “Are Soft Breakdown and Hard Breakdown of Ultrathin Gate Oxide Actually Different Failure Mechanisms” IEEE Electron Device Letters, Vol. 21, No. 4, pp. 167~169, April 2000.
- [17] P. T. Lai et al., “Interface Properties of NO-Annealed  $N_2O$  Grown Oxynitride” IEEE Transaction on Electron Devices, Vol. 46, No. 12, pp. 2311~2314, December 1999.

## 저 자 소 개



嚴 今 鎔(正會員) 論文 第34卷 D編 第6號 參照

1996년~현재 : 건국대학교 전자정보통신공학부 박사과정중. 1996년~현재 : 성남기능대학 광전자과 재직중. <주관심분야 : 반도체디바이스 및 공정, VLSI 설계>

吳 煥 術(正會員) 論文 第38卷 D編 第12號 參照