

論文2002-39SD-5-2

## 나선형 인덕터를 이용한 VCO 최적설계

### (Optimal Design of VCO Using Spiral Inductor)

金永碩\*, 朴鍾旭\*, 金治源\*, 裴基星\*, 金南帥\*

(Yeong-Seuk Kim, Jong Wook Park, Chi Won Kim, Ki Sung Bae,  
and Nam Soo Kim)

#### 요 약

나선형 인덕터를 이용한 VCO를 MOSIS의 HP 0.5 $\mu$ m CMOS 공정으로 최적 설계하고 제작하였다. 나선형 인덕터의 SPICE 모델을 이용하여, Q지수(quality factor)를 동작 주파수에서 최대화하기 위하여 레이아웃 변수인 금속선 폭, 회전수, 내경, 간격 등을 최적화하였다. 만약 동작주파수가 2GHz, 인덕턴스가 약 3nH이고, 금속선 두께 0.8 $\mu$ m, 절연 산화막 두께 3 $\mu$ m를 사용하는 MOSIS HP 0.5 $\mu$ m CMOS 공정의 경우 금속선 폭은 20 $\mu$ m 정도로 하는 것이 Q지수를 최대로 함을 확인하였다. 이렇게 최적화된 나선형 인덕터를 LC 공진 탱크에 사용하여 VCO를 설계, 제작 및 측정을 하였다. 측정은 온웨이퍼(on-wafer)상에서 HP8593E 스펙트럼 에널라이저를 이용하였다. 발진신호의 주파수는 약 1.61GHz이고, 컨트롤전압이 0V - 2V변화할 때 발진주파수는 약 250MHz(15%) 변화하였으며, 출력 스펙트럼으로부터 중심주파수 1.61GHz에서 offset 주파수가 600KHz 때의 위상잡음이 -108.4dBc/Hz 였다.

#### Abstract

We optimally designed the VCO(voltage-controlled oscillator) with spiral inductor using the MOSIS HP 0.5 $\mu$ m CMOS process. With the developed SPICE model of spiral inductor, the quality factor of spiral inductor was maximized at the operating frequency by varying the layout parameters, e.g., metal width, number of turns, radius, space of the metal lines. For the operation frequency of 2GHz, the inductance of about 3nH, and the MOSIS HP 0.5 $\mu$ m CMOS process with the metal thickness of 0.8 $\mu$ m, oxide thickness of 3 $\mu$ m, the optimal width of metal lines is about 20 $\mu$ m for the maximum quality factor. With the optimized spiral inductor, the VCO with LC tuning tank was designed, fabricated and measured. The measurements were performed on-wafer using the HP8593E spectrum analyzer. The oscillation frequency was about 1.61GHz, the frequency variation of 250MHz(15%) with control voltage of 0V - 2V, and the phase noise of -108.4dBc(@600KHz) from output spectrum.

**Key Words** : VCO, 나선형 인덕터, SPICE, Q지수, 위상잡음

#### I. 서론

\* 正會員, 忠北大學校 電氣電子 및 컴퓨터工學部  
(School of Electrical and Computer Eng., Chungbuk Nat'l Univ.)

※ 본 논문은 1998년도 한국학술진흥재단 학술연구조성비(98-016-E00029)에 의하여 지원되었음.

接受日字:2000年10月18日, 수정완료일:2002年4月2日

최근 정보화 사회의 출현에 따라 900MHz 및 1.8GHz 대역을 활용하는 휴대용 무선통신 단말기들의 소비자 시장이 급속히 성장하고 있다. 이러한 휴대용 무선통신 단말기들의 송수신 시스템은 지금까지 GaAs를 이용한 MMIC와 실리콘 CMOS를 이용한 RF IC의 두 가지 반

도체 기술이 혼용되어 왔다. 그러나 GaAs 기술은 아주 높은 주파수까지 동작이 가능하나 넓은 면적에서의 수율 하락으로 가격 경쟁력이 없다. 이에 비하여 실리콘 CMOS 기술은 최근 소자의 크기가 작아지면서(예, 0.18  $\mu\text{m}$ ) GaAs MMIC와 유사한 높은 차단주파수 및 최대 공진주파수, 낮은 전력소모, 높은 집적도, 낮은 생산원가 등의 장점을 가지기 때문에 RF 및 IF를 포함한 one-chip 기술로 적합하게 되었다.<sup>[1]</sup>

본 논문에서는 RF IC 핵심 칩 중의 하나인 VCO (voltage-controlled oscillator)를 실리콘 CMOS 기술을 이용하여 최적 설계하고 제작하였다. 제작된 VCO는 LC 공진형으로 LC 공진 탱크와 양의 케환으로 역저항(negative resistance)을 실현해주는 능동 소자들로 구성된다. VCO가 발진할 때 LC 공진 탱크의 인덕터나 커패시터에서 에너지 손실이 발생하는데, 이를 보충해주어 발진을 지속하게 하기 위해 역저항을 실현해주는 능동 소자가 필요하다. VCO 설계에서 가장 중요한 것은 위상 잡음(phase noise)으로 이를 최소화시켜 무선 통신 단말기의 성능을 향상시키는 것이다. 이 위상 잡음은 능동 소자보다는 LC 공진 탱크의 Q지수(quality factor)에 의해 주로 좌우된다. LC 공진 탱크에서 커패시터의 Q지수는 보통 20 이상이고, 인덕터의 Q지수는 아주 낮기 때문에 인덕터가 VCO의 위상 잡음, 즉 성능을 좌우한다.<sup>[2]</sup>

일반 CMOS 공정으로 제작된 나선형 인덕터의 경우 Q지수가 5 이하로 아주 낮다. Q지수가 낮은 것은 주파수에 따라 그 이유가 다른데, 먼저 주파수가 낮은 부분은(즉, 주파수에 따라 Q지수가 증가하는 부분) 금속선의 직렬저항 및 표피효과(skin effect)에 의한 저항 때문이다. 주파수가 높은 부분은(즉, 주파수에 따라 Q지수가 감소하는 부분) 금속선과 기판사이의 기생 커패시턴스와 RF 이미지 전류(image current)에 의한 실리콘 기판 자체 손실 때문인데 그 중에서 실리콘 기판의 영향이 제일 크다. 위상 잡음이 낮은 VCO를 설계하기 위해서는 나선형 인덕터의 최적 설계가 필수적이다. 본 논문에서는 나선형 인덕터 모델을 SPICE의 user-defined function, subcircuit을 이용하여 구현하였으며,<sup>[3]</sup> MOSIS HP 0.5  $\mu\text{m}$  공정에 대하여 나선형 인덕터를 최적 설계하였다. 즉, 이 모델을 이용하여 나선형 인덕터 내경, 선폭, 간격, 회전수와 같은 인덕터 레이아웃 변수와 산화막 두께, 실리콘 기판 변수로부터 인덕턴스 및 Q지수를 최적화하였다.

이렇게 최적 설계된 나선형 인덕터를 이용하여 LC 공진형의 VCO를 설계 및 제작하였다. VCO의 주파수 변화를 위하여 P+/N 접합을 이용한 버랙터 다이오드를 사용하였으며, 이 버랙터 다이오드는 직렬 기생 저항을 감소시키기 위하여 콤(comb) 구조의 레이아웃을 하였다. 제작된 인덕터는 네트워크 에널라이저 및 GGB RF 프로브를 이용하여 온웨이퍼(on-wafer) 상태에서의 s-파라미터를 측정하였다. 온웨이퍼에서의 나선형 인덕터는 패드(pad)등의 기생성분이 포함되기 때문에 이에 대한 보정(de-embedding)을 하였다. 제작된 VCO는 온웨이퍼상에서 HP 8593E 스펙트럼 에널라이저와 RF 프로브를 이용하여 위상 잡음을 측정하였다.

## II. 나선형 인덕터 최적설계

나선형 인덕터의 등가회로가 그림 1에 나와 있다. 이 그림에서 L은 나선형 인덕터의 순수 인덕턴스 값을 나타낸다. 나선형 인덕터를 여러 개의 직선 막대기의 합으로 생각하여, 막대기의 자기 인덕턴스(self-inductance) ( $L = 2 \cdot l \cdot [\ln(\frac{2 \cdot l}{w+t}) + 0.50049 + \frac{w+t}{3 \cdot l}]$ <sup>[4]</sup>) 및 막대기와 막대기 사이의 상호 인덕턴스(mutual-inductance) ( $M = 2 \cdot l \cdot \left\{ \ln \left[ \frac{l}{GMD} + \sqrt{1 + \left( \frac{l}{GMD} \right)^2} \right] - \sqrt{1 + \left( \frac{l}{GMD} \right)^2} + \frac{GMD}{l} \right\}$ <sup>[5]</sup>)를 각각 구하여 합하였다.<sup>[3]</sup> 이렇게 계산된 인덕턴스 값들을 측정치 및 EM (Electro-Magnetic) 시뮬레이션 툴인 Fasthenry<sup>[6]</sup> 결과와 비교하여 일치함을 확인하였다. 나선형 인덕터의 등가회로 모델에서 인덕턴스 L을 제외한 다른 저항 및 커패시턴스들은 인용문헌<sup>[7]</sup>의 식들을 이용하였다. 저항 R ( $= \rho \cdot l / [w \cdot \delta \cdot (1 - e^{-l/\delta})]$ )은 나선형 인덕터의 DC 저항 및 초고주파 표피효과를 고려하고 있다. Cf는 금속선 사이의 기생 커패시턴스를 나타내는데, CMOS 공정에서 금속선 사이의 간격이 약 2  $\mu\text{m}$  정도인 경우 값이 아주 작기 때문에 무시해도 무방하다.  $C_{ox1}$  및  $C_{ox2}$  ( $= 0.5 \cdot l \cdot w \cdot \epsilon_{ox} / t_{ox}$ )는 인덕터와 기판사이의 기생 커패시턴스로 금속선 막대기의 길이, 폭 및 절연산화막 두께로부터 계산할 수 있다. 마지막으로  $C_{s1}$ ,  $C_{s2}$  ( $= 0.5 \cdot l \cdot w \cdot C_{sub}$ ),  $R_{s1}$  및  $R_{s2}$  ( $= 2 / [l \cdot w \cdot G_{sub}]$ )는 실리콘 기판의 초고주파 누설 효과를 모델링한 것이다. 여기서  $C_{sub}$  및  $G_{sub}$ 는 나선형 인덕터의

s-파라미터 측정으로부터 추출되는 실험(empirical) 변수이다.<sup>[7]</sup> 나선형 인덕터 모델은 SPICE의 user-defined function 및 subcircuit을 이용하여 프로그램되었다. 입력 변수로는 나선형 인덕터 내경  $r$ , 금속선 폭  $w$ , 간격  $s$ , 회전수  $n$ 과 같은 레이아웃 변수, 금속선 두께  $t$ 와 인덕터와 실리콘 기판사이의 산화막 두께  $t_{ox}$ 와 같은 공정 변수, 실리콘 기판의 초고주파 누설을 모델링하는 변수  $C_{sub}$ ,  $G_{sub}$ 를 포함하여 총 8개이다. 이 중에서  $C_{sub}$ ,  $G_{sub}$ 만이 유일한 실험 변수로 주어진 나선형 인덕터 공정에 대하여 s-파라미터 측정데이터로부터 추출된다.

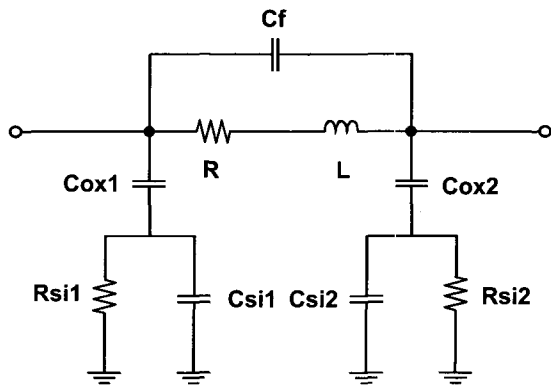


그림 1. 나선형 인덕터 등가회로  
Fig. 1. Equivalent circuit of the spiral inductor.

앞에서 완성된 나선형 인덕터 모델을 이용하여 VCO가 제작되는 MOSIS의 HP 0.5 $\mu$ m CMOS 공정에 대하여 나선형 인덕터를 최적설계하였다. 먼저 3.5회전수를 가지는 나선형 인덕터를 이 공정을 이용하여 제작하였다. 이 공정은 게이트 산화막 100Å, 2층 폴리실리콘, 3층 금속 레이어를 가지는 디지털 CMOS공정으로 기판의 농도가 높기 때문에 기판으로의 초고주파 누설이 심하여 Q지수가 좋지 않다. 제작된 나선형 인덕터를 GGB 초고주파 프로브, 네트워크 에널라이저를 이용하여 온웨이퍼 상태에서 s-파라미터를 측정하였다. 측정된 s-파라미터는 소자가 없는 패드만의 open구조를 이용하여, 패드 등에 대한 기생성분을 y-parameter subtraction 방법으로 보정하였다. 보정된 s-파라미터는 y-파라미터로 변환하여 등가회로 변수들을 추출하였다.  $y_{21}$ 으로부터  $R$ ,  $L$ ,  $C_f$ 를 추출하였으며,  $y_{11} + y_{21}$ 으로부터  $C_{si}$ ,  $R_{si}$ 를 추출하였다.<sup>[3]</sup> 이 방법은 s-파라미터로부터

직접 등가회로 변수들을 추출하는 방법보다 더 정확한 값을 얻을 수 있다. 이 등가회로 소자 값으로부터  $C_{sub} = 8.6 \times 10^{-10} F/cm^2$ ,  $G_{sub} = 80 S/cm^2$ 를 추출하였다.

추출된  $C_{sub}$ ,  $G_{sub}$ 와 함께 레이아웃 변수  $r$ ,  $w$ ,  $s$ ,  $n$ , 공정 변수  $t$ ,  $t_{ox}$ 를 본 논문에서 제안된 모델에 삽입하여 SPICE 시뮬레이션을 수행하였다. 먼저 s-파라미터를 시뮬레이션하여  $S_{21}$  및  $S_{11}$ 의 크기 및 위상이 주파수 500MHz - 8GHz대역에서 측정데이터와 시뮬레이션 결과가 일치함을 확인하였다. 그림 2는 이 나선형 인덕터에 대한 측정 및 시뮬레이션 결과로부터 계산된 Q지수를 보여준다. 이 시뮬레이션에 사용된 변수 값들은  $r = 45\mu m$ ,  $w = 10\mu m$ ,  $s = 5\mu m$ ,  $n = 3.5turn$ ,  $t = 0.8\mu m$ ,  $t_{ox} = 3\mu m$ 이다. Q지수가 낮은 이유는 기판의 농도가 높기 때문이다. SPICE 시뮬레이션으로부터 계산된 등가회로 변수 값들은  $R = 13.0\Omega$ ,  $L = 2.5nH$ ,  $C_{ox} = 116fF$ ,  $C_{si} = 85fF$ ,  $R_{si} = 126\Omega$ 이다. SPICE 시뮬레이션시 어떤 레이아웃 및 공정 변수도 바꾸지 않고 그대로 사용하였음에도 불구하고, 측정 및 시뮬레이션된 인덕턴스 값이 정확하게 일치함을 알 수 있다. 이 결과로부터 제안된 SPICE를 이용한 인덕턴스 계산 알고리즘 및 등가회로 모델의 정확함을 확인할 수 있다.

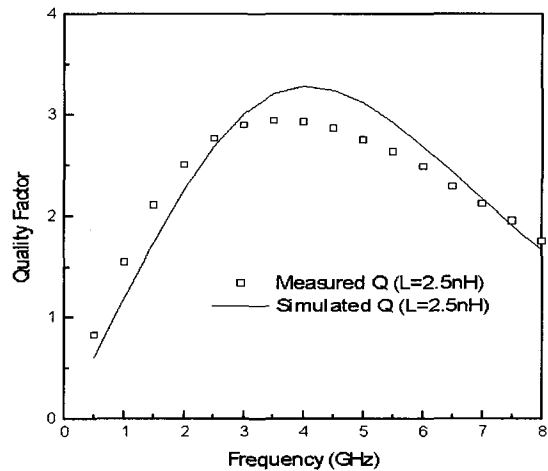


그림 2. 나선형 인덕터의 측정 및 시뮬레이션 Q지수  
Fig. 2. Measured and simulated quality factor of the spiral inductor.

그림 3 - 6은 각 레이아웃 변수들의 변화시 나선형 인덕터의 인덕턴스 및 Q지수의 주파수에 따른 변화를

시뮬레이션한 결과들이다. 그림 3은 금속선 폭  $w$ 를  $5\ \mu\text{m}$ ,  $10\ \mu\text{m}$ ,  $20\ \mu\text{m}$ 로 변화했을 때 Q지수의 주파수에 따른 변화를 보여준다. 인덕턴스 값은 거의 변화가 없지만 Q지수는 많이 변화함을 알 수 있다. 폭이 커지면 낮은 주파수에서의 Q지수가 증가하지만, 높은 주파수에서는 오히려 감소함을 알 수 있다. 낮은 주파수에서는 기판의 누설 효과가 거의 없고 단지 금속선의 저항에 의하여 Q지수가 결정되기 때문에 주파수가 증가하면 Q지수는 증가한다 ( $Q \approx \omega L/R$ ). 따라서 금속선의 폭이 증가하면 저항이 감소하여 Q지수가 향상됨을 알 수 있다. 반면에 높은 주파수에서는 금속선의 저항보다는 기판의 초고주파 누설 영향이 크기 때문에 주파수가 증가할수록 Q지수는 감소한다. 금속선의 폭이 증가하면 금속선과 기판사이의 커패시턴스 및 초고주파 누설이 증가하여 Q지수는 급격하게 감소한다. 만약 이 나선형 인덕터를 MOSIS HP  $0.5\ \mu\text{m}$ 공정으로 제작하고 2GHz RF IC에 사용할 경우 이 공정에 대한 최적의 금속선 폭은  $20\ \mu\text{m}$ 임을 알 수 있다. 주파수가 2GHz에서 Q지수가 최대가 되기 때문이다. 만약 동작주파수가 5GHz 이면 금속선 폭은  $8\ \mu\text{m}$  정도로 줄일 필요가 있다. 그림 4는 인덕터의 회전수  $n$ 을 2 - 5로 변화했을 때 Q지수의 주파수에 따른 변화를 보여준다. 회전수  $n=2$ 일 때 인덕턴스는 낮지만 Q지수가 최대이며,  $n=5$ 로 증가하면 인덕턴스는 증가하지만 Q지수는 급격히 감소한다. 주파수가 낮을 때는 Q지수가 금속선의 저항으로 결정되기 때문에 회전수  $n$ 의 변화에 따른 Q지수의 변화는 아주 작다. 그러나 주파수가 높을 때는 회전수의 증가시 인덕턴스 값은 증가하지만 Q지수는 급격히 감소한다. 왜냐하면, 회전수의 증가로 인덕터와 기판사이의 면적이 증가하고 이에 따라 기생 커패시턴스가 증가하기 때문이다. 이 공정으로는  $L=5\text{nH}$ 이상인 인덕터를 제작하기 힘들다는 것을 알 수 있다. 그림 5는 인덕터의 내경  $r$ 을  $35\ \mu\text{m}$ ,  $45\ \mu\text{m}$ ,  $55\ \mu\text{m}$ ,  $65\ \mu\text{m}$ 로 변화했을 때 Q지수의 주파수에 따른 변화를 보여준다. 앞의 시뮬레이션들과 마찬가지로 주파수가 낮을 때는 내경  $r$ 의 변화에 따른 Q지수는 거의 변화가 없다. 그러나 주파수가 높을 때는 내경의 증가시 인덕턴스 값은 증가하지만 Q지수는 감소한다. 내경이 증가하면 인덕터와 기판사이의 면적의 증가하고 기생 커패시턴스가 증가하기 때문이다. 원하는 인덕턴스 값을 얻을 수만 있다면 내경은 작을수록 유리함을 알 수 있다. 그러나 내경이 너무 작으면 와전류(eddy current)의 영향으로

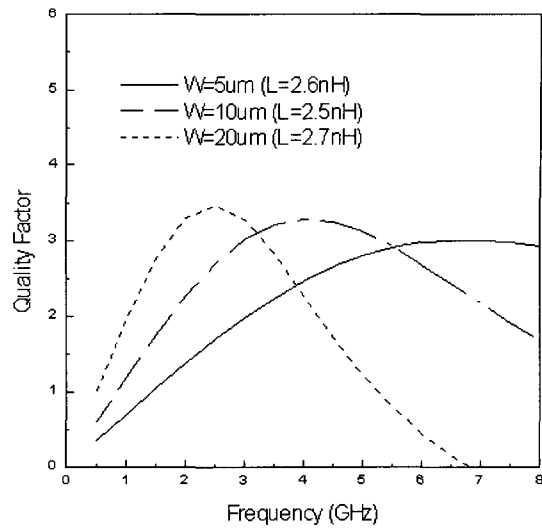


그림 3. 금속선 폭을 변화시킬 때 주파수에 따른 Q지수의 변화(시뮬레이션)  
Fig. 3. Simulated quality factor as a function of metal width.

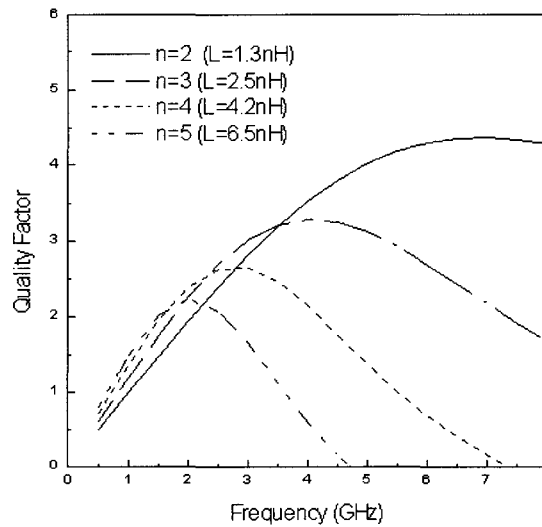


그림 4. 회전수를 변화시킬 때 주파수에 따른 Q지수의 변화(시뮬레이션)  
Fig. 4. Simulated quality factor as a function of number of turns.

오히려 Q지수는 감소한다. 그림 6은 나선형 인덕터 금속선 사이의 간격  $s$ 를  $3\ \mu\text{m}$ ,  $5\ \mu\text{m}$ ,  $7\ \mu\text{m}$ 로 변화했을 때 Q지수의 주파수에 따른 변화를 보여준다. 앞의 그림들과 마찬가지로 주파수가 낮을 때는 간격  $s$ 의 변화에 따른 Q지수는 거의 변화가 없다. 그러나 주파수가 높을 때는 간격의 증가시 Q지수는 조금씩 감소한다.

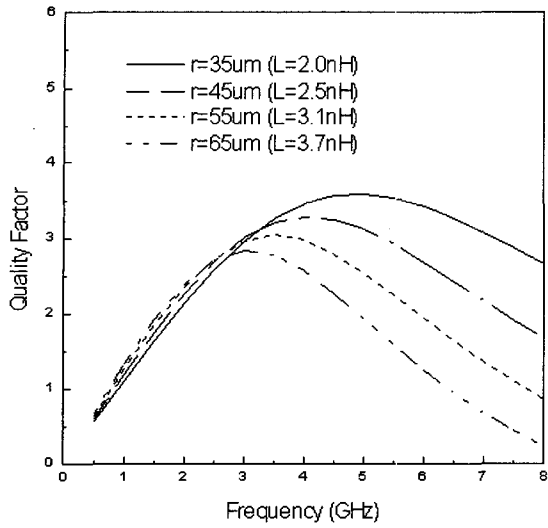


그림 5. 내경을 변화시킬 때 주파수에 따른 Q지수의 변화(시뮬레이션)  
 Fig. 5. Simulated quality factor as a function of inner radius.

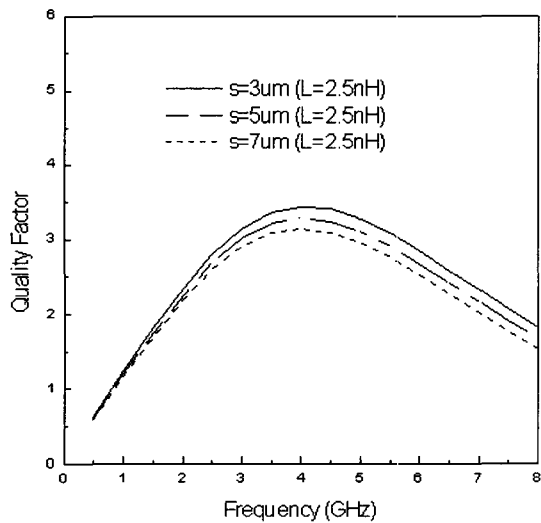


그림 6. 금속선간 간격을 변화시킬 때 주파수에 따른 Q지수의 변화(시뮬레이션)  
 Fig. 6. Simulated quality factor as a function of metal space.

이는 인덕터와 기판사이의 면적의 증가하기 때문이다. 간격은 될 수 있는 대로 작은 것이 유리함을 알 수 있다. 그림 3 - 6의 시뮬레이션 결과로부터 MOSIS HP 0.5 $\mu$ m 공정으로 제작되고 동작주파수가 2GHz에서 사용되는 나선형 인덕터에 대한 최적의 레이아웃 조건을 유도해 낼 수 있다. 금속선 폭, 금속선 사이의 간격, 내

경은 각각 10~20 $\mu$ m, 2 $\mu$ m, 45 $\mu$ m 정도가 최적이며, 인덕턴스는 5nH 이하로 하는 것이 좋을 수 있다. 혹은 SPICE의 최적화 기능을 이용하면 직접 내경, 폭, 회전수 등에 대하여 최적의 레이아웃 변수를 찾아 낼 수 있다. 레이아웃 변수와 마찬가지로 공정 변수인 금속선 두께, 산화막 두께, 실리콘 기판 변수에 대해서도 최적의 조건을 시뮬레이션 할 수 있다. 만약 Q지수를 증가시킬 필요가 있을 경우에는 금속선 두께를 약 2 $\mu$ m 정도로, 절연 산화막 두께도 두껍게 하는 공정 조건의 변화가 필요하다.

### III. VCO 설계, 제작 및 측정

나선형 인덕터를 사용하여 그림 7과 같은 LC 공진형의 VCO를 설계하였다. 설계된 회로는 MOSIS의 HP 0.5 $\mu$ m CMOS 공정으로 제작하였다. 이 VCO의 핵심은 인덕터 L1, L2, 버랙터 다이오드 D1, D2(커패시터 역할)로 구성된 공진탱크와 MOSFET M1, M2로 구성되어 역저항을 실현해주는 부분이다. VCO의 동작주파수는 1.7GHz로 공진탱크의 인덕턴스 및 커패시턴스 값은 각각 3.3nH 및 2.6pF로 결정하였다.

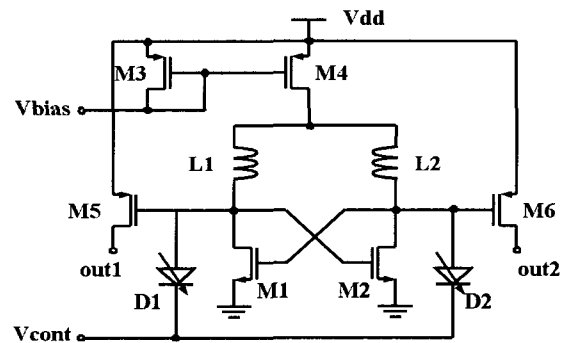


그림 7. VCO 회로도  
 Fig. 7. Circuit diagram of VCO.

L1, L2는 나선형 인덕터로 앞 절의 SPICE 모델을 이용하여 최적화하였다. 즉, 주어진 인덕턴스 값에 대하여 금속선의 내경, 선폭, 간격, 회전수 등을 최적화하여 최대의 Q값을 실현하도록 하였다. 공진탱크의 커패시턴스는 2.6pF로 이는 버랙터 다이오드(~0.82pF), M1, M2 게이트-소스 커패시턴스(~0.64pF), 드레인-기판 커패시턴스(~0.23pF), 버퍼 MOSFET의 게이트-소스 캐패시턴스(~0.43pF), 나선형 인덕터의 기생 커패시턴

스( $\sim 0.50\text{pF}$ )를 합친 것이다. 나머지 기생 커패시턴스를 제외하면 버랙터 다이오드의 커패시턴스는  $0.82\text{pF}$ 가 된다. D1, D2는 버랙터 다이오드로 N 우물에 P+ 이온주입을 한 P+/N 접합을 이용하였다. 이 커패시터의 Q지수를 최대로 하기 위하여 콤팩트 형태의 병렬 구조로 구성하여 직렬 저항을 작게하였다. 주파수 제어 전압  $V_{cont}$ 를 버랙터 다이오드의 캐소드단에 인가하여  $V_{cont}$ 에 따라 접합 커패시턴스를 변화시키게 된다. 이 버랙터 다이오드에 역방향 전압이 인가될 때 공핍영역이 증가하게 되는데 이를 고려하여 N+ 확산영역과 P+ 확산영역이 충분한 거리를 유지하도록 해야한다.

만약 VCO를 LC 공진탱크로만 구성하면 인덕터의 직렬기생저항 및 커패시터의 병렬기생저항으로 인하여 발진시에 에너지 손실이 발생하여 결국에는 발진이 멈추게 된다. 이 에너지 손실을 보충하여 발진을 계속하게 하기 위해서는 역저항을 실현해주는 능동소자 M1, M2가 필요하다. M1, M2는 순방향 궤환이 걸리도록 구성되어 역저항  $R_{in} = -2/g_m$ 를 실현하고 있다. 여기서  $g_m$ 은 M1, M2의 트랜스컨덕턴스로 바이어스 전류 및 W/L에 의해 결정된다.

MOSIS의 HP  $0.5\mu\text{m}$  CMOS 공정으로 인덕턴스  $3.3\text{nH}$ 를 제작할 경우 최대 Q지수를 약 3 - 4 정도 얻을 수 있다. Q지수가 이렇게 낮은 이유는 이 공정의 경우 RF IC 설계용으로 공정이 최적화되어 있지 않아, 금속선의 두께가 얇고 최상위 금속선과 기판사이의 커패시턴스가 크고, RF 기판 손실이 크기 때문이다. 버랙터 다이오드의 Q지수 값은 아주 크다고 가정할 경우 LC 공진탱크의 유효병렬저항은 나선형 인덕터에 의해 결정된다. 즉,  $R_p = Q \cdot \omega \cdot (2L) = 282\Omega$ 이 된다. Safety factor=2를 고려할 경우 능동소자에 의해 필요한 역저항값은  $R_{in} = R_p/2 = -141\Omega$ 으로 M1, M2의  $g_m = -2/R_{in} = 14\text{mS}$ 이다. 트랜스컨덕턴스 값으로부터 M1, M2의  $(W/L)_{\min} = 300 = 150\mu\text{m}/0.5\mu\text{m}$ 을 계산할 수 있다. 여기서 M1, M2의 바이어스 전류는  $2\text{mA}$ ,  $\mu_n C_{ox} = 170\mu\text{A}/V^2$ 를 가정하였다. 발진시 M1, M2 중에서 한 MOSFET는 OFF이고, 다른 MOSFET는 ON(포화영역 동작)이기 때문에, ON된 MOSFET의  $V_{GS} = V_T + \sqrt{\frac{2I_D}{\mu_n C_{ox} W/L}} = 1.1\text{V}$  ( $I_D = 4\text{mA}$ )이며  $V_{DS\min} = V_{GS} - V_T = 0.4\text{V}$ 로 발진신호의 진폭은 약  $0.7\text{V}$ 로

SPICE 시뮬레이션으로 확인되었다. M3와 M4는 전류미러 회로로 역저항을 만들어주는 M1, M2에 전류를 공급해주는데, 전류의 크기는  $V_{bias}$ 로 조절한다. M5와 M6는 외부 패드에 의한 큰 커패시턴스가 공진기의 발진에 영향을 주는 것을 막아주는 버퍼 역할을 한다.

설계된 VCO의 레이아웃은 그림 8과 같다. 레이아웃시 고려해야할 중요한 것 중의 하나는 좌우 대칭을 유지하는 것이다. 나선형 인덕터 L1과 L2는 좌우 대칭이 되도록 레이아웃하였다. M1과 M2에는 서로 양의 궤환을 걸리게 하는데 이 도선들이 겹치게 되어, via를 통해서 다른 금속선을 사용해야한다. 레이아웃상의 좌우 대칭 구조를 유지하기 위하여 다른 양의 궤환도 똑같은 조건을 만들어 준다. 이는 각 단자간의 기생 커패시터 및 저항에 의한 영향을 동일하게 만들어주기 위함이다. M3, M4는 단채널 효과(short channel effect)로 인하여 공진 탱크의 손실을 가져오기 때문에 이를 최소화하기 위해 설계 규칙보다 더 큰 채널 길이를 선택하였으며, M3의 경우 레이아웃 상에서는 M4의 좌우에 나누어 위치시킴으로서 회로 전체가 완벽하게 좌우 대칭이 되도록 설계하였다. 그리고 모든 MOS 트랜지스터의 가장자리의 좌우로 폴리 실리콘의 더미 레이어를 만들어 놓음으로서 폴리 식각 공정에서 multi-finger의 게이트를 가지고 있는 MOS 트랜지스터 중에서 가장자리의 MOS 트랜지스터의 게이트 폴리 식각이 내부와 다르게 이루어지는 것을 줄이고자 하였다.

칩 제작후 온 웨이퍼 측정을 위해 신호 출력 패드는 GSG(G=Ground, S=Signal) 형태로, 전원 인가를 위한 패드는 GPPPG(P=power)의 형태로  $150\mu\text{m}$ 의 피치(pitch)를 가지게 레이아웃하였다. 접지(G)단의 패드는 신호 및 전원을 위한 패드보다 더 넓은 폭을 갖도록 설계하였는데, 이는 측정시 RF 프로브의 피치가  $150\mu\text{m}$ 보다 더 큰 것도 사용할 수 있게 하기 위함이다. 신호 출력 패드는 제3금속선으로 구성하였으며, 기판의 RF 손실을 방지하기 위하여 패드아래에 P+ 확산을 삽입하여 접지에 연결하였다. 이렇게 패드를 구성하면 잡음 또한 감소하는 것으로 보고되고 있다. 이때 패드와 접지사이에 커패시턴스가 증가하지만 외부 매칭회로를 사용하여 제거시킬 수 있다. 그리고 전원이 내부 회로로 연결되는 부분에서도 기생 커패시터에 의한 영향을 동일하게 만들기 위해서 각 도선 간에 cross section을 형성시켜 주었다. 모든 접지 단자는 회로 내부에서도

연결되도록 레이아웃하였다. 레이아웃된 VCO의 칩 크기는 약 1mm<sup>2</sup>이다.

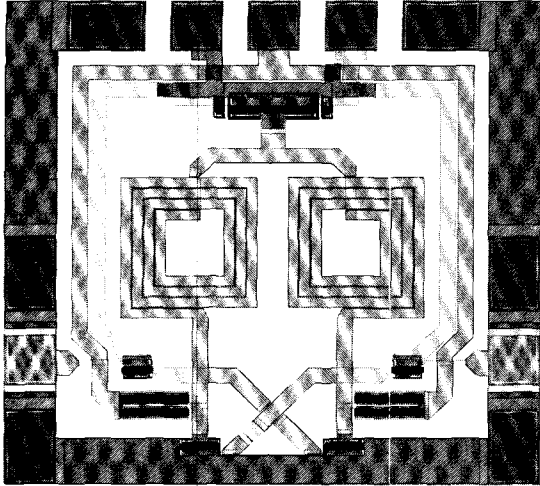


그림 8. VCO 레이아웃  
Fig. 8. VCO layout.

레이아웃된 VCO를 MOSIS에 의뢰하여 HP 0.5 $\mu$ m CMOS 공정으로 제작하였다. 제작된 칩은 HP8593E 스펙트럼 에널라이저를 이용하여 측정하였다. Resolution bandwidth는 30KHz, video bandwidth는 30Hz로 하였다. 인가전압은 3.3V이며, 측정을 위한 버퍼단을 제외한 VCO 코어에 대한 전류는 약 4mA였다. 그림 9의 VCO의 출력스펙트럼으로부터 중심주파수 1.61GHz에서 offset 주파수가 600KHz 때의 위상잡음이 -108.4dBc/Hz였다. 여기서 위상잡음은  $L(\Delta f) = 10 \log [P_{sideband}(f_0 + \Delta f, 1Hz) / P_{carrier}]$ 로 정의되는데 캐리어출력과 600KHz에서의 출력차이(-63.6dB)와 대역폭 30KHz (-44.8dB)를 고려해 주었다. 위상잡음의 결과는 참고문헌 [2]의 결과(-116dBc/Hz)에 비하여 나쁜데 이는 본문에서 사용한 CMOS 공정 때문이라고 생각된다. 참고문헌 [2]에서 사용한 나선형 인덕터의 Q지수는 5.7이며, 그림 2에서 최대 Q지수는 약 3으로 낮기 때문에 위상잡음이 좋지 않다고 생각된다. 만약 똑 같은 공정에서 제작할 경우는 더 좋은 결과를 얻을 수 있을 것이다. 또한 버랙터 다이오드 역방향 전압  $V_{cont}$ 에 따른 VCO의 주파수 변화가 그림 10에 나와 있다.  $V_{cont}$ 가 0.2V - 2V변화할 때 발진주파수는 1.37GHz - 1.63GHz로 변화하였다. 그림에서 컨트롤 전압에 대해 주파수 변화가 비선형적인 부분을 포함하고 있으나 일반적으로

로 주파수 변화영역이 선형적인 부분만 사용한다.

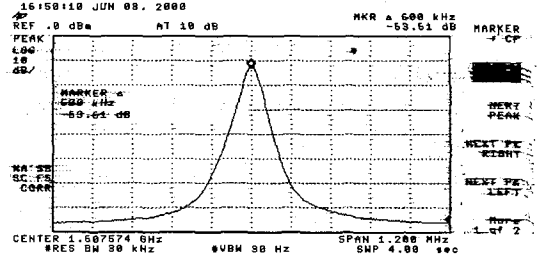


그림 9. VCO 출력 스펙트럼  
Fig. 9. The output spectrum of VCO.

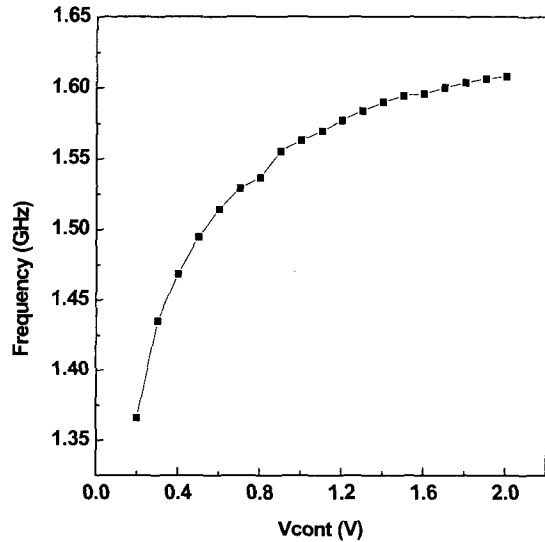


그림 10. 컨트롤전압  $V_{cont}$ 에 따른 VCO 주파수 변화  
Fig. 10. The oscillation frequency of VCO as a function of control voltage.

V. 결론

나선형 인덕터를 적용한 VCO를 MOSIS의 HP 0.5 $\mu$ m CMOS 공정을 이용하여 최적 설계하고 제작하였다. 이를 위하여 우선 나선형 인덕터의 SPICE 모델을 개발하고 최적화하였다. 나선형 인덕터의 Q지수를 동작 주파수에서 최대화하기 위하여 레이아웃 변수인 금속선 폭, 회전수, 내경, 간격 등을 최적화하였다. 만약 동작주파수가 2GHz이고 금속선 두께 0.8 $\mu$ m, 절연 산화막 두께 3 $\mu$ m를 사용하는 MOSIS HP 0.5 $\mu$ m CMOS 공정의 경우 금속선 폭은 20 $\mu$ m 정도로 하는 것이 Q지수를 최대로 함을 확인하였다.

이렇게 최적화된 나선형 인덕터를 LC 공진 탱크에 사용하여 VCO를 설계, 제작 및 측정을 하였다. 설계는 먼저 나선형 인덕터의 Q지수를 예측하고 이로부터 공진 탱크의 병렬 저항을 계산한다. 이 저항을 상쇄하기 위한 역저항을 예측하고, 이로부터 음의 저항을 만들어 주는 두 트랜지스터의 트랜스컨덕턴스를 계산한다. 주어진 전류와 트랜스컨덕턴스 값으로부터 트랜지스터의 크기를 결정한다. 이렇게 설계된 VCO를 HP 0.5 $\mu$ m CMOS 공정으로 제작하고, HP8593E 스펙트럼 에널라이저를 이용하여 측정하였다. 발진신호의 주파수는 약 1.61GHz이고, 컨트롤전압이 0.2V - 2V변화할 때 발진 주파수는 약 250MHz(15%) 변화하였다. 출력 스펙트럼으로부터 중심주파수 1.61GHz에서 offset 주파수가 600KHz 때의 위상잡음이 -108.4dBc/Hz 였다.

참 고 문 헌

[1] A. Abidi, "CMOS-only RF and baseband circuits for a monolithic 900MHz wireless

transceiver," in Bipolar Circuits and Tech. Mtg., pp. 35~42, 1996.  
 [2] J. Craninckx and M. S. J. Steyaert, "A 1.8GHz low-phase-noise CMOS VCO using optimized hollow spiral inductors," IEEE J. Solid-State Circuits, vol. 32, pp. 736~744, May 1997.  
 [3] 김영석, 박중욱, 유현규, "실리콘 기판위의 나선형 인덕터에 대한 SPICE 모델," 전자공학회 논문지, 제37권 SD편, 제10호, 2000년 10월.  
 [4] F. E. Terman, Radio Engineering Handbook, McGraw-Hill, New York, pp. 48~60, 1943.  
 [5] F. W. Grover, Inductance Calculations, Van Nostrand, Princeton, N.J., 1946.  
 [6] <http://rle-vlsi.mit.edu/>  
 [7] C. P. Yue, C. Ryu, J. Lau, T. H. Lee, and S. S. Wong, "A physical model for planar spiral inductors on silicon," in IEDM Tech. Dig., pp. 155~158, 1996.

저 자 소 개

金 永 碩(正會員)

1980년 서울대학교 전자공학과 졸업(학사). 1982년 서울대학교 전자공학과 석사. 1990년 Univ. of Florida 전기공학과 박사. 1982-1985년 LG 전자 중앙연구소 연구원. 1990-1993년 Motorola APRDL Staff Engineer. 1993년-현재 충북대학교 전기전자 및 컴퓨터공학부 교수. <주관심분야: RF IC를 포함한 아날로그 IC 설계 및 소자 모델링>

朴 鍾 旭(準會員)

1999년 충북대학교 반도체공학과 졸업(학사). 2001년 충북대학교 반도체공학과 석사. 2001-현재 삼성전자. <주관심분야: CMOS RF IC 및 DRAM 설계>

金 治 源(準會員)

1999년 충북대학교 반도체공학과 졸업(학사). 2001년 충북대학교 반도체공학과 석사. 2001-현재 삼성전자. <주관심분야: SERDES Ethernet 설계>

裴 基 星(準會員)

1999년 충북대학교 반도체공학과 졸업(학사). 2001년 충북대학교 반도체공학과 석사. 2001-현재 삼성전자. <주관심분야: CMOS RF IC 설계>

金 南 帥(正會員)

1977년 서울대학교 물리학과 졸업(학사). Univ. of Connecticut 물리학과 석사(1984) 및 박사(1988). 1993년-현재 충북대학교 전기전자 및 컴퓨터공학부 부교수. <주관심분야: 반도체소자의 신뢰성연구>