

論文2002-39SD-5-3

RTA 후 FA 공정을 포함한 P⁺-n 박막 접합 특성(Characteristics of Shallow P⁺-n Junctions Including the FA Process after RTA)

韓明錫*, 金在英**, 李忠根**, 洪信男**

(Myoung-Seok Han, Jae-Young Kim, Chung-Keun Lee, and Shin-Nam Hong)

요 약

본 논문에서는 선비정질화 이온주입과 BPSG(boro-phosphosilicate glass)를 위한 FA(furnace anneal) 공정이 적용된 양질의 p⁺-n 박막 접합을 형성하는 공정 조건을 제시하였다. 단결정 실리콘 기판을 As과 Ge 이온으로 45keV와 3×10¹⁴cm⁻²로 주입하여 선비정질화하였으며, p형 이온으로는 BF₂ 이온을 20keV, 2×10¹⁵cm⁻²로 주입하였다. 고온 열처리는 furnace와 급속 열처리로 수행하였으며, 급속 열처리 온도는 950~1050°C이며 FA는 BPSG 공정을 위해 850°C/40분간 수행하였다. 박막 접합의 특성을 고려하기 위해 접합깊이, 면저항 및 다이오드 누설 전류를 측정·분석하였다. Ge 이온으로 선비정질화 하였을 경우 As 이온보다 대부분의 접합 특성에서 우수한 결과를 나타내었다. Ge.으로 선비정질화하고 1000°C의 RTA를 수행한 경우에 가장 양호한 특성을 나타내었으며, FA를 포함한 경우에는 RTA 1050°C+FA의 열처리 조건에서 Ge 이온으로 선비정질화 했을 때 면저항과 접합깊이의 곱 및 누설 전류에서 양호한 특성을 나타내었다.

Abstract

This paper suggests the optimum processing conditions for obtaining good quality p⁺-n shallow junctions formed by pre-amorphization and furnace annealing(FA) to reflow BPSG(boro-phosphosilicate glass). BF₂ ions, the p-type dopant, were implanted with the energy of 20keV and the dose of 2×10¹⁵cm⁻² into the substrates pre-amorphized by As or Ge ions with 45keV, 3×10¹⁴cm⁻². High temperature annealings were performed with a furnace and a rapid thermal annealer. The temperature range of RTA was 950~1050°C, and the furnace annealing was employed for BPSG reflow with the temperature of 850°C for 40 minutes. To characterize the formed junctions, junction depth, sheet resistance and diode leakage current were measured. Considering the preamorphization species, Ge ion exhibited better results than As ion. Samples preamorphized with Ge ion and annealed with 1000°C RTA showed the most excellent characteristics. When FA was included, Ge preamorphization with 1050°C RTA plus FA showed the lowest product of sheet resistance and junction depth and exhibited the lowest leakage currents.

Key Words : 이온주입, 선비정질화, 박막접합, 확산

* 正會員, 大川大學 컴퓨터電子電氣學部
(Division of Computer/Electronic/Electric Engineering,
DaeCheon College)

** 正會員, 韓國航空大學校 電子,情報通信,컴퓨터 工學部
(School of Electronics, Telecommunication and
接受日字:2002年1月4日, 수정완료일:2002年4月2日)

I. 서 론

현재 나날이 변화하고 있는 반도체 소자의 집적도를 향상시키고 동작 속도를 증가시키기 위한 공정 개발이 중요한 요소로 대두되고 있다. 특히 수직 크기를 축소시키기 위한 박막 접합(shallow junction)의 형성은

MOSFET의 수평 크기 축소에 따른 단채널 효과(short channel effect)를 감소시키기 위한 중요한 요소로 요구되고 있다. 현재 보고된 여러 박막 접합 형성 방법 중에 도핑(doping)의 균일성과 제어성 그리고 재현성이 우수한 이온주입 방법이 주로 사용되고 있다. N^+ -p 접합 형성은 비소(As)나 인(P)을 이용하여 일반적인 이온주입 방법으로도 어려움 없이 박막을 형성할 수 있다. 그러나 p^+ -n 박막 접합을 형성하기는 쉽지 않은데 그 이유는 보론(boron) 이온의 작은 원자량으로 인해 이온투사 깊이(ion-projection range)가 크며 채널링(channeling) 현상 그리고 후속 열처리에 의한 불순물 확산이 n형 불순물보다 크기 때문이다. 이온주입을 이용하여 p^+ -n 박막 접합을 형성하기 위한 여러 방법 중에 현재까지 많이 적용되어온 방법으로는 이온주입 에너지를 줄이는 저 에너지 이온주입 방법과 단결정 실리콘 기판을 도핑 이전에 미리 비정질화시키는 선비정질화(pre-amorphization) 방법이 있다¹⁻³⁾. 이온주입 후 불순물의 활성화를 위해서는 반드시 열처리를 수행하여야 한다. 낮은 면저항을 갖는 접합을 형성하기 위해서는 불순물의 활성화 정도가 커야 하며 또한 확산이 작아 접합깊이가 shallow해야 하므로 높은 열처리 온도와 짧은 열처리 시간이 필요하게 되어 RTA(Rapid Thermal Annealing)를 이용하여 박막 접합을 형성하여 왔다. 그러나 현재 사용되고 있는 CMOS 공정은 대부분 FA를 이용하여 BPSG를 수행하기 때문에 RTA 후 후속 열처리 공정이 포함⁴⁾ 박막 접합 특성을 고려할 필요가 있다. 그러나 지금까지 대부분 연구는 RTA와 FA 각각의 온도 변화에 따른 접합 특성 분석을 주로 수행하였고, RTA와 FA를 함께 고려하여 열처리 한 경우에는 주로 열처리 순서에 의한 접합 특성을 분석하여 왔다. 본 논문에서 적용한 열처리 방법은 RTA 온도 변화에 따른 열처리를 먼저 수행하였고, 이후에 FA를 일정한 온도로 적용하였다. 박막접합 특성은 RTA만으로 열처리를 수행하였을 때와 RTA+FA 후 선비정질화 이온에 따른 접합 특성을 비교, 분석하였다.

이를 위해 본 논문에서는 As과 Ge 이온을 사용하여 실리콘 기판을 선비정질화하고, p형 불순물로 BF_2 이온을 주입한 후 FA를 이용하여 BPSG 공정을 수행한 양질의 p^+ -n 박막 접합을 형성하였다. 이용된 p형 불순물인 BF_2 이온은 불소(fluorine)에 의해 SPE(Solid Phase Epitaxy) 성장을 및 보론 이온의 활성화가 저하되며 누설 전류가 커지는 단점은 있으나, 보론과 BF_2 이온 질

량비에 따라 보론 이온주입 에너지를 감소시킬 수 있어 중간급 이온주입 에너지 장비로도 p^+ -n 박막 접합을 형성할 수 있는 장점이 있다. 각 시편에 적용된 열처리 방법으로는 RTA만을 이용하여 열처리한 시편과 RTA 이후에 FA를 추가적으로 수행하여 실제 BPSG 공정을 묘사한 시편으로 구분하였다. 각각의 시편에 대해 SIMS(Secondary Ion Mass Spectroscopy)를 이용하여 접합깊이를 측정하였고, 4-point probe로 면저항을 측정하였다. 또한 다이오드를 제작하여 누설 전류를 측정하였다. 이 측정 결과를 바탕으로 본 논문에서는 Ge 이온과 As 이온으로 선비정질화 하였을 때의 접합 특성과 RTA 이후 FA를 이용한 BPSG 공정을 수행하였을 때 RTA 온도에 대한 최적 조건을 제시하였다.

II. 실험 방법

접합의 특성은 접합깊이, 면저항, 누설 전류, 잔류 결정결함 등으로 평가할 수 있다. 접합깊이와 면저항은 서로 반비례 관계에 있으며, 접합깊이는 이온주입 후 결정결함의 종류와 열처리 과정에서 변하게 되는 결함의 분포 및 농도에 따라 좌우되는 확산에 의해 결정된다. 또한 열처리 방법 및 온도에 따라 불순물의 활성화 정도 및 면저항이 달라지게 된다. 열처리 후에 잔류하는 결정결함의 위치가 접합부의 공핍층 내부나 근처에 있게 되면 누설 전류는 증가되어 소자의 대기 전류(stand-by current)가 커지는 요소가 된다. 이처럼 접합 특성의 각 평가 요소들은 서로간에 종속적인 관계이기 때문에 각각의 요소를 상호 보완할 수 있는 최적의 공정 조건을 찾는 것이 중요하다.

본 연구 결과가 반도체 소자 제조에 직접 이용될 수 있도록 하기 위하여 실제 공정 조건을 묘사하여 실험을 수행하였다. 특히 BPSG 공정을 고려한 소자의 접합 특성 분석을 위해 RTA 후 FA를 수행하였다. 접합깊이와 면저항 등의 재료적인 접합 특성을 파악하기 위해 그림 1과 같이 시편을 제작하였다. MOSFET의 LDD(light doping drain) 구조 제작시에 PMOS의 source-drain 영역에 성장되는 oxide를 고려하기 위해 70Å의 oxide를 900°C에서 10분간 성장하였다. 이후에 As과 Ge 이온을 이용하여 선비정질화 하였으며 BF_2 이온주입을 수행하였다. 600°C의 저온 열처리를 수행하여 선비정질화 공정에 따른 비정질층을 재결정화 하였고, 고온 열처리는 RTA, RTA+FA의 2가지 방법으로 수행하

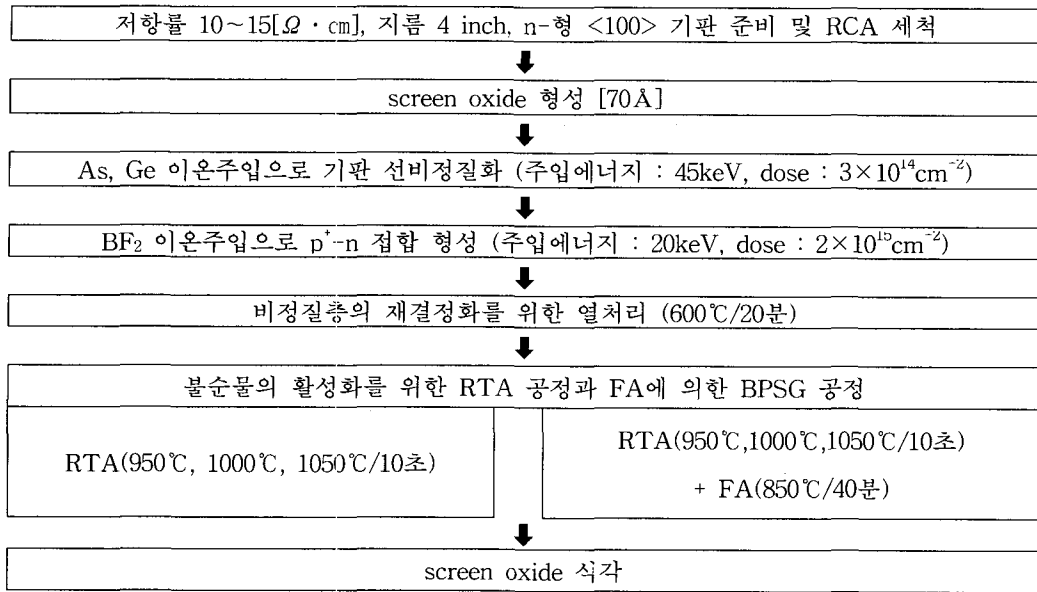


그림 1. 재료 특성 분석을 위한 소자 제작의 주요 공정 흐름도

Fig. 1. The primary process flow for the fabrication of material characterization samples.

여 불순물의 활성화와 FA에 의한 BPSG 공정을 고려하였다. 누설 전류 측정을 위한 다이오드의 크기는 500 × 500 μm²이며 일반적인 LOCOS 방법으로 제작하였다.

선비정질 이온과 열처리 조건별로 구분하여 나타내었다. 열처리 이전의 보론 분포를 살펴보면 As과 Ge 이

III. 실험 결과 및 분석

보론 이온에 대한 화학적 분포는 Carneca IMS 3-f를 이용하여 SIMS로 측정하였다. 그림 2에는 이 결과를

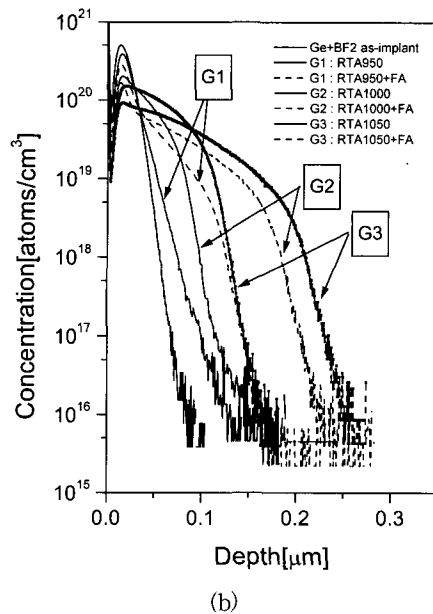
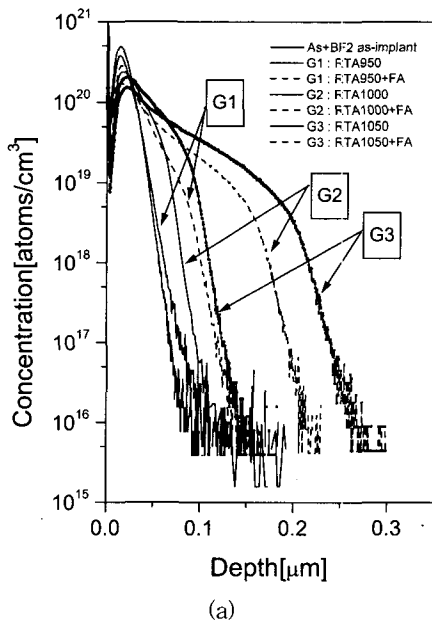


그림 2. 열처리 방법에 따른 SIMS에 의한 보론 분포 (a) As 이온으로 선비정질화 (b) Ge 이온으로 선비정질화

Fig. 2. The boron SIMS profiles for various annealing conditions. (a) Pre-amorphization with As ion (b) Pre-amorphization with Ge ion.

온주입에 의해 기판 표면으로부터 약 500Å의 비정질 층이 형성되었기 때문에 대부분의 보론 이온이 이곳에 포함되어 채널링 현상이 거의 나타나지 않았다. 선비정질화 이온과 열처리에 따른 접합 특성을 분석하기 위하여 RTA와 RTA+FA에 의한 접합깊이 차이 Δx_j [$x_j(\text{RTA+FA}) - x_j(\text{RTA})$]를 표 1에 제시하였다. 접합깊이의 설정은 집적도가 커짐에 따라 단채널 효과를 억제하기 위하여 큰 농도의 기판을 사용하는 추세에 있으며 SIMS 측정결과에서 $10^{16}[\text{cm}^{-3}]$ 의 농도에서 잡음이 나타났기 때문에 $10^{17}[\text{cm}^{-3}]$ 의 기판 농도와 보론 분포가 만나는 점으로 하였다.

As 이온으로 선비정질화하면 Ge 이온의 경우와는 달리 발생하는 전계에 의하여 접합깊이가 영향을 받게 된다. 이러한 보상효과(compensation effect)^[6]에 의해 As 이온으로 선비정질화한 시편의 접합깊이가 Ge 이온으로 선비정질화한 시편의 접합깊이보다 대부분의 열처리 온도에서 작게 나타났다. 표 1의 (b)에서 접합깊이 차를 나타내는 Δx_j 가 적은 경우가 BPSG를 위한 후속 열처리 공정인 FA에 의해서 확산이 적게 일어난 경우이므로 접합깊이 면에서 유리한 조건이라 할 수 있다. As, Ge 이온으로 선비정질화한 경우 950°C로

RTA후 FA로 후속 열처리를 했을 때 Δx_j 는 각각 0.039 μm , 0.043 μm 으로 나타났다. Ge+BF₂ 이온주입 조건 중 RTA를 1000°C와 1050°C로 열처리 한 다음 FA를 수행한 조건의 접합깊이 차는 0.089 μm 로 같은 값을 나타내었고, 동일한 열처리 조건에서 As+BF₂ 이온주입을 한 경우에는 Δx_j 가 0.098 μm 와 0.113 μm 로 Ge 이온의 경우보다 큰 값을 나타내었다.

그림 3에는 열처리 후의 두 선비정질화 이온간의 접합깊이 차이를 나타내었다. RTA 만을 수행한 시편의 접합깊이 차이는 RTA 온도와 무관하게 일정한 양상을 보이고 있으나, RTA 후에 FA를 수행한 열처리 조건에서는 접합깊이 차가 급격히 감소하는 경향을 나타내었다. 이것은 급속 열처리 온도가 증가할수록 n형 이온인 As과 p형인 B사이의 보상 효과 현상이 감소하는 것을 의미한다. 따라서 열처리 온도가 증가할수록 Δx_j 가 증가하는 표 1(b)의 결과를 나타내었으며, 열처리 온도가 가장 높은 조건인 RTA 1050°C+FA 조건에서 Δx_j 가 가장 큰 결과를 나타내었다.

Jinning Liu 등^[6]은 이온주입 후 열처리를 수행할 때 선결합 형태의 dislocation loop에 포획된 interstitial은 loop가 소멸하는 과정에서 방출되어 열처리 온도가 증가함에 따라 접합깊이를 증가시킨다고 하였다. 본 논문에서도 RTA 온도가 증가함에 따라 접합깊이는 증가하였으며, 이후 FA를 수행하였을 때 잔류 결정결함과 보론 농도 차에 따른 확산에 의해 Δx_j 가 증가한다고 할 수 있다. 이온주입 조건은 다르지만 Ge+BF₂의 경우 RTA를 950°C에서 10초간 수행하였을 때 표면으로부터 약 50nm부터 95nm까지 잔류결정 결함이 관측되었고 1050°C에서 완전히 제거됨이 보고된 바 있다.^[7] 참고문헌 [8]에서 급속 열처리를 1000°C와 1050°C로 수행하였을 때 Ge+BF₂로 이온주입을 한 경우에는 잔류 결정결함이 관측되지 않았으나, As+BF₂의 경우에는 1050°C에서 loop형태의 잔류 결정결함이 관측되었다. 따라서 Ge+BF₂ 이온주입을 하면 RTA 온도 950°C와 1000°C 이후 FA를 하였을 때 잔류 결정결함에 의해 Δx_j 가 증가하고, RTA 1050°C 후 FA를 수행할 때에는 RTA 1000°C+FA와 Δx_j 에 변화가 없다고 판단된다. 반면에 As+BF₂로 이온주입을 하였을 경우 1050°C로 RTA를 한 후에 잔류 결정결함이 남아 있으므로 이에 의해 후속 FA 공정에서 확산이 Ge+BF₂ 보다 더 많이 일어나 접합깊이가 더 증가되었다고 할 수 있다. As+BF₂ 이온주입에 따른 추가적인 확산을 검증하기 위해

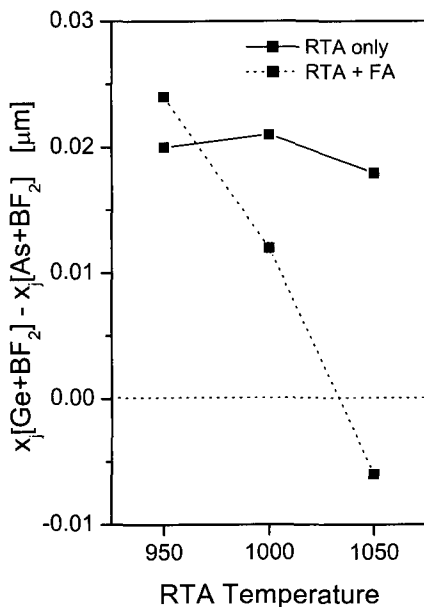


그림 3. 동일한 열처리 조건에서의 Ge+BF₂와 As+BF₂의 접합깊이 차
 Fig. 3. Junction depth difference between Ge+BF₂ and As+BF₂ at the same annealing conditions.

SILVACO의 공정 시뮬레이터인 Athena를 이용하여 시뮬레이션을 수행하였다. 열처리 조건에 따라 시뮬레이션 한 결과 RTA 이후 FA를 수행할 때 RTA 온도가 1050°C인 조건에서 다른 온도보다 Δx_j 가 큰 결과를 나타내었다. 이 시뮬레이션 결과는 실험 결과와 동일한 경향을 나타내었다.

주입된 불순물의 활성화 정도는 면저항을 측정하여 검토하였다. 면저항은 실제 소자에 있어 직렬 저항에 해당되는 값으로 소자의 동작 속도는 이 값이 작을수록 향상된다. 이온주입 및 열처리 조건에 따라 4-point probe를 사용하여 면저항 값들을 측정하였고, 이를 평균한 결과의 값을 그림 4에 나타내었다.

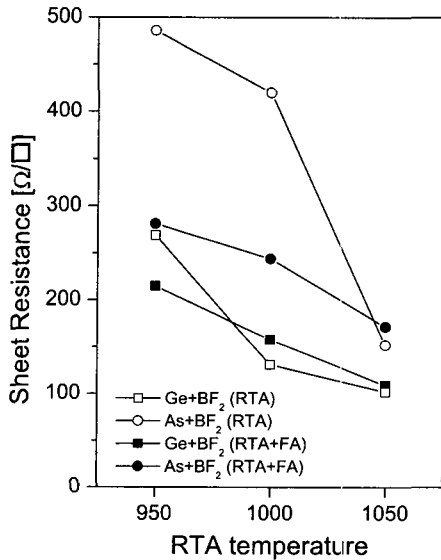


그림 4. 4-point probe로 측정된 면저항
Fig. 4. Sheet resistances measured with a 4-point probe.

As+BF₂로 이온주입하고 RTA(950°C), RTA(1000°C)의 열처리를 수행한 시편을 제외한 나머지 조건의 면저항 측정치는 300[Ω/□] 이하로 나타났다. 선비정질화한 이온에 따라 측정된 면저항의 크기를 살펴보면 동일한 열처리 조건에서 Ge+BF₂의 이온주입 조건이 As+BF₂ 보다 작게 나타났다. 따라서 As 이온을 이용하여 선비정질화하면 보상효과에 의하여 Ge 이온으로 선비정질화 한 경우 보다 활성화된 보론 이온 양이 적어 면저항 값이 높게 측정됨을 확인할 수 있다. 또한 Ge 이온으로 선비정질화하면 RTA 후의 FA에 의해 추가적인 보론 활성화가 많이 일어나지 않으나, 상대적으

로 As의 경우에는 FA에 의해 추가적으로 보론 활성화가 많이 일어남을 알 수 있다.

접합깊이와 면저항은 서로 반비례 관계에 있어 최적 공정 조건을 구하기 위해서는 두 측정치의 곱이 최소가 되는 열처리 조건과 이온주입 조건을 확인하는 것이 유리하다.^[9] 그림 5에는 SIMS를 이용하여 측정된 접합깊이와 4-point probe로 측정된 면저항을 사용하여 $R_s \times x_j$ 값을 제시하였다. Ge+BF₂의 이온주입 방법이 As+BF₂ 보다 모든 열처리 조건에서 $R_s \times x_j$ 값이 작았다. FA를 후속 공정으로 적용할 때 대부분의 경우에 있어 접합깊이가 깊어지는 관계로 RTA만을 수행한 조건보다 크게 나타났다. FA에 의해 BPSG 공정을 고려한 조건만 비교할 경우, Ge+BF₂로 이온주입을 하고 1050°C로 RTA를 한 후 FA를 수행한 경우가 가장 작은 $R_s \times x_j$ 로 계산되었다. 이 결과는 Ge 이온으로 선비정질화하고 FA를 수행한 경우 다른 조건보다 접합깊이는 깊으나 면저항이 다른 조건보다 낮기 때문이다.

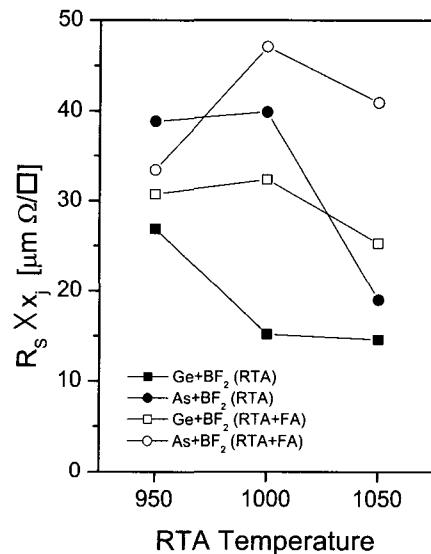


그림 5. 면저항과 접합깊이의 곱
Fig. 5. The products of sheet resistance and junction depth.

누설 전류 측정을 위하여 제작된 다이오드는 기판마다 다섯 지점을 측정하여 평균값으로 누설 전류를 구하였고, 이를 다음 그림 6에 나타내었다. Ge+BF₂의 경우 모든 조건에서 누설 전류가 수용할 만한 범위라 할 수 있으나, As+BF₂로 이온주입한 시편의 누설 전류는 모든 열처리 온도에서 큰 누설 전류를 나타내고 있다.

따라서 Ge 이온으로 선비정질화하는 경우가 As 이온으로 선비정질화하는 경우보다 유리하고, 열처리로는 RTA만 수행하는 것보다는 FA와 병행하는 것이 유리함을 알 수 있다.

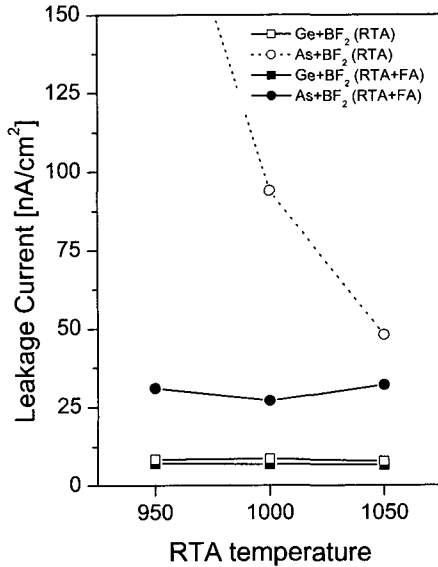


그림 6. 5V 역방향 전원 인가 시 누설 전류 측정 결과
Fig. 6. Measurement results of leakage current with a reverse bias of 5V.

IV. 결 론

본 논문에서는 RTA 공정 후 FA를 이용한 BPSG 공정을 고려할 때 양질의 p⁺-n 박막 접합을 형성하는 조건을 제시하였다. RTA와 RTA+FA의 접합깊이 차인 Δx_j는 As 이온 또는 Ge 이온으로 선비정질화하고 RTA를 950°C로 열처리를 했을 경우가 가장 작다. 반면에 면저항은 Ge 이온으로 선비정질화한 조건이 As 이온으로 선비정질화한 경우보다 모든 조건에서 작게 측정되었으며, BPSG 공정을 고려한다면 Ge 이온으로 선비정질화하고 RTA(1050°C)+FA로 열처리한 경우가 가장 낮은 면저항 값을 나타내었다. R_s×x_j 값도 Ge+BF₂의 이온주입 방법이 As+BF₂ 보다 모든 열처리 조건에서 작았고, 후속 열처리를 고려하였을 때는 RTA를 1050°C로 열처리를 한 경우가 가장 작은 값으로 계산되었다. 누설 전류 특성은 As+BF₂로 이온주입 하는 경우보다 Ge+BF₂가 우수한 누설 전류 특성을 나타내었으며, 특히 RTA(1050°C)+FA에서 가장 낮은 측정 결과를 나타내었다. 따라서 FA를 포함하지 않고 RTA만을

수행하였을 때에는 Ge으로 선비정질화하고 RTA 온도 1000°C에서 가장 양호한 특성을 나타내었고, FA를 포함한 경우에는 RTA 1050°C+FA의 열처리 조건에서 Ge 이온으로 선비정질화 했을 때 면저항과 접합깊이의 곱 및 누설 전류에서 양호한 특성을 나타내었다.

참 고 문 헌

- [1] Akio Nishida, Eiichi Murakami and Shin'ichiro Kimura, "Characteristics of Low-Energy BF₂ or As-implanted Layers and Their Effect on the Electrical Performance of 0.15μm MOSFET's", *IEEE Transactions on Electron Devices*, Vol. 45, No. 3, pp. 701~709, March. 1998.
- [2] Sultan, A. Banerjee, S. List, S. Pollack, G. Hosack, H. "Evaluation of Si pre-amorphization for obtaining ultra-shallow junctions", *Proceedings of the 11th International Conference on Ion Implantation Technology*, pp. 25~28, 1997.
- [3] Shin-Nam Hong, "0.2μm p⁺-n Junction Characteristics Dependent on Implantation and annealing Process", *IEEE Electron Device Lett.*, Vol. 20, No. 2, pp. 83~85, Feb. 1999.
- [4] Jong-Wan Jung, Young-Jong Lee, Jeong-Mo Hwang, Kyung-Ho Lee, "The effect of ILD material and BPSG densification anneal on the device characteristics", *'99 ICVC 6th International Conference VLSI and CAD*, pp. 473~475, 1999.
- [5] S.J. Kwon, H.J. Kim, J.D. Lee, "As+preamorphization method for shallow p⁺-n junction formation", *Jpn. J. apply. Phys.*, Vol. 29, No. 12, pp. L2326~L2328, Dec. 1990.
- [6] Jinning Liu, Ukyo Jeong, Marylou Meloni, Sandeep Mehta, Che-Hoo Ng "Effects of pre-amorphization on junction characteristics and damage behavior in low energy boron implantation" *Ion Implantation Technology Conference on 2000*, pp. 191~194, 2000.
- [7] Shin Nam Hong, Gary A. Ruggles, Jimmie J. Wortman, Mehmet C. Ozturk, "Material and Electrical Properties of Ultra-Shallow p⁺-n

Junction Formed by Low-Energy Ion Implantation and Rapid Thermal Annealing”, *IEEE Trans. Electron Device.*, Vol. 38, No. 3, pp. 476~486, Mar. 1991.

[8] 홍신남, 김재영, “이온주입 및 열처리 조건에 따른 박막 집합의 특성 비교”, *대한전자공학회*,

제35권 D편(7), 94~101쪽, 1998년 7월

[9] H. Mikoshiba, H. Abiko, “Junction depth Versus Sheet Resistivity in BF₂⁺ implanted Rapid Thermal Annealing silicon”, *IEEE Electron Device Lett.*, Vol. 7, No. 3, pp. 190~192, March 1986.

저 자 소 개



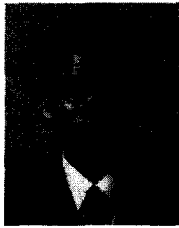
韓 明 錫(正會員)

1964년 10월 10일생, 1989년 2월 한국항공대학교 항공전자공학과 졸업(학사). 1991년 8월 한국항공대학교 대학원 전자공학과 졸업(석사). 1991년 7월~1994년 2월 현대전자 반도체 연구소. 1995년~현재 대전대학 컴퓨터전자전기학부 부교수. <주관심분야: 극초박막 집합, SOI 소자 개발 및 modeling 등임>



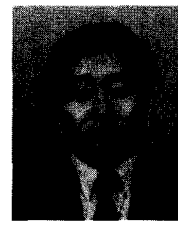
李 忠 根(正會員)

1973년 4월 30일생. 1996년 2월 한국항공대학교 항공전자공학과(학사). 1998년 2월 한국항공대학교 대학원 전자공학과(석사). 1998년~현재 한국항공대학교 대학원 전자공학과 박사과정. <주관심분야: 고유전체 박막 및 전극물질 개발, device modeling 등임>



金 在 英(正會員)

1972년 1월 15일생. 1996년 2월 한국항공대학교 항공전자공학과(학사). 1998년 2월 한국항공대학교 대학원 전자공학과(석사). 1998년~현재 한국항공대학교 대학원 전자공학과 박사과정. <주관심분야: 반도체 공정 시뮬레이션, 극초박막 집합, 전력 소자 등임>



洪 信 男(正會員)

1953년 12월 17일생. 1979년 2월 양대학교 전자공학과(학사). 1984년 12월 North Carolina State University 전기 및 컴퓨터공학과(석사). 1989년 8월 North Carolina State University 전기 및 컴퓨터공학과(박사). 1989년 9월~현재 한국항공대학교 항공전자공학과 교수. <주관심분야: 반도체 소자 및 공정, 고유전체 박막 및 전극물질 개발 등임>