

論文2002-39SD-5-8

시스템 온 칩 테스트를 위한 효과적인 테스트 접근 구조

(An Efficient Test Access Mechanism for System On a Chip Testing)

宋東燮*, 裴相民*, 姜成昊*

(Dong-Sup Song, Sang-Min Bae, and Sungho Kang)

요약

최근 IP 코어를 기반으로 하는 시스템 온 칩은 칩 설계 방식의 새로운 방향을 제시하면서 시스템 온 칩의 테스트가 중요한 문제로 대두되고 있다. 시스템 온 칩을 테스트하는 문제가 전체 코어 기반 설계에 병목 현상으로 작용하지 않게 하기 위해서는 효과적인 테스트 구조와 테스트 방법에 대한 연구가 필수적이다. 본 논문에서는 IEEE 1149.1 경계 주사 구조에 기반을 둔 시스템 온 칩 테스트 구조와 테스트 제어 메커니즘을 제안한다. 본 논문에서 제안하는 테스트 제어 접근 구조는 IEEE P1500에서 제안하는 내장된 코어 테스트 표준에 상응하면서도 TAPed core와 Wrapped core 모두에 대해서 테스트 제어가 가능하다. 또한 제안하는 테스트 구조는 시스템 온 칩의 입·출력에 존재하는 TCK, TMS, TDI, TDO에 의해서 완전 제어 가능하므로 상위 수준의 테스트 구조와 계층적 구조를 유지할 수 있다.

Abstract

Recently System On a Chip(SoC) design based on IP cores has become the trend of IC design. To prevent the testing problem from becoming the bottleneck of the core-based design, defining of an efficient test architecture and a successful test methodology are mandatory. This paper describes a test architecture and a test control access mechanism for SoC based on IEEE 1149.1 boundary scan. The proposed SoC test architecture is fully compatible with IEEE P1500 Standard for Embedded Core Test(SECT), and applicable for both TAPed cores and Wrapped cores within a SOC with the same test access mechanism. Controlled by TCK, TMS, TDI, and TDO, the proposed test architecture provides a hierarchical test feature.

Key Words : 시스템 온 칩 테스트, 테스트 접근, IEEE 1149.1, IEEE P1500

I. 서론

초고집적 회로설계 기술, 설계 자동화 기술, 초미세 선폭 공정 기술, 그리고 반도체 재료 기술의 발전으로

* 正會員, 延世大學校 電氣電子 工學科

(Dept. of Electrical Eng., Yonsei Univ.)

※ 본 연구는 산업자원부와 과학기술부가 실시하는

SYSTEM IC 2010 사업의 지원에 의해 수행되었음.

接受日字:2002年1月17日, 수정완료일:2002年4月2日

동일한 면적에 집적할 수 있는 트랜지스터의 수가 증가하고, 점점 휴대가 용이하고 성능이 뛰어나면서도 값싼 제품을 원하는 소비자들의 기호는 시스템 온 칩(SOC: System-On-a-Chip)이라는 새로운 설계의 시대를 태동하게 하였다. 시스템 온 칩이란 하나 혹은 다수의 보드에 존재하는 칩들 간의 유기적인 연계에 의하여 구성되던 기존의 시스템을 하나의 칩으로 구현하는 기술을 의미한다. 시스템 온 칩의 설계 환경에서는 보드상의 칩을 소위 IP(Intellectual Property)라고 하는 코어가 그 역할을 대신한다. 이런 설계 방법은 결과적

으로 고성능, 저전력, 짧은 설계 시간, 저가의 설계·제조 비용 등의 장점을 가져 올 것이 예상된다.^[12]

시스템 온 칩이 갖는 본질적인 특징 중에 코어가 시스템 온 칩의 내부 깊숙이 자리 잡아 칩의 입출력으로 부터 코어로의 테스트 접근이 용이하지 않다는 점은 무엇보다도 중요한 의미를 갖는다. 이점은 테스트 접근 장치(TAM: Test Access Mechanism)라고 하는 시스템 온 칩 테스트 구조를 필요로 하게 한다. 일반적으로 코어 제공자가 코어 설계물과 함께 제공하는 코어 테스트에 관한 정보는 코어의 입출력 단자의 관점에서 기술된다. 그러나 코어 사용자가 시스템 온 칩을 제조한 후 전체 시스템을 테스트할 때의 모든 테스트 과정은 칩의 입출력을 통하여 이루어진다. 시스템 온 보드에서 칩은 개별 단위로서 테스트되고 테스트가 진행되는 동안에 칩의 물리적 입출력에 직접 접근이 가능하다. 이와 비교해서 시스템 칩의 내부 깊숙하게 자리잡은 코어는 시스템 온 칩의 입출력에서 코어의 입출력으로 직접적인 물리적 접근이 불가능하다. 그러므로 시스템 온 칩의 테스트에서는 시스템 칩의 입출력에서 코어의 입출력으로 접근이 가능하도록 전기적인 접근 장치가 필요하고 이것을 테스트 접근 장치(TAM: Test Access Mechanism)라 한다. 이때 테스트 접근은 테스트 데이터의 접근과 테스트 제어의 접근을 포함한다.^[3,4]

시스템 온 칩의 테스트 접근은 다음과 같은 점들이 고려되어야 한다. 우선은 시스템에 사용되는 다양한 종류의 코어에 대해서 테스트 접근이 가능해야 한다. 테스트의 관점에서 코어의 종류는 크게 IEEE 1149.1의 표준을 따르고 있는 코어(이하 TAPed core)와, IEEE P1500의 표준을 사용한 코어(이하 Wrapped core)로 나눌 수 있다. IEEE 1149.1은 기존에 보드 수준의 테스트 접근 수단으로서 널리 사용되고 있기 때문에 일정 부분의 코어들은 이 표준을 사용하여 설계되었을 것이고, 또 IEEE P1500에서는 기존의 IEEE 1149.1과 비슷한 동작을 수행할 수 있는 wrapper를 사용하여 코어에 대한 테스트 접근을 마련할 것을 표준화 진행 중이기 때문에 코어에 대한 이런 분류는 타당하다. 그러므로 테스트 접근 장치는 모든 종류의 코어에 대해서 칩의 입출력을 통하여 제어 가능하도록 설계되어야 한다. 테스트 접근 장치를 설계함에 있어서 고려해야 할 또 한가지 사항은 IEEE 1149.1의 프로토콜을 사용하여 테스트 구조의 제어가 가능해야 한다는 점이다. 즉 IEEE 1149.1이 사용하는 TMS, TCK, TDI, TDO에 의해서

테스트 제어가 가능해야 함을 의미한다. 이 점은 IEEE 1149.1이 보드 수준의 시스템 유지 보수 수단으로서 핵심적인 역할을 하는 것에 기인한다. 시스템 온 칩이 설계되고 보드에 일단 장착이 되면 상위 수준에서 시스템 온 칩의 내부에 접근하는 수단은 IEEE 1149.1을 이용하게 된다. 그러므로 시스템 온 칩의 테스트 구조는 코어의 내부를 테스트 할 수 있음과 동시에 기존의 IEEE 1149.1의 모습은 유지를 해야하는 어려움이 있다.^[5-7]

시스템 온 칩의 테스트 구조에 대한 연구는 지금까지 다양한 각도로 진행되어 왔다. 그 중에서도 테스트 접근 수단에 관한 연구는 그 중요성만큼이나 활발한 연구가 진행 중에 있다. [8]에서는 IEEE 1149.1 구조를 적용한 코어들로 구성되는 시스템 온 칩에 대해서 다양한 테스트 링크를 제공할 수 있는 TLM(Tap Linking Module)을 제안하였다. 이 논문은 모든 테스트 구조가 TMS와 TCK에 의해서 제어 가능하다는 장점을 가진 반면에 TAPed core만으로 코어의 종류를 한정시킨 단점을 갖는다. 하지만 무엇보다도 이 테스트 구조가 갖는 단점으로 지적할 수 있는 것은 코어에 존재하는 IEEE 1149.1의 구조에 수정이 필요하다는 점이다. [9][10]에서는 시스템 온 칩의 내부에 존재하는 코어에 접근하기 위하여 코어 사용자에게 의해서 정의된 테스트 제어 프로토콜을 설계하고 이에 해당하는 테스트 접근 구조를 제안하였다. 이들의 연구는 시스템의 구성에 따라서 최적의 테스트 구조를 구현할 수 있으나 상위 수준의 테스트 접근과는 호환성을 갖지 않는다는 단점이 존재한다. 즉 시스템 온 칩의 상위 수준 보드에서는 이미 IEEE 1149.1의 테스트 접근 프로토콜이 사용되어 지고 있기 때문에 오프 보드의 상황이 아닌 온 보드의 상황에서는 내부의 코어로 테스트 접근이 불가능하다.

본 논문에서는 시스템 온 칩을 효과적으로 테스트하기 위한 테스트 제어 접근 구조를 제안한다. 본 논문에서 제안하는 테스트 제어 접근 구조는 IEEE P1500에서 제안하는 표준에 상응하면서도 TAPed core와 Wrapped core 모두에 대해서 테스트 제어가 가능하다. 제안하는 테스트 구조는 시스템 온 칩에 존재하는 TCK, TMS, TDI, TDO에 의해서 완전 제어 가능하므로 상위 수준의 테스트 구조와 테스트의 계층적 구조를 유지할 수 있다.

II. 기존 연구

짧은 시장 진입시간을 목적으로 하는 시스템 온 칩의 설계환경에서 테스트가 전체 시스템 온 칩 제조 과정의 병목 현상으로 작용하지 않게 하기 위해서는 효과적으로 코어의 내부·외부를 테스트 할 수 있는 방법에 대한 연구가 요원하고 이에 따라 매우 다양한 각도에서 테스트 접근 장치에 관한 연구가 진행되어 왔다.

[8]에서는 IEEE 1149.1 설계를 포함하는 TAPed 코어를 내장한 시스템 온 칩에 대해서 다양한 테스트 링크를 제공할 수 있는 TLM(TAP Linking Module)을 제안하였고 그 구조를 그림 1에 나타내었다.

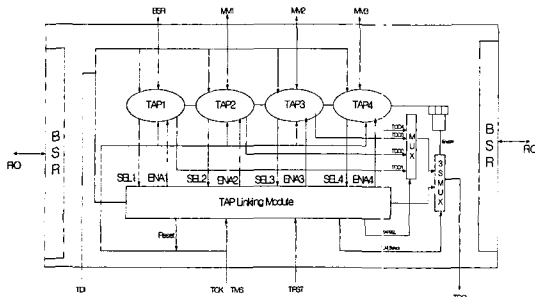


그림 1. 시스템 온 칩 테스트 접근을 위한 TLM 구조
Fig. 1. TLM architecture for system-on-a-chip test access.

TLM은 칩의 TDI와 TDO 사이에 다양한 테스트 경로를 형성하는 과정을 달성함에 있어 테스트 대상 코어에 존재하는 TAP 제어기가 SEL 신호를 통해 직렬 사슬로의 연결을 요청하면 TLM이 ENA 신호를 발생하여 이를 허용하는 방법을 사용한다. 코어내의 TAP 제어기와 TLM 사이의 SEL, ENA 신호 전달은 TAPed 코어에 대해서 IEEE 1149.1의 표준에 위배되게 하는 원인이 된다. IEEE 1149.1 경계 주사 구조는 모든 테스트가 TCK, TMS, TDI, TDO 4개의 신호선에 의함을 표준으로 하고 있다. 결과적으로 TAPed 코어에 테스트 접근함에 있어 표준 외의 별도 신호선의 추가는 코어에 존재하는 경계 주사 구조를 수정해야만 한다. 코어 제공자가 제공하는 설계물은 코어 사용자가 이해할 수 있을 정도로 충분한 정보를 제공해 주지 못하는 것이 일반적이고 심지어는 지적 재산권의 보호 등을 목적으로 암호화되기도 하므로 코어 설계의 수정

은 용이하지 못하다. 만일 가능하다고 하더라도 적지 않은 시간과 노력이 소비되어야 할 것이다. 시스템 온 칩의 설계는 디자인의 재사용으로 인한 제조 시간의 단축을 목적으로 하기 때문에 이를 위해서는 테스트 자원의 재사용이 이루어져야 하고 TAPed 코어에 대해서는 IEEE 1149.1이 정하는 표준에 따라서 4개의 신호선만으로 테스트가 가능해야 한다.

[9]에서 제안하는 DATS(Direct Access Test Scheme)는 시스템 온 칩을 테스트하는데 필요한 다양한 테스트 모드를 달성하는데 있어서 칩의 테스트 입력력으로 TMODE와 TSEL를 사용한다. 시스템 온 칩의 테스트는 코어의 내부뿐만이 아니라 코어간의 상호연결선의 테스트를 포함하기 때문에 시스템 온 보드의 테스트에 비해 다양한 테스트 모드를 필요로 한다. 이를 위해 칩의 입력 핀에 존재하는 테스트 핀의 할당은 다음과 같은 문제점이 존재한다. 시스템 온 칩은 시스템 온 보드에 사용되는 칩에 비해 특수한 구조를 갖고 있음이 분명하다. 그러나 시스템 온 칩도 상위의 시스템에 집적될 때에는 하나의 컴포넌트 칩으로 보드에 사용될 것이다. 이 때 테스트의 관점에서는 칩 내부 코어에 존재하는 테스트 구조의 접근도 중요하지만 보드 수준에서 다른 칩들간의 상호 테스트 작용도 중요한 의미를 갖는다. 다시 말하면 IEEE 1149.1 동작에 의해 보드의 상호 연결선을 테스트 할 때 시스템 온 칩도 경계 주사 구조를 유지해야만 한다는 것이다. 테스트 모드를 결정하는 별도의 입력 신호선의 사용은 보드상에 존재하는 IEEE 1149.1에 의해서는 테스트 접근이 불가능함을 의미한다. 그러므로 시스템 온 칩에 테스트 접근하기 위한 테스트 버스는 IEEE 1149.1의 표준을 준수하는 것이 바람직하다.

마지막으로 [10]에서는 병렬적인 테스트 벡터의 인가를 가능하게 하는 병렬 테스트 접근 장치(Parallel TAM) 구조에 관한 연구가 진행되었으나 이의 테스트 제어에 관한 연구는 이루어지지 않았다. 시스템 온 칩의 제어는 기존의 시스템 온 보드와는 달리 여러 계층으로 이루어지기 때문에 표준적이고 보편적인 테스트 제어 방법이 연구되어야 한다.

III. 계층적 시스템 온 칩 제어

1. 시스템 온 칩 테스트 제어의 개관

본 논문에서 제안하는 시스템 온 칩 테스트 제어 목

표는 다음과 같다.

우선 시스템 온 칩 내에 존재하는 모든 테스트 구조는 칩의 입출력에 존재하는 IEEE 1149.1 테스트 버스에 의해서 완전 제어 가능하다. 이것은 시스템 온 칩 제조 후 보드에 집적되어 사용될 때 상위 수준 시스템 테스트 구조인 IEEE 1149.1 경계 주사 구조와 호환성을 유지하기 위함이다. 또한 시스템 온 칩 테스트 구조는 내장된 TAPed 코어와 Wrapped 코어에 대해 모두 테스트 가능하다.

기존에 시스템 온 보드 환경에서의 설계물을 코어로 재사용 할 경우 경계 주사 구조를 이미 포함하고 있는 TAPed 코어와 내장된 코어 테스트를 위한 표준인 IEEE P1500의 테스트 구조를 포함하고 있는 Wrapped 코어는 시스템 온 칩 구성시 병용되기 때문에 이에 대한 고려가 필요하다. 이때 TAPed 코어에 대해 테스트 접근을 얻는 과정에서 코어 사용자에게 의한 코어 설계물의 수정은 필요하지 않는다. 코어 사용자가 코어 제공자에게 의한 설계물을 수정하는 것은 일반적으로 용이하지 않기 때문에 TAPed 코어의 경계 주사 구조의 수정 없이 테스트 접근이 가능해야 한다. 마지막으로 본 논문의 테스트 제어 구조는 시스템 온 칩의 TDI와 TDO 직렬 경로 상에 테스트 목적에 따라 다양한 직렬 경로 형성이 가능하다. 이점은 시스템 온 칩의 TDI와 TDO 사이에 테스트 데이터의 쉬프트 이동 경로를 최소로 하여 전체 시스템 온 칩 테스트 시간 단축을 가능하게 한다.

그림 2는 본 논문에서 제안하는 시스템 온 칩 테스트 구조의 개관을 보여 준다.

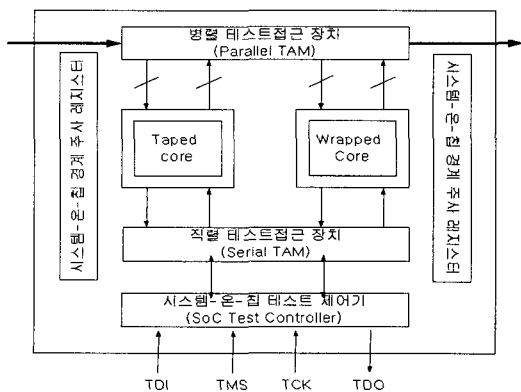


그림 2. 제안하는 시스템 온 칩 테스트 구조의 개관
Fig. 2. Conceptual view of proposed SOC test architecture.

시스템 온 칩 테스트 구조는 시스템 칩의 입출력에 서 테스트 대상의 내장된 코어에 접근하기 위하여 3개의 제어 단계를 가진다. 최상위 단계 시스템 온 칩 테스트 제어는 테스트의 목적, 예를 들어 보드의 상호연결선을 테스트 할 것인지, 내장된 코어의 내부 기능을 테스트 할 것인지, 혹은 내장된 코어간의 상호연결선을 테스트 할 것인지에 따라서 테스트 구성을 하는 단계를 의미하며 시스템 온 칩 테스트 제어기에 의해서 달성된다. 두 번째 단계 시스템 온 칩 테스트 제어는 코어의 내부와 코어간 상호 연결선을 포함한 시스템 칩의 내부부를 테스트하고자 할 때 테스트 대상의 코어에 대해서는 테스트 벡터와 명령어, 그리고 각 레지스터 셀의 제어신호가 전달될 수 있도록 경로를 형성하고 테스트 대상이 아닌 코어에 대해서는 테스트 경로에서 제외시키는 구성을 의미하며 직렬 테스트 접근 장치에 의해서 이루어진다. 마지막으로 제일 하위 단계의 시스템 온 칩 테스트 제어는 각 코어에 존재하는 코어 수준의 테스트 구조 제어를 의미한다. 시스템 온 칩에 존재하는 TAPed 코어는 코어 안의 tap 제어기에 의해서 테스트 자원이 제어되며 Wrapped 코어에 대해서는 wrapper 명령어 레지스터(Wrapper Instruction Register)에 의해 코어의 테스트 자원이 제어된다. 본 논문에서 제안하는 시스템 온 칩의 테스트 제어 구조는 3단계의 유기적인 동작이 가능하며 모든 제어 동작은 칩의 입출력에 존재하는 TMS와 TCK에 의해 이루어진다.

2. 시스템 온 칩 테스트 제어기

시스템 온 칩 테스트 제어기는 시스템 온 칩의 제어 단계에서 최상위층에 존재하여 인가되는 명령어에 따라서 적절한 테스트 구조를 형성하며, 테스트 접근 장치와 코어에 대한 계층적 제어를 가능하게 한다. 시스템 온 칩 테스트 제어기의 상세한 블록도는 그림 3과 같다.

그림 3에서 볼 수 있는 것과 같이 시스템 온 칩 테스트 제어기는 시스템 온 칩 유한 상태기(SOC FSM)와 시스템 온 칩 명령어 레지스터, 명령어 해석기, 그리고 시스템 온 칩 바이패스 레지스터로 구성된다. 시스템 온 칩 테스트 제어기는 인가되는 명령어에 따라서 시스템 칩의 TDI, TDO 직렬 경로 상에 시스템 온 칩 바이패스 레지스터, 시스템 온 칩 경계 주사 레지스터, 혹은 직렬 테스트 접근 장치의 사출 입력(scan in),

사출 출력(scan out) 쌍 중의 하나를 연결하고 직렬 테스트 접근 장치의 routing 과정을 제어하며, 테스트 대상의 Wrapped 코어에 존재하는 데이터 레지스터의 제어 신호를 발생한다. 이 일련의 제어 동작은 시스템 온 칩 유한 상태기에 의해서 제어된다. 하나의 칩에 하나의 제어 단계만이 존재하는 시스템 온 보드의 칩에서는 TAP 제어기가 테스트를 위한 구성을 달성하고 테스트 벡터 인가과정을 데이터 레지스터를 통하여 수행하였다. 그러나 시스템 온 칩의 상황에서는 3개의 제어 단계를 계층적으로 제어해야 하므로 경계 주사 구조 TAP 제어기의 수정이 필요하다. 그림 4는 시스템 온 칩 유한 상태기의 상태천이도를 나타낸다.

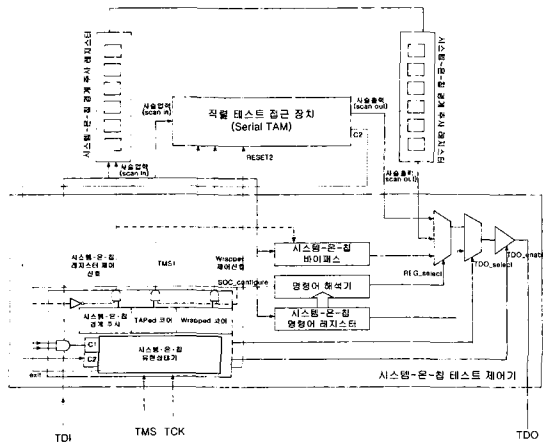


그림 3. 시스템 온 칩 테스트 제어기의 자세한 블록도
Fig. 3. Detailed block diagram of SOC test controller.

위의 상태천이도에서 각 상태 옆의 숫자는 TCK의 하강 모서리에서의 TMS 값을 의미한다. 시스템 온 칩 테스트 제어기는 연속적인 TMS 값의 변화에 의하여 위와 같은 상태 변화를 갖는다. 시스템 온 칩 테스트 제어기는 TMS를 연속적인 5클록 동안 1로 유지하는 동작에 의해 Test-Logic-Reset 상태로 들어간다. 이 상태에서 시스템 온 칩 테스트 제어기의 C1, C2 레지스터는 0으로 초기화되고 이후로 시스템 온 칩 유한 상태기는 시스템 온 칩 구성 과정 고리에서 TMS의 시퀀스에 따라 상태 천이를 하게 된다. TMS 값의 변화에 의하여 시스템 온 칩 유한 상태기가 Shift-IR1을 지나 Update IR1의 상태로 들어갈 때까지 TDO_select 신호는 시스템 온 칩 명령어 레지스터를 TDI와 TDO를 통하여 연결되도록 형성된다. 그러므로 이후 시스템 온 칩 구성 과정 고리의 Shift-IR1 상태에서 TDI를 통하여 입력되는 테스트 데이터는 시스템 온 칩 명령어 레지스터로 적재되고, 명령어로 해석이 되어 시스템 온 칩 테스트 구조를 형성한다.

시스템 온 칩 유한 상태기가 시스템 온 칩 구성 과정 고리동안에 Shift-IR1 상태를 통하여 입력되는 명령어는 이후의 테스트 목적에 따라 시스템 온 칩에 존재하는 테스트 구조의 구성을 형성한다. 최상위 제어 수준에서 각 명령어에 따른 테스트 구성은 다음과 같다.

▷ BOARD_TEST

시스템 온 칩 명령어 레지스터에 적재된 BOARD_

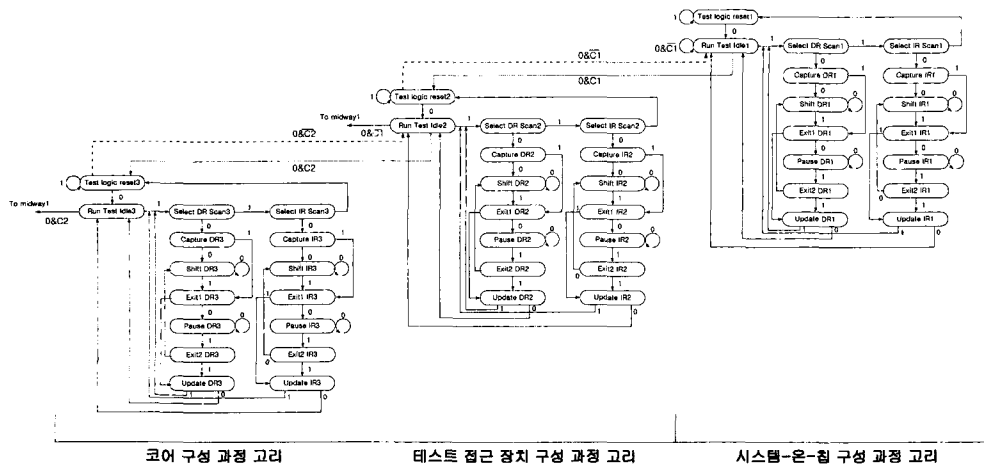


그림 4. 시스템 온 칩 유한 상태기의 상태천이도
Fig. 4. State diagram for SOC FSM.

TEST 명령어는 시스템 온 칩이 상위 보드 시스템의 상호 연결선 테스트에 참여할 목적으로 사용된다. 시스템 온 칩 유한 상태기의 Update-IR1 상태에서 명령어 해석기는 BOARD_TEST 명령어를 받아 시스템 온 칩의 TDI와 TDO 사이 직렬 경로에 시스템 온 칩 경계 주사 레지스터가 놓일 수 있도록 REG_select 신호를 발생한다. 이후에 시스템 칩의 TDI를 통하여 인가되는 테스트 벡터는 시스템 온 칩 경계 주사 레지스터로 적재되어 테스트 벡터로 동작할 수 있고 시스템 온 칩이 IEEE 1149.1과 동일한 테스트 동작에 의해서 상위 수준 보드 테스트에 참여할 수 있다. 이 때 SOC_configure 신호는 0의 값을 유지하고 이에 따라 C1 레지스터의 값도 0의 값을 갖도록 형성된다. 그러므로 이후의 연속적인 TMS 신호에 의해 시스템 온 칩 유한 상태기는 테스트 접근 장치 구성 과정 고리로 들어가지 않고 그대로 시스템 온 칩 구성 과정 고리에 머문다.

▷ SOC_BYPASS

SOC_BYPASS 명령어는 시스템 온 칩의 TDI와 TDO 직렬 경로에 시스템 온 칩 바이패스 레지스터가 위치할 수 있도록 REG_select 신호를 발생한다. 그러므로 시스템 온 칩을 하나의 레지스터를 통하여 바이패스 가능하도록 한다.

▷ CORE_TEST

CORE_TEST 명령어는 시스템 온 칩의 TDI와 TDO 직렬 경로 상에 직렬 테스트 접근 장치의 사슬 입력과 사슬 출력이 놓이도록 REG_select 신호를 발생한다. 또한 CORE_TEST 명령어에 의한 명령어 해석기는 SOC_configure 신호를 1로 발생하여 C1 레지스터를 1로 형성한다. CORE_TEST 명령어는 시스템 온 칩의 내부를 테스트하기 위하여 사용되는 명령어이다. 시스템 칩의 내부에 존재하는 코어들을 테스트하기 위해서는 테스트 데이터를 코어로 전달할 수 있는 수단이 필요하고 이는 시스템 칩의 TDI와 TDO를 직렬 테스트 접근 장치와 연결함으로써 가능하다. 신호값 1을 갖는 C1은 Run-Test-Idle1 상태에서 0의 TMS 입력에 시스템 온 칩 유한 상태기를 테스트 접근 장치 구성 과정 고리로 들어가게 하고 이후의 연속적인 5클록 동안 1의 값을 갖는 TMS 입력으로 직렬 테스트 접근 장치와 테스트 동기를 달성한다. 이후의 TMS 입력에 따른 시스템 온 칩 유한 상태기의 상태 이동은 직렬 테스트

접근 장치의 상태와 일치하여 동작할 수 있다.

다음의 표 1은 각 명령어에 따른 시스템 온 칩 테스트 구조의 형성을 의미한다.

표 1. 각 명령어에 따른 시스템 온 칩 테스트 구조의 형성

Table 1. Configuration of SOC test according to each instruction.

	BOARD_TEST	SOC_BYPASS	CORE_TEST
레지스터의 선택	시스템 온 칩 경계 주사 레지스터	시스템 온 칩 바이패스 레지스터	직렬 테스트 접근 장치
SOC_configure	0	0	1
전달 제어신호	시스템 온 칩 경계 주사	시스템 온 칩 경계 주사	TAPed 코어 Wrapped 코어

3. 직렬 테스트 접근 장치

직렬 테스트 접근 장치는 CORE_TEST 명령어에 의해서 시스템 온 칩 내부를 테스트하고자 할 때 테스트 대상인 TAPed 코어와 Wrapped 코어의 TDI, TDO로 하나의 직렬 테스트 고리를 구성하고 테스트 대상이 아닌 코어의 TDI와 TDO는 직렬 테스트 고리에서 제외시키는 역할을 한다. 그림 5는 직렬 테스트 접근 장치의 내부 구성을 나타낸다.

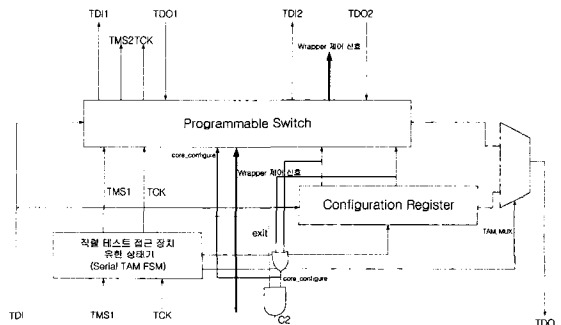


그림 5. 직렬 테스트 접근 장치의 자세한 블록도
Fig. 5. Detailed block diagram for serial test access mechanism.

직렬 테스트 접근 장치 유한 상태기는 시스템 온 칩 테스트 제어기와 테스트 동기를 유지하면서 CR (Configuration Register)과 PS(Programmable Switch)에 대한 제어 신호를 발생한다. 직렬 테스트 접근 장치 유한 상태기는 시스템 온 칩 유한 상태기의 상태 천이 도에서 시스템 온 칩 구성 과정 고리가 제외되고 테스트

트 접근 장치 구성 과정 고리와 코어 구성 과정 고리만으로 이루어지는 상태 전이를 갖는다. CORE_TEST 명령어에 의해 시스템 온 칩의 테스트 입력에서 직렬 테스트 접근 장치까지의 테스트 경로를 확보한 후 Test-Logic-Reset2의 상태를 갖는 직렬 테스트 접근 장치는 C2 신호를 0으로 유지한다. 0의 값을 갖는 C2는 직렬 테스트 접근 장치 유한 상태기와 시스템 온 칩 유한 상태기가 코어 구성 과정 고리로 들어가는 것을 막는다. 또한 core_configure는 0의 값을 갖고 코어의 TMS2를 0으로 유지함으로써 코어 유한 상태기의 변화를 막으며 직렬 테스트 접근 장치 유한 상태기는 직렬 테스트 접근 장치의 TDI과 TDO 사이에 CR이 위치 할 수 있도록 TAM_MUX 신호를 발생한다. 이 상태에서 시스템 칩의 TDI를 통해 인가되는 테스트 데이터는 Shift-IR2의 상태를 이용하여 CR에 적재되고 CR에 적재된 테스트 데이터는 어떤 코어를 사용하여 테스트 할 것인가에 대한 정보로 해석된다. CR에 적재된 테스트 데이터는 Update-IR2 상태에서 PS에 인가되고 C2를 1로 형성한다. 이 때부터는 적당한 TMS 시퀀스에 의해 시스템 칩의 테스트 입력에서 직접 코어의 접근이 가능함을 의미하며 직렬 테스트 접근 장치의 TDI와 TDO 경로 상에는 PS가 위치하도록 TAM_MUX 신호를 발생한다.

CR(Configuration Register)은 시스템 온 칩에 존재하는 다수의 코어에 대해서 어떤 코어는 테스트 대상의 코어이며 어떤 코어는 테스트 대상의 코어가 아님을의 정보를 저장하는 곳으로서 경계 주사 구조의 명령어 레지스터와 동일하게 구현된다. CR의 각 비트는 하나의 코어에 해당하며 Shift-IR2의 상태일 때 테스트 대상의 코어에 대해서는 1의 신호를, 테스트 대상이 아닌 코어에 대해서는 0의 비트를 인가한다.

PS(Programmable Switch)는 CR의 값에 따라 코어

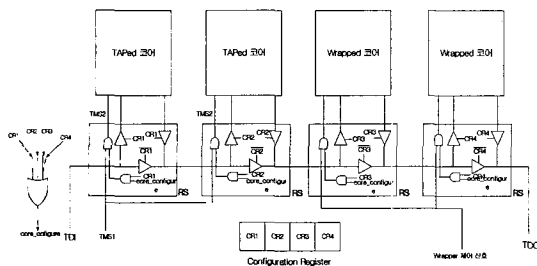


그림 6. 프로그램 가능한 스위치(PS)의 구성
Fig. 6. Configuration of Programmable Switch.

TDI, TDO간의 직렬 사슬을 구성하며 TAPed 코어에 대해서는 시스템 온 칩 테스트 제어기로부터의 TMS, TCK 신호를, Wrapped 코어에 대해서는 wrapper 제어 신호를 각 코어에 전달하기 위한 routing 경로를 형성한다. 그림 6은 CR의 값에 따른 RS의 동작을 보여준다.

코어 사용자가 시스템 칩을 제조할 때에는 이미 설계되어진 코어를 목적에 따라서 배치하게 된다. 즉 코어 사용자가 시스템 칩을 테스트하기 위해서 전체적인 테스트 구조를 마련할 때에는 이미 어느 위치에는 어떤 종류의 코어가 존재하는지에 대한 정보를 알고 있다. 그림에서 보는 것과 같이 프로그램 가능한 스위치에는 각 코어에 해당하는 RS(Routing switch)가 하나씩 존재한다. 이 RS는 TAPed 코어에 대해서는 TMS, TCK를 Wrapped 코어에 대해서는 wrapper 제어 신호, 그리고 공통적으로 각 CR에 해당하는 신호를 입력으로 갖는다. CR의 각 레지스터 값은 직렬 테스트 접근 장치의 유한 상태기가 update-IR2 상태에서 PS의 RS로 인가되고 각 값은 RS의 삼상 버퍼 제어 입력으로 동작한다. 결론적으로 CR의 비트는 해당하는 코어의 TDI, TDO를 시스템 칩의 TDI와 TDO의 경로 상에 놓이게 하고 테스트 대상의 코어로 테스트 데이터나 명령어를 전달할 수 있다.

4. 시스템 온 칩 테스트 구조 재구성

특정한 코어에 대한 테스트를 마치고 시스템 온 칩에 존재하는 다른 코어를 테스트하기 위해서는 코어의 TDI, TDO에 대한 새로운 직렬 연결을 필요로 한다. 본 논문에서 제안하는 시스템 온 칩 테스트 구조에서 각 코어의 TDI, TDO를 이용하여 하나의 직렬 사슬을 형성하는 과정은 테스트 접근 장치 구성 과정 고리에서 이루어진다. 그러므로 새로운 코어를 테스트하기 위해서는 코어 구성 과정 고리에서 다시 테스트 접근 장치 구성 과정 고리로의 상태 이동이 필요하다. 본 논문의 시스템 온 칩 테스트 구조는 다음과 같은 메커니즘에 의해서 위의 사항을 달성한다.

코어에 대한 테스트가 진행되는 동안에 각 제어 단계의 유한 상태기는 모두 코어 구성 과정 고리에 존재하고 또한 이들은 모두 동기화 된다. 즉 3단계의 유한 상태기는 모두 동일한 상태를 유지한다. 코어 구성 과정 고리에서 테스트 접근 장치 구성 과정 고리로의 이동은 연속적인 5클록 이상 동안의 Run-Test-Idle3 상태를 유지하는 동작으로 달성된다. 그림 4의 시스템 온

칩 상태천이도와 직렬 테스트 접근 장치 유한 상태기의 상태천이도에서 Run-Test-Idle3 이후 C2가 1인 상태에서 0의 TMS 값은 midway1으로 상태를 이동하게 하는 것을 볼 수 있다. 이것은 연속적인 5클럭 이상 동안의 0인 TMS의 입력 수를 세게 한다. Midway1 상태 이후의 상태 천이는 그림 7과 같다.

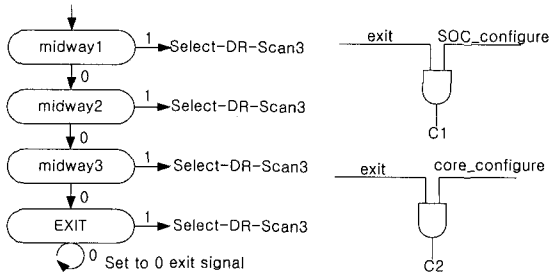


그림 7. 상위 제어 단계로의 이동
Fig. 7. State transition to higher SOC control level.

각 상태에 존재하는 숫자는 역시 TMS의 값을 의미한다. Midway1 상태로 들어간 각 상태 천이기는 이후의 TMS 값에 따라서 상태천이를 하게 되며 외형적으로 5클럭 이상의 Run-Test-Idle3 상태를 유지하는 동작에 의하여 EXIT 상태로 들어간다. EXIT 상태에서의 직렬 테스트 접근 장치 유한 상태기는 exit 신호를 0으로 만들고, 결과적으로 C2의 신호가 0으로 형성되어 C2 레지스터의 값을 0으로 유지된다. 이후 시스템 칩의 TMS 시퀀스에 의하여 Test-Logic-Reset3 상태로 이동한 시스템 온 칩 유한 상태기와 직렬 테스트 접근 장치의 유한 상태기는 0의 TMS 입력에 대하여 테스트 접근 장치 구성 과정 고리로 이동이 가능하게 된다. 이 상태에서 시스템 칩의 TDI와 TDO 사이에는 직렬 테스트 접근 장치의 TDI와 TDO가 놓이게 됨으로서 새로운 구성을 갖는 TDI, TDO 조합을 형성할 수 있다. 만일 시스템 온 칩 유한 상태기와 직렬 테스트 접근 장치 유한 상태기가 midway1의 상태로 들어간 후 EXIT 상태로 이동하기 전까지 0의 TMS 입력이 아닌 1의 TMS 값을 갖게 되면 이것은 상위 제어 단계로의 이동을 희망하는 TMS 시퀀스로 해석하지 않고 단순히 2-3클럭 동안의 Run-Test-Idle3 상태를 유지하는 동작으로 해석되고 select-DR-scan3의 상태로 이동하여 코어 구성 과정 고리에서 해당 코어의 테스트 동작을 계속 수행한다.

마찬가지로 테스트 접근 장치 구성 과정 고리에서

시스템 온 칩 구성 과정 고리로의 이동은 연속적인 5 클럭 이상의 Run-Test-Idle2 상태를 유지하는 동작으로 달성될 수 있고 이 원리는 위와 동일하다.

IV. 성능평가

이번 장에서는 제안한 시스템 온 칩 테스트 제어 구조를 이용하여 다양한 테스트 모드의 동작을 적용해 보고 기존의 테스트 구조와 성능 비교를 한다.

먼저 BOARD_TEST 명령어를 사용하여 상위의 보드 시스템과 호환성을 유지하는 테스트 동작은 그림 8과 같다. 실험에 사용된 시스템 온 칩은 2개의 TAPed 코어와 1개의 Wrapped 코어를 내장한 HDL 모델이다.

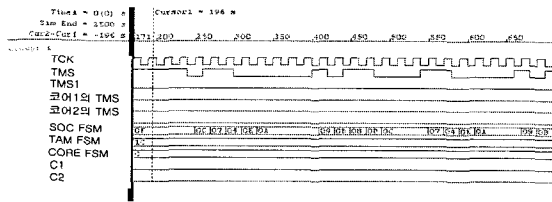


그림 8. BOARD_TEST 명령어 동작의 예
Fig. 8. Simulation of BOARD_TEST instruction.

BOARD_TEST는 테스트를 실시함에 있어 시스템 온 칩이 보드에 사용된 하나의 칩으로서 관심이 있을 때 적용된다. 예제의 시스템 온 칩의 구성에서 코어1, 코어2, 그리고 코어3은 이 명령어가 사용될 경우 테스트 제어 대상이 아니고 시스템 온 칩 경계 주사 레지스터만이 시스템 온 칩 제어기의 제어를 받게 된다. 그림 8은 BOARD-TEST 명령어에 의해서 시스템 온 칩에 존재하는 테스트 구조가 시스템 온 보드 환경에서의 IEEE 1149.1과 동일한 동작을 수행할 때 각 제어 계층에 존재하는 유한 상태기의 상태 천이와 시스템 칩의 TMS, TCK 신호를 보여 준다. 그림에서 볼 수 있는 것과 같이 이 테스트과정 동안 시스템 온 칩 유한 상태기는 C1과 C2 신호가 0으로 유지되어 시스템 온 칩 구성 과정 고리에 머무른다. 동시에 코어로의 TMS1와 TMS2는 모두 0으로 유지되어 테스트 과정 동안에 이전의 상태를 유지된다. 결과적으로 코어에 존재하는 테스트 구조는 이 명령어에 의해서는 테스트에 참여하지 않게 되고 시스템 온 칩의 주변에 존재하는 시스템 온 칩 경계 주사 레지스터만이 시스템 온 칩 테스트 제어기의 제어를 받아 테스트의 동작을 수행한

다. 여기에서 주목할 점은 이 후의 모든 테스트 구조의 제어는 IEEE 1149.1과 동일하게 이루어진다는 점이다. 즉 시스템 온 칩은 시스템 온 보드의 환경에서 하나의 칩이 IEEE 1149.1을 이용하여 실시하는 테스트의 모두를 동일한 TMS, TCK의 제어에 의해서 달성할 수 있다.

시스템 온 칩의 테스트는 시스템 온 보드의 테스트와는 달리 코어간의 상호 연결선의 테스트뿐만이 아니라 코어 내부의 테스트 또한 중요한 의미를 갖는다. 각 코어의 내부에 CORE_TEST 명령어에 의해서 테스트될 수 있다. 그림 9는 시스템 온 칩에 내장된 3개의 코어 중에서 코어1과 코어2를 시스템 온 칩의 TDI와 TDO 사이의 직렬 경로에 연결하는 동작을 보여준다.

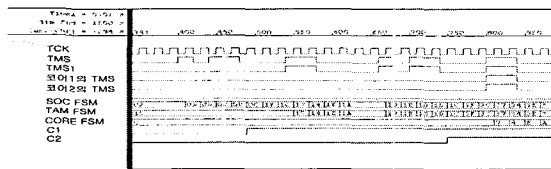


그림 9. CORE_TEST에 의한 코어 내부의 테스트
Fig. 9. Core internal test by CORE_TEST instruction.

CORE_TEST 명령어에 의해서 시스템 온 칩의 TDI와 TDO 사이에 직렬 테스트 접근 장치가 연결되고 이후에 TDI를 통해서 인가되는 110의 테스트 데이터는

코어1과 코어2에 대해서는 테스트 대상의 코어임을 그리고 코어3에 대해서는 테스트 대상의 코어가 아님을 의미한다. 직렬 테스트 접근 장치의 PS는 이 테스트 데이터에 의해 시스템 칩의 TMS 입력으로부터 코어의 TMS 입력으로의 routing 경로를 형성한다. 이제 코어 구성 과정 고리에서 코어1과 코어2는 시스템 온 칩 테스트 제어기 유한 상태기와 동일한 상태를 갖게 되며 칩의 입출력을 통해 코어에 존재하는 테스트 구조를 제어할 수 있다. 이 과정을 달성함에 있어 본 논문에서 제안하는 테스트 구조는 코어 제공자에 의한 TAPed 코어의 설계 수정 과정이 필요하지 않으면서도 다양한 코어 조합의 직렬 연결이 가능하도록 유동성을 제공한다.

시스템 온 칩의 내부에 존재하는 TAPed 코어에 대한 테스트 접근을 달성함에 있어 코어 제공자에 의한 설계물의 수정이 필요한 시스템 온 칩 테스트 구조는 바람직하지 않다. 왜냐하면 코어 사용자에게 의한 코어의 수정은 일반적으로 용이하지 않고 이에 따른 시간의 오버헤드가 크기 때문이다. 제안된 테스트 구조는 시스템 온 칩의 각 제어 단계에 존재하는 유한 상태기의 상태천이를 이용하여 테스트 정보의 전달이 이루어지므로 TAPed 코어 사용자에게 의한 코어의 수정이 필요 없다.

표 2. 시스템 온 칩 테스트 구조의 비교
Table. 2. Comparison of SOC test architectures.

구분	[8]	[9]	[10]	본 논문에서 제안한 테스트 구조
상위 수준 시스템 테스트와의 호환성 유지	IEEE 1149.1 표준에 의한 칩의 제어 입출력 사용. 상위 수준 시스템과의 호환성 존재.	코어 사용자에게 의한 테스트 제어 입출력 정의로 인하여 호환성 없음.	코어 사용자에게 의한 테스트 제어 입출력 정의로 인하여 호환성 없음.	IEEE 1149.1 표준에 의한 칩의 제어 입출력 사용. 상위 수준 시스템과의 호환성 존재.
TAPed 코어의 설계 수정	코어 수정 필요.	TAPed 코어 고려 안함.	TAPed 코어 고려 안함.	TAPed 코어의 수정 필요 없음.
IEEE P1500 호환성	Wrapped 코어 고려 안 함.	IEEE P1500과 호환성 없음.	IEEE P1500 호환.	IEEE P1500 호환.
TAPed 코어, Wrapped 코어 동시 테스트 가능성	Wrapped 코어 고려 안 함.	TAPed 코어, Wrapped 코어 고려 안 함.	TAPed 코어 고려 안 함.	TAPed 코어, Wrapped 코어 동시 테스트 가능.
제어의 용이성	상위 시스템에서 제어 용이. IEEE 1149.1 표준에 의한 칩의 제어 입출력 사용.	코어 사용자에게 의한 테스트 제어 입출력 정의로 인하여 별도의 제어 프로토콜 필요. 제어가 용이하지 않음.	코어 사용자에게 의한 테스트 제어 입출력 정의로 인하여 별도의 제어 프로토콜 필요. 제어가 용이하지 않음.	상위 시스템에서 제어 용이. IEEE 1149.1 표준에 의한 칩의 제어 입출력 사용.
직렬 사슬 형성의 유동성	다양한 직렬 사슬 형성 가능.	동시에 하나의 코어만이 테스트 가능.	다양한 직렬 사슬 형성 가능.	다양한 직렬 사슬 형성 가능.

표 2는 시스템 온 칩 테스트 구조의 성능을 평가할 수 있는 여러 가지 사항에 대하여 [8][9][10]의 논문에서 제안한 테스트 구조와 본 논문에서 제안하는 테스트 구조를 비교한다.

V. 결 론

시스템 온 칩의 설계 시 내장된 코어의 재사용은 점점 더 증가되고 있다. 코어 기반의 시스템 온 칩 설계에서 코어 설계 시에 포함된 테스트 용이화 설계 구조를 재사용 하는 것은 매우 바람직하다.

본 논문에서는 시스템 온 칩 내부 깊숙이 존재하는 코어에 대해서 칩의 입출력으로부터 테스트에 필요한 접근을 얻을 수 있는 계층적 테스트 접근 구조를 제시하였다. 본 논문에서 제안하는 시스템 온 칩 테스트 구조는 IEEE P1500 표준을 준수하고, 시스템 칩의 내부에 존재하는 TAPed 코어와 Wrapped 코어에 대해 적절한 테스트 접근이 가능하다. 이를 위하여 본 논문에서는 시스템 온 칩 테스트 제어 구조를 3단계로 분리하고 시스템 온 칩의 입출력을 통하여 각 단계에 존재하는 테스트 자원을 제어할 수 있는 계층적 제어 구조를 개발하였다. 제안된 테스트 제어는 시스템 온 칩 입출력에 존재하는 TMS, TCK, TDI, TDO의 JTAG 테스트 버스만으로 가능하다. 이 점은 IEEE 1149.1에서 정의하는 경계 주사 구조 표준과 일치하므로 보드 수준의 경계 주사 테스트에 시스템 온 칩의 참여를 가능하게 한다.

참 고 문 헌

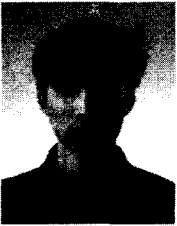
- [1] R. K. Gupta and Y. Zorian, "Introducing Core-Based System Design", *IEEE Design & Test of Computers*, pp. 15~25, 1997.
- [2] M. Keating and P. Bricaud, *Reuse Methodology Manual for System-on-a-Chip Designs*, Kluwer Academic Publishers, Norwell, Mass., 1998.
- [3] Y. Zorian, E. J. Marinissen, and S. Dey, "Testing Embedded-Core Based System Chips", *Proc. of IEEE Int'l Test Conf.*, pp. 130~143, 1998.
- [4] Y. Zorian, "System-Chip Test Strategies", *Proc. of Design Automation Conference*, pp. 752~757, 1998.
- [5] H. Bleeker, P. Eijnden and F. Jong, *Boundary-Scan Test: A Practical Approach*, Kluwer Academic Publishers, Netherlands, 1993.
- [6] K. P. Parker, *The Boundary-Scan Handbook*, Kluwer Academic Publishers, 1992.
- [7] 김 현진, 신 종철, 강 성호, "회로 기판상의 연결 테스트에 대한 분할 그룹 위킹 시퀀스", pp. 2251~2257, *전기학회논문지*, 47권, 12호, 1998년, 12월
- [8] L. Whetsel. "An IEEE 1149.1 based test access architecture for ICs with embedded cores", *Proc. of IEEE Int'l Test Conf.*, pp. 69~78, 1997.
- [9] V. Immaneni, D. Puffer, and S. Raman, "Direct Access Test Scheme-Implementation and Verification in Embedded ASIC Designs", *Proc. of IEEE ASIC Seminar and Exhibit*, P13/1.1~P13/1.6, 1990.
- [10] M. Benabdenebi, W. Maroufi, and M. Marzouki, "CAS-BUS: A Scalable and Reconfigurable Test Access Mechanism for Systems on a Chip", *Proc. of Design Automation Conference*, pp. 141~145, 2000.

저 자 소 개



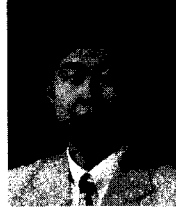
宋 東 燮(正會員)

1974년 7월 24일생. 2000년 전국대 전기공학과 졸업.(학사). 2000년~2002년 연세대 전기전자공학과 졸업(공학석사). <주관심분야 : CAD 및 VLSI 테스트링>



裴 相 民(正會員)

1973년 10월 15일생. 1998년 광운대 제어계측공학과 졸업.(학사). 2000년~현재 연세대 전기전자공학과 석사과정. <주관심분야 : CAD 및 VLSI 테스트링>



姜 成 昊(正會員)

1963년 4월 13일생. 1986년 2월 서울대 공대 제어계측공학과 졸업.(학사). 1988년 5월 The University of Texas at Austin 전기 및 컴퓨터공학과 졸업 (공학석사). 1992년 5월

The University of Texas at Austin 전기 및 컴퓨터공학과 졸업(공학박사). 1989-1992: Schlumberger Inc. Research Scientist. 1992-1994: Motorola Inc. Research Scientist. 1994-현재 : 연세대학교 공과대학 전기전자공학부 부교수. <주관심분야 : 테스트링 및 DFT, CAD, SOC 설계>