

論文2002-39SD-5-10

결정 궤환 구조를 갖는 차동 위상 검출기의 고속 데이터 처리를 위한 VLSI 설계

(A VLSI Design for High-speed Data Processing of Differential Phase Detectors with Decision Feedback)

金彰坤*, 鄭正和*

(Chang-Kon Kim and Jong-Wha Chong)

요약

본 논문은 결정 궤환 구조를 갖는 차동 위상 검출기의 고속 데이터 처리를 위한 VLSI 구조를 제안한다. 기존 차동 위상 검출 방식의 낮은 BER 성능을 극복하기 위해 DF-DPD, DPD-RGPR, DFDPD-SA 등의 다중 심볼 검출 방식이 제시되었다. 이러한 검출 방식들은 참조 위상으로 사용되는 이전 심볼에서의 잡음 효과를 작게 하기 위하여 검출된 위상을 궤환시키는 구조를 갖고 있다. 하지만, 검출된 위상을 궤환시키는 작용은 데이터 처리 속도를 기존의 차동 위상 검출기보다 느리게 한다. 본 논문에서는 결정 궤환 구조를 갖는 차동 위상 검출기가 기존의 차동 위상 검출 방식처럼 고속으로 데이터를 처리할 수 있는 VLSI 구조를 제안하였다. 제안된 구조는 'M-1' 번째 과정에서 'M' 번째 과정을 미리 계산하는 선계산(pre-calculation) 방식과 'M-1' 번째 과정에서 예견 위상들을 궤환시키는 선결정 궤환(pre-decision feedback) 방식을 갖는다. 본 논문에서 제안된 구조는 VHDL(Very-high-speed-IC Hardware Description Language)를 사용하여 RTL(Register Transfer Level)로 구현되었다. 시뮬레이션 결과, 제안된 구조는 고속으로 데이터를 처리함을 확인하였다.

Abstract

This paper proposes a VLSI architecture for high-speed data processing of the differential phase detectors with the decision feedback. To improve the BER performance of the conventional differential phase detection, DF-DPD, DPD-RGPR and DFDPD-SA have been proposed. These detection methods have the architecture feedbacking the detected phase to reduce the noise of the previous symbol as phase reference. However, the feedback of the detected phase results in lower data processing speed than that of the conventional differential phase detection. In this paper, the VLSI architecture was proposed for high-speed data processing of the differential phase detectors with decision feedback. The proposed architecture has the pre-calculation method to previously calculate the results on 'M'th step at 'M-1'th step and the pre-decision feedback method to previously feedback the predicted phases at 'M-1'th step. The architecture proposed in this paper was implemented to RTL using VHDL. The simulation results show that the proposed architecture obtains the high-speed data processing.

Key Words : Differential Phase Detection, Decision Feedback, VLSI Design, High-speed Data Processing

* 正會員, 漢陽大學校 電子電氣컴퓨터工學部

(Division of Electrical and Computer Engineering,
Colleges of Engineering, Hanyang University)

接受日: 2002年4月1日, 수정완료일: 2002年4月24日

I. 서론

디지털 무선 통신 방식 중 M-ary PSK (Phase Shift Keying)는 위상을 이용해 변복조하는 방법으로 많은 응용 분야에서 널리 사용되고 있다. M-ary PSK 변조

된 신호를 복조시키기 위해서는 수신된 신호의 위상과 수신기의 참조 신호의 위상을 일치시키는 과정이 필요하다. 그러므로, M -ary PSK 수신기에서는 위상 동기 루프 등이 사용된다. 이러한 동기 복조는 만일 가우시안 잡음 환경하와 같은 양호한 채널 상태를 가정한다면 최적의 복조 방식으로 생각할 수 있다. 하지만, 복잡한 동기 회로 부분이 들어가야 하므로 수신기의 구조가 복잡해지고 구현이 어려워지게 된다.

한편, 비동기 복조인 M -ary DPSK (Differential Phase Shift Keying)는 M -ary PSK의 일종으로 심볼의 위상차를 이용하여 변복조하는 방법이다. M -ary DPSK는 복조할 때 이전 신호를 참조 신호로 사용하는 차동 복조이기 때문에 수신기의 구조를 간단히 할 수 있고 적은 비용으로 구현할 수 있다. 이런 장점으로 인해 M -ary DPSK는 여러 수신기에서 널리 적용되어 사용되고 있다. 하지만, M -ary DPSK를 이용한 차동 복조를 할 경우 이전 신호를 참조로 사용하기 때문에 M -ary PSK의 동기 복조 방법보다 비트 오류 확률면에서 성능이 떨어지게 된다.^[1~3] 따라서 차동 복조의 비트 오류 확률을 개선하기 위해 이전에 수신된 여러 심볼을 이용한 여러 가지 다중 심볼 차동 복조 방법 (Multiple Symbol Differential Detection)들이 제안되어 왔다. 이러한 방법들로는 ML-DD (Maximum Likelihood Differential Detection)^[4], Viterbi-DD (ML-DD using Viterbi Algorithm),^[5] DF-DD (Decision Feedback Differential Detection)^[6~8] 등이 있다.

본 논문에서는 그 중 구현상 가장 우수한 방법인 DF-DD에 DPD(Differential Phase Detection)를 적용한 DF-DPD (Decision Feedback DPD)와 DPDRGPR (DPD with Recursively Generated Phase References)에 대해 고찰하고, 이러한 방식들의 단점인 케환구조로부터의 낮은 전송속도를 극복하여 기존의 차동위상검출방식과 같은 전송속도를 갖기 위한 설계 방법을 제안한다.

II. 차동 위상 검출기

1. 기존의 차동 위상 검출기 (DPD)

M -ary DPSK는 비동기 복조를 위해 차동 부호화 (differential encoding)와 차동 복호화(differential decoding)의 과정들을 첨가한 M -ary PSK 방식이다.

차동 부호화는 이전 심볼의 위상에 현재 심볼에 해당하는 위상을 더하여 신호의 위상차로 전송될 신호를 나타내는 과정이다. 차동 복호화는 현재 수신된 위상과 이전에 수신된 위상과의 차이를 구해 이에 해당하는 원래의 심볼을 찾아내는 과정이다. 차동 복호화를 통해 수신된 신호의 위상을 복조하는 방법을 차동 위상 검출 (DPD: Differential Phase Detection)이라 한다.

식 (1)은 현재 수신된 위상 ψ_n 의 구성 성분들을 보여 준다. 여기서, ϕ_n 는 송신된 위상 성분, η_n 는 채널에 의해 생성된 위상 잡음 성분, θ 는 위상 오프셋 성분을 나타낸다. 식 (2)는 현재 수신된 위상과 이전에 수신된 위상과의 차이를 구하는 차동 복호화를 나타낸다.

$$\psi_n = (\phi_n + \eta_n + \theta) \bmod 2\pi \quad (1)$$

$$\begin{aligned} \Delta\psi_n &= (\psi_n - \psi_{n-1} + \theta) \bmod 2\pi \\ &= (\Delta\phi_n + \Delta\eta_n) \bmod 2\pi \end{aligned} \quad (2)$$

기존의 DPD는 다음처럼 현재 수신된 위상을 검출하게 된다. 현재 수신된 신호의 위상 ψ_n 과 한 심볼 이전에 수신된 위상인 ψ_{n-1} 과의 차이 $\Delta\psi_n$ 를 구하여 M 개의 참조 위상들 $\Delta\phi_m$ ($m=1,2,\dots,M$) ($=2(m-1)\pi/M$) 중에서 $\Delta\psi_n$ 와 $\Delta\phi_m$ 의 차이의 절대값이 가장 적어지는 값으로 차동 위상 $\Delta\phi_n$ 를 결정하게 된다. 식 (2)에서 보여지듯이, 위상 오프셋 θ 는 차동 위상 검출 과정을 통해 제거된다. 이러한 결정 과정을 식으로 나타내는 결정식은 식 (3)과 같다.

$$\Delta\hat{\phi}_n = \min_{\text{over } \Delta\phi_m} |\Delta\psi_n - \Delta\phi_m| \quad (3)$$

식 (3)의 결정식에 대한 기존의 DPD의 구조는 그림 1과 같다.

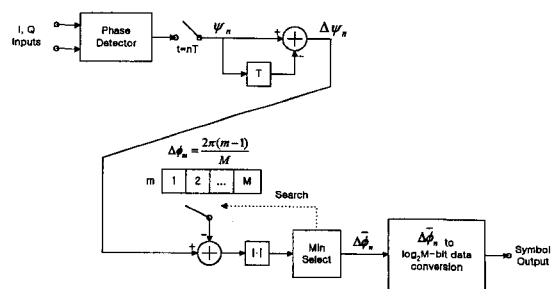


그림 1. 기존의 DPD의 구조
Fig. 1. Architecture of the Conventional DPD.

2. 결정 제한 차동 위상 검출기 (DF-DPD)

M-ary DPSK 신호에 대한 기존의 기본적인 차동 복조 방법은 동기 복조 방법과 비교하여 볼 때 비트 오류 확률면에서 성능이 떨어진다. 따라서 기존의 차동 복조의 비트 오류 확률을 개선할 수 있는 연구가 진행되어 왔다. 그 중, 이전 한 심볼과 현재 심볼만을 이용하는 기존의 차동 복조와는 달리 detection length 동안 수신된 L개의 이전 심볼과 현재 심볼을 모두 고려하여 성능을 개선하려는 다중 심볼 차동 복조 방법이 대두되었다.

이러한 방법으로는 ML-DD^[4], Viterbi-DD^[5], DF-DD^[6,7] 등이 있다. 이러한 방법들 중 ML-DD와 Viterbi-DD는 실제로 구현하기에는 너무 복잡하다는 단점이 있다. 따라서 비교적 구현이 쉬운 DF-DD에 DPD의 개념을 적용해 각 심볼의 위상차를 이용한 다중 심볼 차동 복조 방법인 DF-DPD (Decision Feedback Differential Phase Detection) 가 제안되었다.^[8] 그러므로 DF-DPD는 DF-DD와 같이 L-1개의 복조되어 결정된 신호의 위상을 피드백시키고 이와 현재 심볼의 위상을 이용해 복조 과정을 수행한다.

DF-DPD의 결정식은 식 (4)와 같다.

$$\Delta\bar{\phi}_n = \min_{\text{over } \Delta\phi_m} \left[\left| \Delta\psi_n - \Delta\phi_m \right| + \gamma_{n-1} \right]$$

$$\left(\gamma_{n-1} = \sum_{l=2}^L \left(\left| \Delta\psi_n - \Delta\phi_m \right| \right) + \sum_{l=2}^L \left(\left| \Delta\psi_{n-l+1} - \Delta\bar{\phi}_{n-l+1} \right| \right) \right) \quad (4)$$

그림 2는 DF-DPD의 구조를 보여 준다.

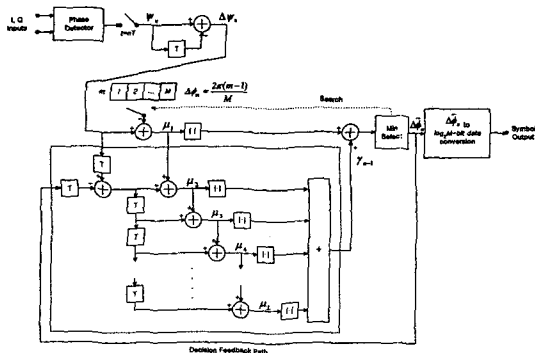


그림 2. DF-DPD의 구조
Fig. 2. Architecture of the DF-DPD.

3. 반복 발생 참조 위상을 갖는 차동 위상 검출기 (DPD-RGPR)

DF-DPD는 기본적인 차동 복조의 비트 오류 성능을

개선하여 L값이 증가할수록 동기 복조의 성능에 근접함을 알 수 있었다. 하지만, 검출 길이 L값이 증가함에 따라 기존의 차동 위상 복조기에 비해 복잡도가 급격히 증가하여 실제 구현하기가 어려워지는 단점이 있다. 이러한 단점을 극복하기 위해 제안된 방식들 중 하나가 반복적으로 발생하는 참조 위상을 갖는 차동 위상 검출기 (Differential Phase Detection with Recursively Generated Phase References)이다.^[6] DPD-RGPR의 결정식은 식 (5)와 같다.

$$\Delta\bar{\phi}_n = \min_{\text{over } \Delta\phi_m} \left| \psi_n - \Delta\phi_m - \phi_{n-1} \right|$$

$$= \min_{\text{over } \Delta\phi_m} \left| \Delta\psi_n - \Delta\phi_m + \phi_{n-1} \right|$$

$$\left(\begin{aligned} \phi_{n-1} &= \frac{W(\phi_{n-2} + \Delta\bar{\phi}_{n-1}) + \psi_{n-1} + 2K_{n-1}\pi}{W+1} \\ \phi_{n-1} &= -\frac{W(\phi_{n-2} + \Delta\bar{\phi}_{n-1}) + \psi_{n-1} + 2K_{n-1}\pi}{W+1} \end{aligned} \right) \quad (5)$$

그림 3은 DPD-RGPR의 구조를 보여 준다.

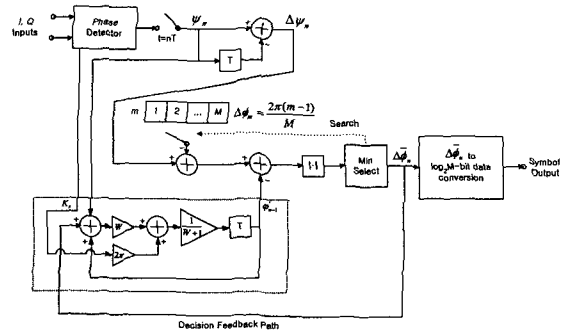


그림 3. DPD-RGPR의 구조
Fig. 3. Architecture of the DPD-RGPR.

4. 축적성 검출 제한 차동 위상 검출기(DFDPD-SA)

DFDPD-SA (DF-DPD with Single Accumulator)는 DPD-RGPR과 마찬가지로 DF-DPD의 복잡한 하드웨어 구조를 개선하고자 제안되었다.^[12] DFDPD-SA는 이전 심볼의 잡음 성분을 줄이기 위한 참조 위상 ψ_{n-1} 이 하나의 축적기로 구성된 갱신 프로세서에 의해 이루어지기 때문에 하드웨어 구조가 간단할 뿐만 아니라 동기 검출 방식과 거의 유사한 좋은 비트 오류 성능을 갖는다.

DFDPD-SA의 결정식은 식 (6)과 같다.

$$\begin{aligned} \Delta\bar{\phi}_n &= |(\Delta\psi_n - \Delta\phi_m) + \lambda_{n-1}| \\ \lambda_{n-1} &= \sum_{i=1}^{n-1} (\Delta\psi_{n-i} - \Delta\bar{\phi}_{n-i}) \end{aligned} \quad (6)$$

그림 4는 DFDPD-SA의 구조를 보여 준다.

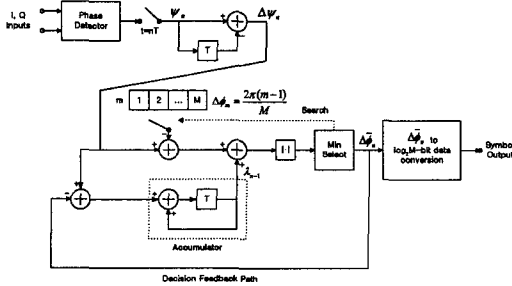


그림 4. DFDPD-SA의 구조
Fig. 4. Architecture of the DFDPD-SA.

DFDPD-SA에서는 다음과 같은 과정을 통해 의 차 동 위상을 검출한다. 위상 검출기에서는 현재 수신된 신호의 위상 ψ_n 을 구한다. 이어 기본적인 차동 복조에서와 같이 현재 신호의 위상 ψ_n 과 한 신호 이전의 위상 ψ_{n-1} 의 차 $\Delta\psi_n$ 을 구한다. 기본적인 차동 복조는 $\Delta\psi_n$ 을 참조 위상들 $\Delta\phi_m |_{m=1,2,L,M}$ 와 비교하여 가장 가까운 값으로 차동 위상 $\Delta\bar{\phi}_n$ 을 결정하였다. 하지만, 본 논문에서 제안한 구조에서는 이전의 위상차 $\Delta\psi_{n-i+1} |_{i=2,3,L,n}$ 과 결정된 위상차 $\Delta\bar{\phi}_{n-i+1} |_{i=2,3,L,n}$ 의 위상 오류를 계속 누적하여 이를 $\Delta\psi_n - \Delta\phi_m |_{m=1,2,L,M}$ 과 더한 값들로부터 차동 위상 $\Delta\bar{\phi}_n$ 을 검출한다.

III. 결정 제한 구조를 갖는 차동 위상 검출기의 차동 위상 검출 과정

일반적으로 동기화된 디지털 시스템에서 각 모듈은 클럭에 의해 트리거된다. 다시 말해, 이러한 디지털 시스템에서 클럭의 한 주기는 순차회로의 최단 동작 주기를 나타내며 각 모듈의 동작은 clock period의 정수 배의 시간으로 동기화된다.

M-ary DPSK 복조기의 차동 위상 검출 과정에서는 현재 수신된 차동 위상 $\Delta\psi_n$ 와 참조 위상들 $\Delta\phi_m |_{m=1,2,L,M} (= 2\pi(m-1)/M)$ 와의 차이를 구하는 과정

이 있다. 다시 말해, 현재 검출하고자 하는 차동 위상 $\Delta\bar{\phi}_n$ 을 얻기 위해서는 M번의 차이를 구하는 과정이 요구된다. 이것은 한 번의 차동 위상 검출을 위해서는 최소한 M번의 clock triggers 이 필요하다는 것을 뜻한다. 그림 5은 기존의 DPD에서의 클럭 트리거에 의한 검출과정을 보여준다.

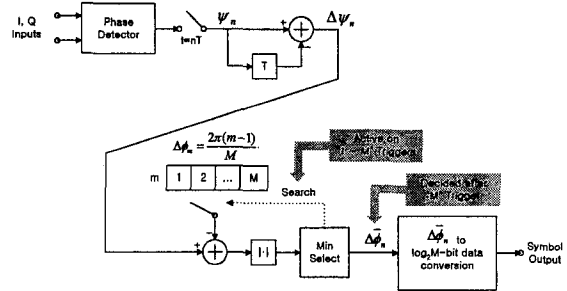


그림 5. 기존의 DPD에서의 차동 위상 검출 과정
Fig. 5. Detection Processing of Differential Phase in the Conventional DPD.

그림 5로부터 차동위상검출방식은 M번의 클럭 트리거 만에 검출과정을 완료함을 볼 수 있다.

하지만, DF-DPD, DPD-RGPR, DFDPD-SA 등을 설계하는데 있어 유의해야 할 점이 있다. 이러한 차동 위상 검출기들과 기존의 DPD와의 가장 큰 구조적 차이 점은 결정 제한에 있다. 구체적으로, DF-DPD, DPD-RGPR, DFDPD-SA 등에서는 현재 검출된 차동 위상 $\Delta\bar{\phi}_n$ 을 제한시켜, $\Delta\psi_n - \Delta\bar{\phi}_n$ 를 구하고, 이를 다음 수신 차동 위상 $\Delta\psi_{n+1}$ 의 검출에 이용한다. 이것은 $\Delta\psi_{n+1}$ 을 검출하기 위한 검출 과정들에 현재 검출된

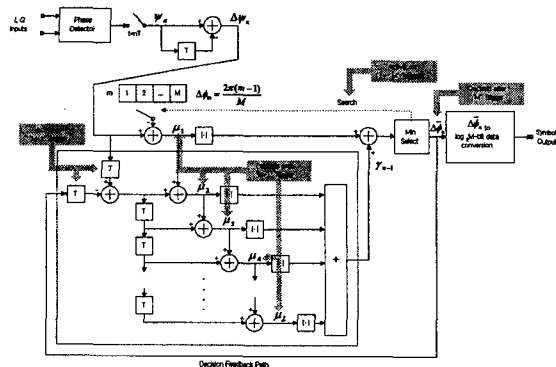


그림 6. DF-DPD에서의 차동 위상 검출 과정
Fig. 6. Detection Processing of Differential Phase in the DF-DPD.

차동 위상 잡음 성분 $\Delta\eta_n (= \Delta\Psi_n - \Delta\bar{\phi}_n)$ 가 포함되어야 함을 뜻한다. 그런데, $\Delta\Psi_n$ 는 M 번의 클럭 트리거를 거쳐야만 검출이 완료된다. 이것은 $\Delta\Psi_n$ 의 검출 완료와 $\Delta\Psi_{n+1}$ 의 검출 시작 사이에 $\Delta\Psi_n - \Delta\bar{\phi}_n$ 를 구하는 과정이 포함될 없음을 뜻한다. 다음 그림들은 DF-DPD,

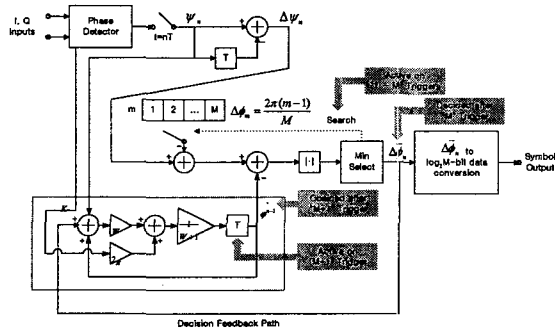


그림 7. DPD-RGPR에서의 차동 위상 검출 과정
Fig. 7. Detection Processing of Differential Phase in the DPD-RGPR.

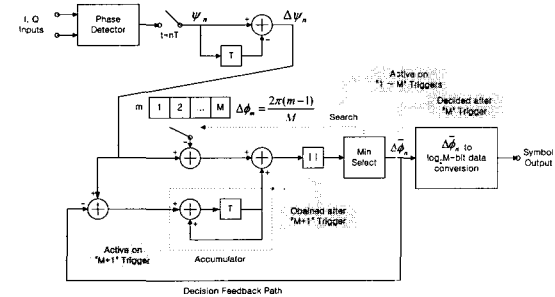


그림 8. DFDPD-SA에서의 차동 위상 검출 과정
Fig. 8. Detection Processing of Differential Phase in the DFDPD-SA.

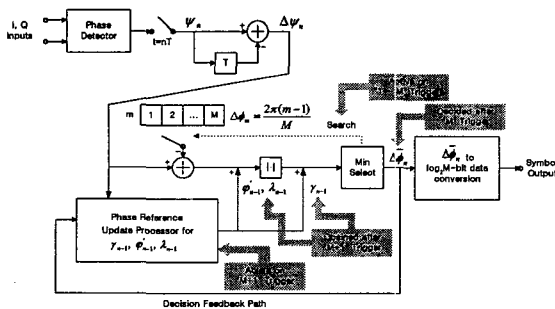


그림 9. 결정 제한 구조를 갖는 차동 위상 검출기에서의 차동 위상 검출 과정
Fig. 9. Detection Processing of Differential Phase in Differential Phase Detectors with Decision Feedback.

DPD-RGPR, DFDPD-SA에서의 클럭 트리거에 의한 검출과정을 보여준다.

그림 6, 7, 8로부터 DF-DPD, DPD-RGPR, DFDPD-SA 등의 결정 제한 구조를 갖는 차동 위상 검출기들은 M 번 트리거 만에 검출된 $\Delta\bar{\phi}_n$ 를 제한시킨 후 다음 수신 차동 위상 $\Delta\Psi_{n+1}$ 의 검출에 이용할 참조 위상 $(\gamma_{n-1}, \varphi_{n-1}, \lambda_{n-1})$ 을 갱신하는 프로세서를 활성화시키기 위한 또 한번의 트리거를 필요로 함을 볼 수 있다.

그림 9는 결정 제한 구조를 갖는 차동 위상 검출기의 차동 위상 검출 과정을 일반화하여 보여 준다.

IV. 제안된 차동 위상 검출기의 구조

일반적인 디지털 통신시스템에서 클럭 주파수는 데이터 전송률의 정수배가 된다. 이는 특정 주기의 클럭을 이용하여 데이터 전송률에 관련된 모듈 및 신호에 대한 클럭 분배가 용이하기 때문이다. 예를 들어, IEEE 802.11b에 규정된 무선랜(Wireless-LAN) 시스템은 변복조 방식에 따라 1 Mbps (DBPSK), 2 Mbps (DQPSK), 11 Mbps (CCK) 등의 가변적 데이터 전송률을 갖는다. 각 전송률에 대한 원활한 클럭 분배를 위해 일반적으로 44 Mbps의 클럭이 사용되는데, 이는 1, 2, 11 Mbps의 공배수이고, 데이터 전송률에 따라 44, 22, 4 배씩 클럭이 분배된다.

하지만, 결정 제한 구조를 갖는 DF-DPD, DPD-RGPR, DFDPD-SA 등은 현재 차동 위상 $\Delta\bar{\phi}_n$ 을 검출하기 위해서는 $M+1$ 번의 클럭 트리거가 요구된다. 이는 심볼 크기 또는 데이터 전송률과는 무관한 $M+1$ 번씩의 클럭 분배를 요구함을 뜻한다. 그러므로, 결정 제한 구조를 갖는 차동 위상 검출기를 채택한 통신 시스템에서는 데이터 전송률과 관련된 클럭 분배 시스템과 차동 위상 검출기를 위한 또 하나의 클럭 분배 시스템을 요구하게 된다. 이는 두 클럭 분배 시스템 사이의 동기를 맞추주기 위한 새로운 시스템을 필요로 하고 전체적인 시스템이 복잡해 짐을 뜻한다. 또는 두 가지 클럭 분배가 가능한 $M(M+1)$ 배만큼의 빠른 클럭을 요구하고, 이는 데이터 전송률에 대한 클럭의 비효율적 활용으로 연결된다. 그러므로, 결정 제한 구조를 갖는 차동 위상 검출기를 통신 시스템에 현실적으로 활용하기 위해서는 M 번의 클럭 분배 동안에 수신된 심볼을 검출할 수 있어야만 한다. 또한, 이미 설계된 통신 시스템이

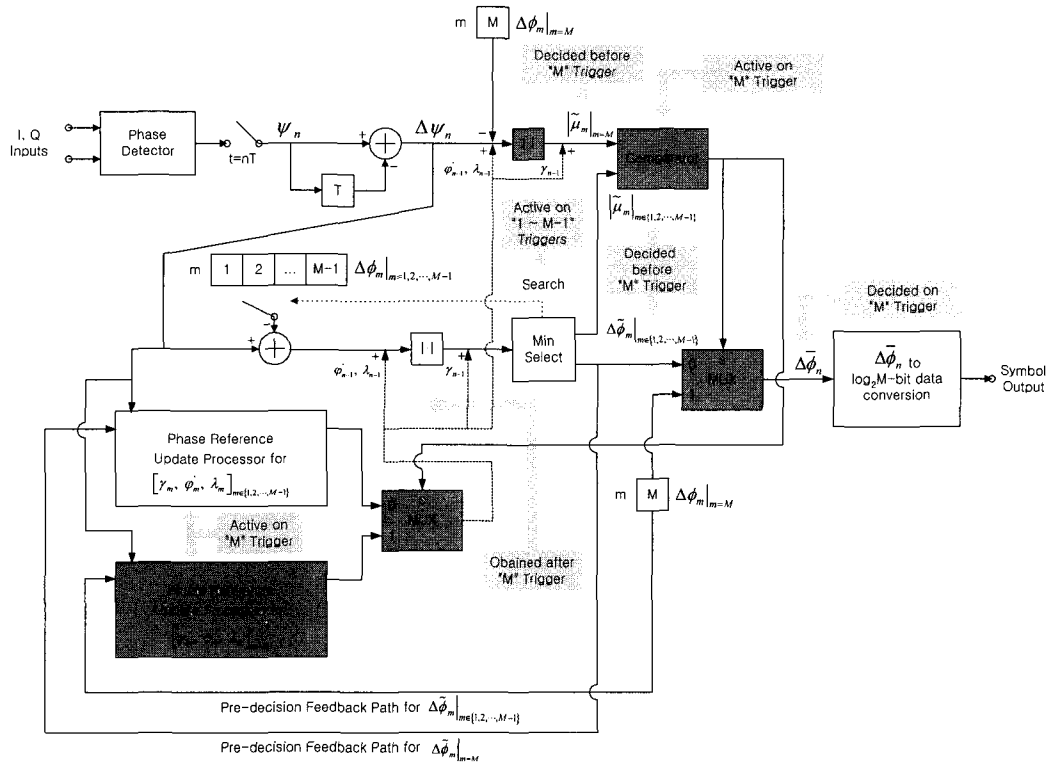


그림 10. 결정 궤환 구조를 갖는 차동 위상 검출기의 고속 데이터 처리를 위한 제안된 구조
 Fig. 10. Proposed Architecture for High-speed Data Processing of Differential Phase Detector with Decision Feedback.

나 IP (Intellectual Property) 기반의 설계의 통신 시스템에서 BER 특성이 좋지 않은 기존의 DPD를 대체하기 위해서는 DPD에서와 마찬가지로 클럭 트리거의 M 번 만에 검출 과정을 마무리지어야만 한다. 그러므로, 결정 궤환 구조를 갖는 차동 위상 검출기의 설계 시에는 클럭의 M 번씩 만에 검출을 완료하는 구조가 고려되어야만 한다. 본 논문에서는 이러한 구조를 설계할 수 있는 방법을 제안하고자 한다.

그림 10은 결정 궤환 구조를 갖는 차동 위상 검출기가 클럭의 M번씩 만에 검출을 완료할 수 있는 구조를 보여 준다. M번째 클럭 트리거에서 수신위상을 검출하는 기존의 설계방식과는 달리 M-1 번째 단계에서 1~M-1 번째까지의 참조위상들 $\Delta\phi_{m|_{m=1,2,L,M-1}}$ 에서의 비교 결과를 선결정(Pre-decision)하여 선결정 차동 위상 $\Delta\phi_{m|_{m=1,2,L,M-1}}$ 을 결정한다. 그리고 역시 M-1 번째 클럭 트리거에서 M 번째 참조 위상 $\Delta\phi_{m|_{m=M}}$ 과의 비교 결과를 선계산(Pre-calculation)한다. 그리하여, M 번째 단계에서는 1~M-1 번째까지의 선결정된 차

동 위상 $\Delta\phi_{m|_{m=1,2,L,M-1}}$ 과 M 번째 참조 위상과의 비교 검출을 통해 차동 위상을 검출하게 된다. 이러한 과정을 통해 기존 차동 위상 방식에서처럼 단지 M 번의 클럭 트리거 만에 검출과정을 마칠 수 있게 된다.

그림 11, 12, 13은 제안된 설계 방법을 결정 궤환 구조를 갖는 대표적 차동 위상 검출기들인 DF-DPD, DPD-RGPR, DFDPD-SA에 적용했을 때의 구조들을 보여 준다.

제안된 설계 방법은 BER 특성을 향상시키기 위해 이전 심볼에서의 잡음 위상 성분의 영향 또는 크기를 작게 하는 참조 위상에 대한 갱신 프로세서를 두개 사용한다. 그러므로, 검출 길이 L이 큰 DF-DPD일 경우, 복잡한 참조 위상 갱신 프로세서를 두개 사용하게 되기 때문에, 데이터 처리 속도의 향상에 비해 하드웨어가 매우 복잡해진다. 그러므로, 제안된 설계 방법은 검출 길이 L이 큰 DF-DPD에 대해서는 좋지 못한 효율성을 나타낸다. 그러나, DPD-RGPR이나 DFDPD-SA에서처럼 DF-DPD에 비해 간단한 참조 위상 갱신 프로세서를 갖는 차동 위상 검출기에 제안된 설계 방법

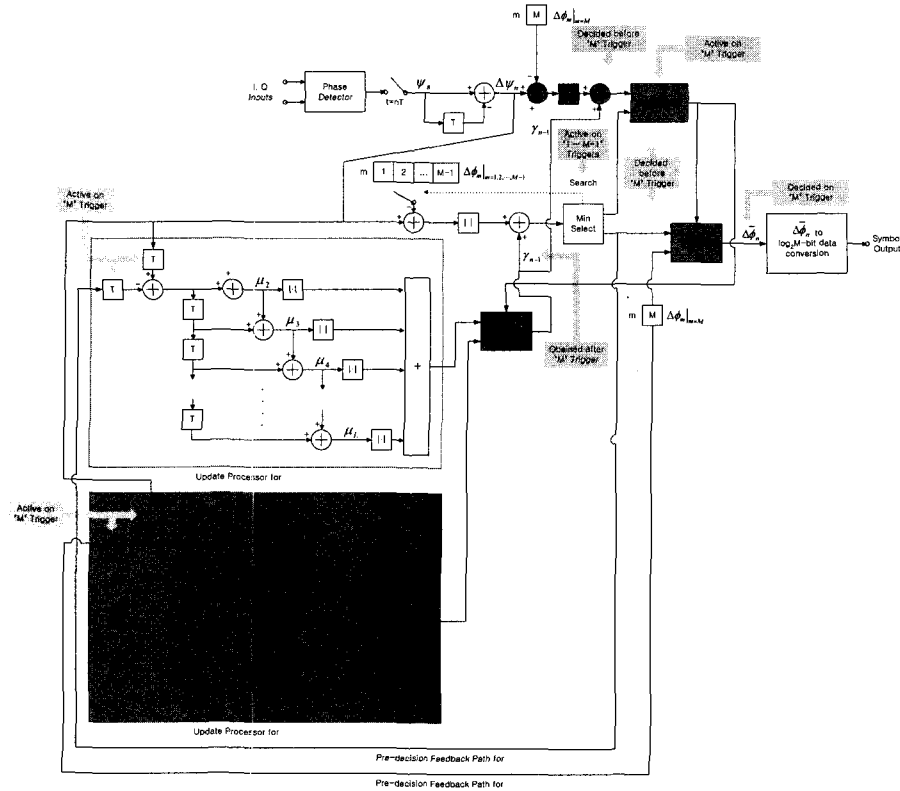


그림 11. 제안된 구조가 적용된 DF-DPD
 Fig. 11. DF-DPD applied with the Proposed Architecture.

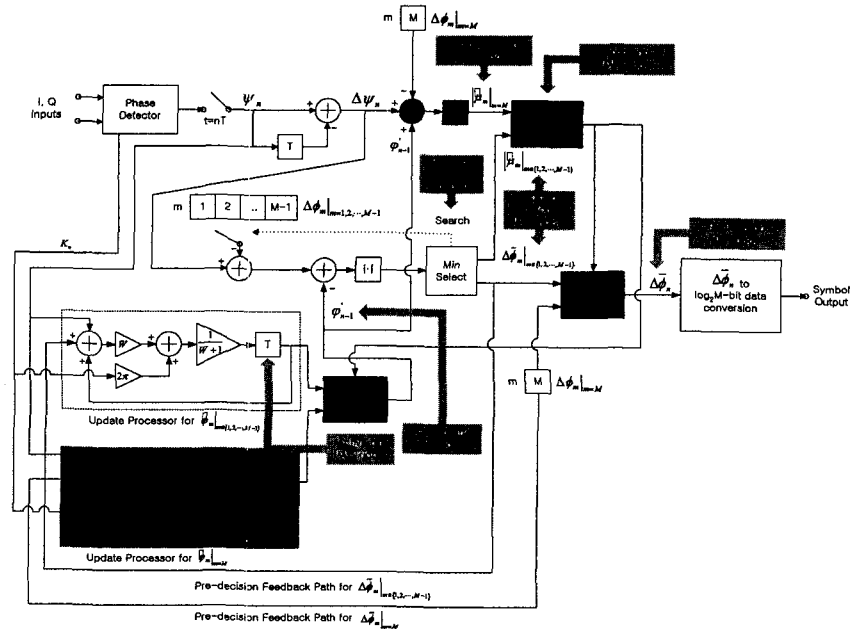


그림 12. 제안된 구조가 적용된 DPD-RGPR
 Fig. 12. DPD-RGPR applied with the Proposed Architecture.

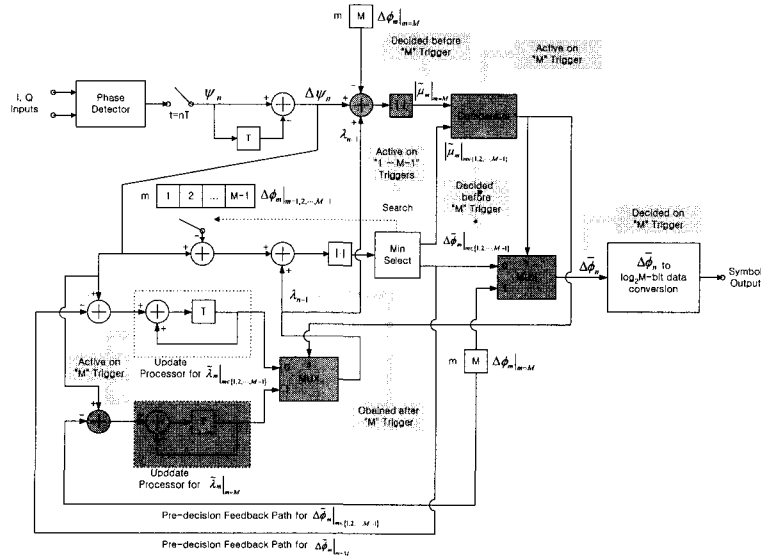


그림 13. 제안된 구조가 적용된 DFDPD-SA
 Fig. 13. DFDPD-SA applied with the Proposed Architecture.

을 적용하였을 경우에 하드웨어 복잡도가 약간 증가하게 된다. 대신에 일반적인 통신 시스템에서 많이 사용되는 DQPSK에 대하여 제안된 설계 방법이 적용된 차동 위상 검출기는 20% 정도 빠른 데이터 처리가 가능하다. 이는 제안된 설계 방법이 적용된 차동 위상 검출기는 약간의 하드웨어 복잡도 증가에 비해 빠른 데이터 처리가 가능한 높은 효율의 시스템임을 의미한다. 특히, BER 특성이 동기 복조와 유사하며 단지 하나의 적분기로 구성되어 구조가 간단한 참조 위상 갱신 프로세서를 갖는 DFDPD-SA의 경우에 제안된 설계 방법이 더욱 효과적임을 그림 13으로부터 알 수 있다.

V. 시뮬레이션 결과

본 논문에서는 DQPSK (M = 4)를 대상으로 하여 제안된 설계 방법을 VHDL (Very-high-speed-IC Hardware Description Language)을 사용하여 RTL (Register Transfer Level)로 구현하였다. 이 장에서는 설계된 구조를 갖고 제안된 설계 방법이 적용된 차동 위상 검출기가 M 번의 클럭 트리거에서 수신된 차동 위상들을 정확하게 검출하는지를 확인하는 시뮬레이션 결과를 제시한다.

표 1은 DQPSK 변복조에서 사용되는 각 기준 위상 (0, π/2, -π/2, -π)에 대한 디지털 위상의 값을 보여

표 1. 기준 위상에 대한 디지털 위상
 Table 1. Digitalized Phases for Basic Phases.

기준 위상	디지털 위상
0	00000000
π/2	01000000
-π/2	11000000
-π (π)	10000000

준다. 본 논문에서는 DQPSK에 적합한 8-비트 해상도의 디지털 위상을 채택하였다.^[12]

그림 14는 기존 차동 위상 검출기에 대한 시뮬레이션 결과를 보여 준다. 그림 14에서의 신호들을 살펴보면, 'reset'은 리셋, 'clk'는 클럭, 'phase'는 송신 위상 φ_n에 채널 잡음 η_n이 섞인 수신 위상 ψ_n(=φ_n + η_n), 'differential phase'는 식 (3)의 결정식을 갖는 기존 차동 위상 검출기에 의한 검출 차동 위상 Δφ_n, 'mode'는 클럭('clk' 신호) 주파수의 반으로 분주된 클럭, 'comp_delayed_phase'는 한 심볼 주기만큼 지연된 음의 수신 위상 -ψ_{n-1}, 'diff_phase' 신호는 수신 위상 ψ_n에 지연된 음의 수신 위상 -ψ_n을 더한 수신 차동 위상 Δψ_n(=ψ_n - ψ_{n-1}), 'diff_phase_noise'는 수신 차동 위상 Δψ_n과 표 1에서의 기준 위상 Δφ_m(m=1,2,L,M)과의 차인 차동 위상 잡음 Δη_m(=Δψ_n - Δφ_m),

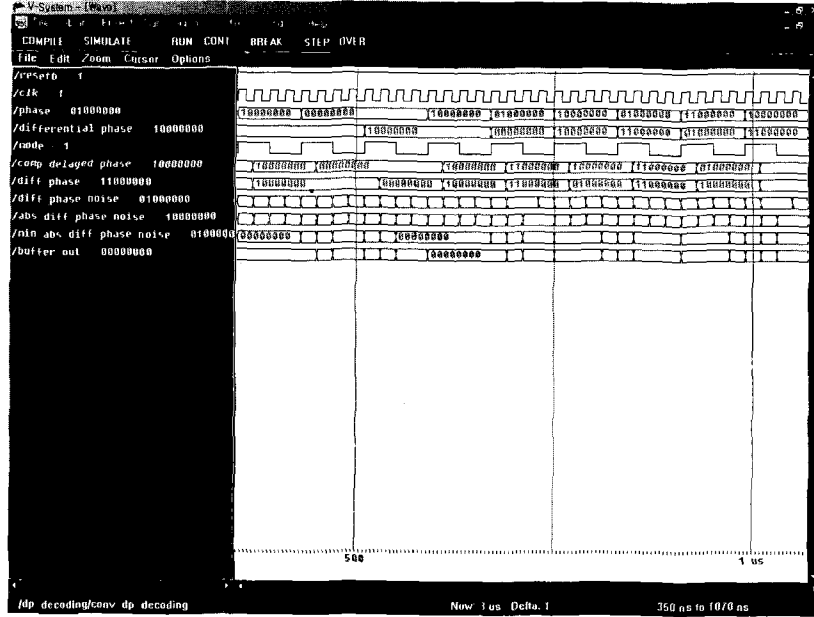


그림 14. 기존에 DPD에 대한 시뮬레이션 결과
 Fig. 14. Simulation Result for the Conventional DPD.

'abs_diff_phase_noise'는 차동 위상 잡음 $\Delta\eta_m$ 의 절대 값 $|\Delta\eta_m|$, 'min_abs_diff_phase_noise'는 각 기준 위상 $\Delta\phi_m$ $m=1,2,L,M$ 에 대한 차동 위상 잡음 $\Delta\eta_m$ $m=1,2,L,M$ 의 최소 절대값 $\min_{\text{over}\Delta\phi_m} |\Delta\eta_m| (= \min_{\text{over}\Delta\phi_m} |\Delta\psi_n - \Delta\phi_m|)$,

'buffer_out'은 수신차동 위상 $\Delta\psi_n$ 을 검출하는 동안 차동 위상 잡음의 최소 절대값 $\min_{\text{over}\Delta\phi_m} |\Delta\eta_m|$ 에 대응하는 기준 위상 $\Delta\phi_m$ $m \in \{1,2,L,M\}$ 을 저장하는 버퍼를 나타낸다. 그림 14로부터 기존의 차동 위상 검출기에서는

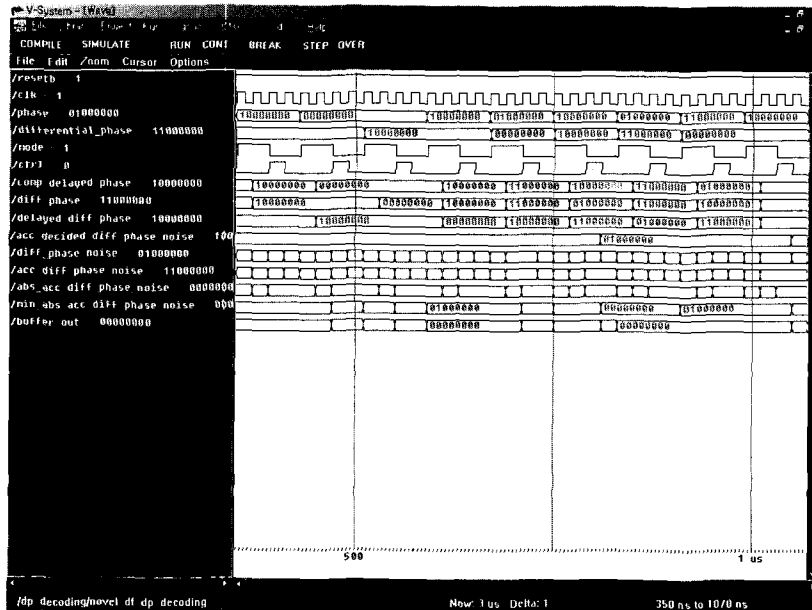


그림 15. 제안된 구조가 적용되지 않은 DFDPD-SA에 대한 시뮬레이션 결과
 Fig. 15. Simulation Result for the DFDPD-SA not applied with the Proposed Architecture.

$M(=4)$ 번의 클럭마다 채널 잡음 없는 수신 위상 ϕ_n ('phase' 신호)을 받아들여 $2M$ 클럭의 지연시간 후 정확히 검출된 차동 위상 $\Delta\bar{\phi}_n$ ('differential phase' 신호)을 출력함을 볼 수 있다. 여기서, 잡음 없는 수신 위상 ϕ_n 과 정확히 검출된 출력 차동 위상 $\Delta\bar{\phi}_n$ 사이에는 차동 위상 복호화 ($\Delta\bar{\phi}_n = \phi_n - \phi_{n-1}$)가 성립된다.

그림 15는 제안된 설계 방법이 적용되지 않은 DFDPD-SA에 대한 시뮬레이션 결과를 보여 준다. 그림 15에서의 신호들은 그림 14에서의 신호들과 같고 수신 위상 $\psi_n (= \phi_n + \eta_n)$ 은 식 (6)에서의 결정식을 갖는 DFDPD-SA에 의해 차동 위상 $\Delta\bar{\phi}_n$ 으로 검출된다. 여기서, 'delayed_diff_phase'는 수신 차동 위상 $\Delta\psi_n$ 을 한 심볼 주기만큼의 지연값 $\Delta\psi_{n-1}$, 'acc_decided_diff_phase_noise'는 이전 심볼까지 누적된 차동 위상 잡음인 참조 위상 λ_{n-1} , 'acc_diff_phase_noise'는 차동 위상 잡음 $\Delta\eta_m (= \Delta\psi_n - \Delta\phi_m)$ 과 참조 위상 λ_{n-1} 과의 합인 누적 차동 위상 잡음 $\Delta\psi_n - \Delta\phi_m + \lambda_{n-1}$, 'abs_acc_diff_phase_noise'는 누적 차동 위상 잡음의 절대값 $|\Delta\psi_n - \Delta\phi_m + \lambda_{n-1}|$, 'min_abs_acc_diff_phase_noise'는 기준 위상 $\Delta\phi_m |_{m=1,2,L,M}$ 에 대한 누적

차동 위상 잡음의 절대값의 최소값 $\min_{\text{over } \Delta\phi_m} |\Delta\psi_n - \Delta\phi_m + \lambda_{n-1}|$, 'buffer_out'은 수신 차동 위상 $\min_{\text{over } \Delta\phi_m} |\Delta\psi_n - \Delta\phi_m + \lambda_{n-1}|$ 을 검출하는 동안 누적 차동 위상 잡음의 최소 절대값에 대응하는 기준 위상 $\Delta\phi_m |_{m=1,2,L,M}$ 을 저장하는 버퍼를 나타낸다. 그림 15로부터 6번째와 7번째 출력 위상인 '00000000'은 기존 차동 위상 검출기에서의 '01000000' 그리고 '11000000'과 다름을 볼 수 있다. 이는 제안된 설계 방법이 적용되지 않은 결정 궤환 차동 위상 검출기는 M 번의 트리거마다 원활하게 차동 위상을 검출할 수 없음을 의미한다.

그림 16은 제안된 설계 방법이 적용된 DFDPD-SA에 대한 시뮬레이션 결과를 보여 준다. 그림 16에서의 신호들은 그림 15에서의 신호들과 같고 마찬가지로 수신 위상 $\psi_n (= \phi_n + \eta_m)$ 은 식 (6)에서의 결정식을 갖는 DFDPD-SA에 의해 차동 위상 $\Delta\bar{\phi}_n$ 으로 검출된다. 여기서, 'pre_decided_diff_phase_noise_a'는 $M-1$ 번째 과정에서 M 번째 과정에 대해 선계산되는 차동 위상 잡음 $\Delta\eta_m |_{m=M} (= \Delta\psi_n - \Delta\phi_m)$, 'pre_decided_diff_phase_noise_b'는 $M-1$ 번째 과정에서 $1 \sim M-1$ 번째 과정들에 대해 선결정되는 $\Delta\eta_m |_{m=1,2,L,M-1} (= \Delta\psi_n - \Delta\phi_m)$, 'pre_acc_decided_diff_phase_noise_a'는 $M(1$ 번째 과정

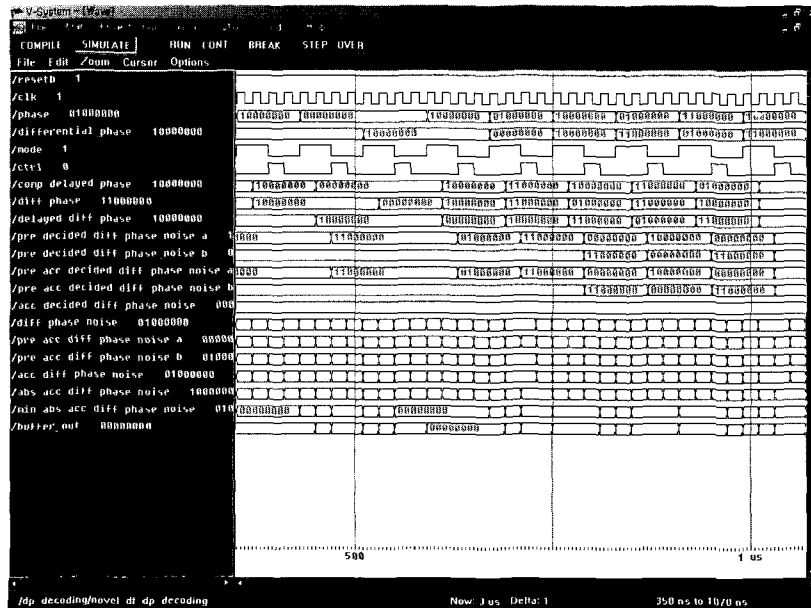


그림 16. 제안된 구조가 적용된 DFDPD-SA에 대한 시뮬레이션 결과
 Fig. 16. Simulation Result for the DFDPD-SA applied with the Proposed Architecture.

에서 M 번째 과정에 대해 선계산되는 참조 위상 $\lambda_{m, m=M}$, 'pre_acc_decided_diff_phase_noise_b'는 $M-1$ 번째 과정에서 $1 \sim M-1$ 번째 과정들에 대해 선결정되는 참조 위상 $\lambda_{m, m \in \{1, 2, L, M-1\}}$, 'pre_acc_diff_phase_noise_a'는 $M-1$ 번째 과정에서 M 번째 과정에 대해 선계산되는 누적 차동 위상 잡음 $\Delta\psi_n - \Delta\phi_{m, m=M} + \lambda_{n-1}$, 'pre_acc_diff_phase_noise_b'는 $M-1$ 번째 과정에서 $1 \sim M-1$ 번째 과정들에 대해 선결정되는 누적 차동 위상 잡음 $\Delta\psi_n - \Delta\phi_{m, m \in \{1, 2, L, M-1\}} + \lambda_{n-1}$ 을 나타낸다. 신호 'pre_acc_decided_diff_phase_noise_a'와 'pre_acc_decided_diff_phase_noise_b'는 다음 수신 차동 위상 $\Delta\psi_{n+1}$ 의 검출에 필요한 참조 위상 λ_n 을 선계산과 선결정을 통해 M 번의 클럭 만에 구하는데 사용된다. 제안된 구조를 갖는 DFDPD-SA는 마지막 M 번째 클럭에서 M 번째 과정에 대해 선계산된 누적 차동 위상 잡음의 절대값 $|\Delta\psi_n - \Delta\phi_{m, m \in \{1, 2, L, M-1\}} + \lambda_{n-1}|$ 과 $M-1$ 번째 과정에서 $1 \sim M-1$ 번째 과정들에 대해 선결정된 누적 차동 위상 잡음의 절대값 $|\Delta\psi_n - \Delta\phi_{m, m \in \{1, 2, L, M-1\}} + \lambda_{n-1}|$ 을 비교하여, M 번째 과정에 대해 선계산된 누적 차동 위상 잡음의 절대값이 작을 경우엔 M 번째 기준 위상 λ_n 을 검출 차동 위상 $\Delta\bar{\phi}_n$ 으로 출력한다. $M-1$ 번째 과정에서 $1 \sim M-1$ 번째 과정들에 대해 선결정된 누적 차동 위상 잡음의 절대값이 작을 경우에는 $M-1$ 번째 과정에서 선결정되어 'buffer_out' 신호에 저장된 기준 위상 $\Delta\phi_{m, m \in \{1, 2, L, M-1\}}$ 을 검출 차동 위상 $\Delta\bar{\phi}_n$ 으로 출력한다.

그림 16으로부터 제안된 방식에 따라 설계된 구조는 입력 위상 ('phase' 신호)을 받아들여 M 번의 클럭마다 정확히 검출된 출력 차동 위상 ('differential phase' 신호)을 출력함을 볼 수 있다. 이는 기존 차동 위상 검출기와 동일한 속도로 정확하게 데이터를 처리함을 의미한다.

그림 14, 15, 16에서의 시뮬레이션 결과값들을 표 1의 기준 위상에 따라 정리하면 표 2와 같다.

표 2로부터 결정 궤환을 갖지 않는 기존 차동 위상 검출기와 결정 궤환에 대한 제안된 구조가 적용된 DFDPD-SA는 수신 위상 λ_n 을 받아 "에 따라 차동 위상 복호화를 수행하여 정확한 차동 위상 $\Delta\psi_n$ 을 검출하지만, 제안된 구조가 적용되지 않은 DFDPD-SA는 원활하게 차동 위상 $\Delta\psi_n$ 을 검출하지 못함을 볼 수 있다. 이러한 시

뮬레이션 결과들은 DF-DPD와 DPD-RGPR에서도 확인되었다.

표 2. 제안된 구조에 대한 시뮬레이션 결과
Table 2. Simulation Results for the Proposed Architecture.

심볼 번호 (n)	입력 위상 (ϕ_n)	검출 차동 위상 ($\Delta\bar{\phi}_n$)		
		기존 차동 위상 검출기	제안된 구조가 적용 안된 DFDPD-SA	제안된 구조가 적용된 DFDPD-SA
1	$-\pi/\pi$	$-\pi(\pi)$	$-\pi(\pi)$	$-\pi(\pi)$
2	0	$-\pi(\pi)$	$-\pi(\pi)$	$-\pi(\pi)$
3	0	0	0	0
4	$-\pi(\pi)$	$-\pi(\pi)$	$-\pi(\pi)$	$-\pi(\pi)$
5	$\pi/2$	$-\pi/2$	$-\pi/2$	$-\pi/2$
6	$-\pi(\pi)$	$\pi/2$	0	$\pi/2$
7	$\pi/2$	$-\pi/2$	0	$-\pi/2$

그러므로, 결정 궤환 구조를 갖는 차동 위상 검출기가 기존 차동 위상 검출기와 같은 데이터 처리 속도를 갖으면서도 정확하게 차동 위상을 검출해 내기 위해서는 제안된 구조가 적용되어야 한다.

VI. 결 론

본 논문에서는 DF-DPD, DPD-RGPR, DFDPD-SA 등의 결정 궤환 구조를 갖는 차동 위상 검출기의 단점인 결정 궤환 구조로부터의 낮은 데이터 처리 속도를 극복하여 기존의 차동 위상 검출 방식에서처럼 M 번의 클럭 만에 수신된 차동 위상을 검출할 수 있는 제안하였다.

제안된 설계 방법이 적용된 구조는 ' $M-1$ '번째 과정에서 ' M '번째 과정을 미리 계산하는 선계산(Pre-calculation) 방식과 ' M '번째가 아닌 ' $M-1$ '번째 과정에서 예전 위상들을 궤환시키는 선결정 궤환(Pre-decision Feedback) 방식을 갖는다. 본 논문에서 제안된 설계 방법을 VHDL를 사용하여 RTL로 구현하였고, 타이밍 검증을 통해 제안된 설계 방법을 적용한 차동 위상 검출기는 보다 빠르게 데이터를 처리함을 확인하였다.

참 고 문 헌

- [1] Dariush Divsalar and Marvin K. Simon, "Multiple-Symbol Differential Detection of MPSK," *IEEE Transactions on Communications*, Vol. 38, No. 3, pp. 300~308, March 1990.
- [2] F. Adachi and M. Sawahashi, "Viterbi-decoding Differential Detection of DPSK," *Electronics Letters*, Vol. 28, No. 23, pp. 2196~2197, November 1992.
- [3] Franz Edbauer, "Bit Error Rate of Binary and Quaternary DPSK Signals with Multiple Differential Feedback Detection," *IEEE Transactions on Communications*, Vol. 40, No. 3, pp. 457~460, March 1992.
- [4] F. Adachi and M. Sawahashi, "Decision Feedback Differential Phase Detection of M-ary DPSK Signals," *IEEE Transactions on Vehicular Technology*, Vol. 44, No. 2, pp. 203~210, May 1995.
- [5] Jian Liu and S. C. Kwatra, and J. Kim, "An Analysis of Decision Feedback Detection of Differentially Encoded MPSK Signals," *IEEE Transactions on Vehicular Technology*, Vol. 44, No. 2, pp. 261~267, May 1995.
- [6] Ruey-Yi Wei and Mao-Chao Lin, "Differential Phase Detection Using Recursively Generated Phase References," *IEEE Transactions on Communications*, Vol. 45, No. 12, pp. 1504~1507, December 1997.
- [7] Wu Xiaofu and Sun Songgeng, "Block Demodulation of MDPSK with Low Complexity," *Electronics Letters*, Vol. 34, No. 5, pp. 428~429, March 1998.
- [8] Sasa Dordevic, "Differential 8-PSK Code with Multisymbol Interleaving," *1999 TELSIS*, pp. 596~599, October 1999.
- [9] Chang-kon Kim, Ji-yong Yoon and Jong-wha Chong, "An Architecture of Decision Feedback Differential Phase Detection of M-ary DPSK Signals," *1999 IEEE TENCON*, pp. 49~53, November 1999.
- [10] L. H. J. Lampe and R. F. H. Fischer, "Low Complexity Multilevel Coding for Multiple-Symbol Differential Detection," *Electronics Letters*, Vol. 36, No. 25, pp. 2081~2082, December 2000.
- [11] Dong-taek Lee, Oui-suk Uhm and Hwang-soo Lee, "Differentially Coherent Communication with Multiple-Symbol Observation Interval," *IEEE Communications Letters*, Vol. 5, No. 1, pp. 1~3, January 2001.
- [12] Chang-kon Kim, Jong-wha Chong, "A VLSI Architecture for Novel Decision Feedback Differential Phase Detection with an Accumulator," *ETRI Journal*, Vol. 24, No. 2, pp. 161~171, April 2002.

저 자 소 개



金彰坤(正會員)

1949년 7월 14일생, 1977년 2월 한양대학교 전자공학과 졸업 (학사), 1988년 2월 한양대학교 산업대학원 전자계산학과 졸업 (석사), 1968년 2월~1976년 7월: 체신부 국제전화국, 초단파건설국 주사보, 1976년 12월 기술고등고시(12회) 합격, 1978년 3월~1984년 11월: 체신부 시설국, 통신정책국 사무관, 1984년 11월~1991년 7월: 체신부 통신정책국 통신진흥과, 정보통신과 과장(서기관), 1991년 7월~1993년 6월: 체신부 통신정책실 통신기획과 과장, 1993년 7월~1994년 8월: 체신부 통신정책실 통신기획심의관(부이사관), 1994년 8월~1995년 9월: 미국 콜롬비아대학 정보통신연구소 초빙연구원, 1995년 9월~1997년 8월: 정보통신부 정보통신정책실 기술심의관(이사관), 1997년 8월~1998년 12월: 정보통신부 전파방송관리국 국장(이사관), 1999년 1월~2000년 1월: 정보통신부 정보통신지원국 국장(이사관), 2000년 1월~2000년 3월: 정보통신부 정보통신정책국 국장(이사관), 2000년 3월~2001년 9월: 정보통신부 기획관리실 실장(관리관), 2001년 9월~2002년 5월 현재: 정보통신부 정보화기획실장(관리관), 1997년 3월~2002년 5월 현재: 한양대학교 전자공학과 박사과정 재학중, <주관심분야: Computer Communication System, xDSL, High-Speed Wireless LAN System, Wireless Communication Modem Design>



鄭正和(正會員)

1950년 3월 10일생, 1975년 2월 한양대학교 전자공학과 졸업 (학사), 1977년 2월 한양대학교 대학원 전자공학과 졸업 (석사), 1981년 3월 일본 와세다대학교 전자공학과 졸업 (박사), 1986년 6월~1987년 9월: 미국 Berkeley 대학 박사후과정, 2000년 1월~현재: 대한전자공학회 사업이사, 2000년 10월~현재: 한양대학교 정보통신대학원 원장 겸 대학 학장, 2001년 3월~현재: 정보과학회 평의원, 1981년 3월~현재: 한양대학교 전자전기컴퓨터공학부 교수, <주관심분야: ASIC Emulation System, CAD for VLSI, HW/SW Co-Design, MPEG Encoder/Decoder Design, Real-Time OS, High-Speed Wireless LAN System>