

論文2002-39SD-6-4

## Quarter-square기술을 이용한 새로운 4상한 MOS아날로그 곱셈기에 관한 연구

(A Study on the new four-quadrant MOS analog multiplier using quarter-square technique)

金元宇\*, 卞起良\*, 黄好正\*

(Won-Woo Kim, Ki-Ryang Byun, and Ho-Jung Hwang)

### 요 약

본 논문에서는 포화영역에서 동작하는 MOS트랜지스터의 제곱특성과 소오스를 결합한 차동회로의 뺄셈 기능을 이용하여 구현한 quarter-square기술방식의 새로운 4상한 MOS아날로그 곱셈기를 제안하였다. 본 논문에서 제안된 회로는 p-well CMOS 공정으로 설계-제작되어 특성측정을 하였다. 제작된 곱셈회로의 입력에 공급전압의 50%의 크기를 가지는 신호를 인가하였을 때, 1%미만의 왜율을 갖는 -1.3V에서 1.3V 크기의 출력신호를 얻었고, 0에서30MHz까지의 -3dB 주파수대역을 측정하였고, 81dB의 출력유동범위와 40mW의 전력을 소모하였으며, 0.54mm<sup>2</sup>의 칩면적을 차지하였다. 제안된 곱셈회로는 회로구성이 간단할 뿐만아니라, 입력신호가 한 개의 트랜지스터를 통하여 출력에 전달되므로 고주파 응용에도 적합하다.

### Abstract

In this paper, a new four-quadrant MOS analog multiplier is proposed using the quarter-square technique, which is based on the quadratic characteristics of MOS transistor operating in the saturation region and the difference operation of a source-coupled differential circuits. The proposed circuit has been fabricated in a p-well CMOS process. The multiplier achieves a total harmonic distortion of less than 1 percent for the both input ranges of 50 percent of power supply, a -3dB bandwidth of 30MHz, a dynamic range of 81dB, and a power consumption of 40mW. The active chip area is 0.54mm<sup>2</sup>. The supposed multiplier circuit is simple and adjust high frequency application because one input signal transfer output by one transistor.

### I. 서 론

예전에 만들어진 아날로그 곱셈기는 적은 등가입력 잡음과 적은 입력오프셋전압, 높은 전압이득, 높은 출력

구동능력, 고주파 능력등의 장점 때문에 바이폴라소자를 이용하여 구성하여왔다. 그러나 디지털 집적회로들을 설계할 때 적은 전력소모, 높은 집적도와 잡음에 민감하지 않으며 설계의 편리성의 장점을 갖는 MOS소자 기술이 가장중요한 기술중의 하나가 되었다.<sup>[1]</sup>

최근에는 MOS공정집적기술의 발전으로 아날로그와 디지털기능들을 하나의 칩에 집적할 수 있게 되어 시스템복잡도의 문제를 해결할 수 있게 되었다.

아날로그 MOS회로로 필터,메이타취득과 신호처리와 같은 응용회로를 구현 할 수 있으며, 이제까지 콜렉터 전류와 베이스-에미터전압사이의 지수적인 관계(식(1))

\* 正會員, 中央大學校 電子電氣工學部  
(Semiconductor Process and Device Laboratory,  
Department of Electronic Engineering, Chung-Ang  
Univ.)

接受日字:2001年11月6日, 수정완료일:2002年4月9日

로 표현되는 거의모든 비선형회로들을 구현해온 바이폴라기술들을 대신해서 드레인전류와 게이트-소오스전압 사이의 MOS트랜지스터의 2차식 특성(식(2))을 이용하여 정확한 MOS비선형회로들을 구현할 수 있다.<sup>[2~5]</sup>

$$I_c = I_s \left[ \exp\left(\frac{V_{be}}{mV_t}\right) - 1 \right] \quad (1)$$

$$I_{DS} = K(v_{GS} - V_T)^2 \quad (2)$$

식 (2)에서 트랜지스터의 전달상수는  $K = (\mu C_{ox}/2)(W/L)$ 이고  $v_{GS}$ 는 게이트-소오스전압이며  $V_T$ 는 문턱전압이다.

아날로그 곱셈기들은 아날로그컴퓨터에서 비선형함수들을 성공적으로 합성하는데 유용되는 가장 중요한 회로이고 최적평형기, 주파수변이와 파형발생과 같은 아날로그 신호처리응용 분야에 사용된다. 대부분의 응용분야들에서 고정밀도와 고유동성의 대역폭주파수가 요구된다.

아날로그 곱셈기들의 종류는<sup>[6]</sup> 2개의 입력신호들의 극성이 모두 바이폴라(4상한곱셈기)인경우와 2개중 한개만이 바이폴라인경우(2상한곱셈기), 2개모두가unipolar(1상한곱셈기)로 구분되며, 이와같은 아날로그 곱셈기들은 variable-transconductance기술<sup>[7~11]</sup>, quarter-square 기술<sup>[12~15]</sup>, pulse-widthtime-division기술<sup>[16]</sup> 등으로 구현할 수 있다.

위의 기술중 본논문에서 사용하고자 하는 quarter-square기술을 이용한 아날로그 곱셈기의 출력은 3단계 회로들로 구성된다. 첫 번째 회로는 2개의 입력신호들의 합과 차로 구성되며, 이결과들은 다음회로에서 제공이 되며, 마지막으로 제공된 2개 신호들의 차이값이 얻어지고 원하는 결과를 얻기위하여 2개입력신호의 비율이 조정된다. 3단계 회로중 제곱회로단계는 포화영역에서 동작하는 MOS트랜지스터의 2차식특성들을 사용하여 쉽게구현할 수 있다.

따라서 본논문에서는 아날로그 곱셈기를 바이폴라소자를 이용하지않고 quarter-square기술을 사용하였으나 첫 번째 차동회로구성에서 대칭적인 위상구조개선을 위해 기존의 4개의 트랜지스터를 사용<sup>[13]</sup> 하는 대신 그림 2와 같이 8개의 쌍으로 된 트랜지스터를 사용하여 대역폭과 선형성 및 왜율을 개선한 MOS소자를 이용한 새로운 방식의 MOS아날로그 곱셈기를 제안하고 구현한다.

## II. Quarter-Square기술을 이용한 새로운 MOS아날로그 곱셈기의 구현

공통소오스저항을 포함한 MOS단 특성값의 차이와 포화영역에서 동작하는 MOS트랜지스터의 제곱특성들을 사용한 quarter-square기술을 이용하여 새로운 4상한 MOS아날로그 곱셈기를 제안하고 구현하였다.

### 1. 차동 제곱회로

그림 1은 포화영역에서 동작하는 2개의 동일한 MOS 트랜지스터  $M_1$ 과  $M_2$ , 소오스저항  $R_s$  와 부하저항  $R_L$ 로 구성되어 있는 차동 제곱회로이다.

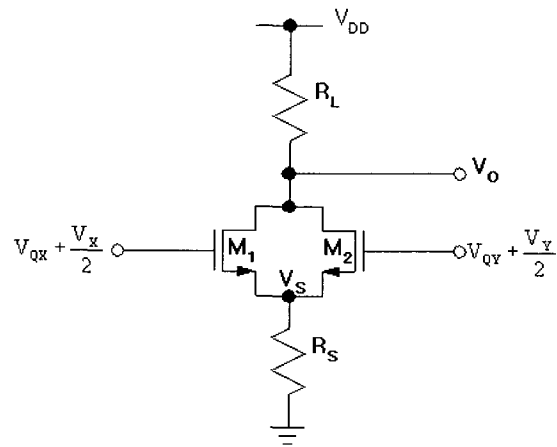


그림 1. 차동제곱회로  
Fig. 1. A differential squaring circuit.

MOS트랜지스터의 포화영역에서 드레인전류  $i_{DS}$ 는 식 (2)와 같이 표현된다고 가정하면 식 (2)를 이용하여 그림 1의 회로에 대해서 트랜지스터  $M_1$ 의 드레인전류  $i_{D1}$  과  $M_2$ 의  $i_{D2}$ 를 식 (3)과 식 (4)와 같다.

$$i_{D1} = K \left( V_{QX} + \frac{V_x}{2} - v_s - V_T \right)^2 \quad (3)$$

$$i_{D2} = K \left( V_{QY} + \frac{V_y}{2} - v_s - V_T \right)^2 \quad (4)$$

윗식에서  $V_{QX}$  와  $V_{QY}$ 는 양쪽입력의 바이어스전압이고 공통소오스전압  $v_s$ 는 식 (5)와 같다.

$$v_s = R_s(i_{D1} + i_{D2}) \quad (5)$$

식 (5)의  $v_s$ 값을 구하기위해 식 (3)과 식 (4)를 식 (5)

에 대입하면 식 (6)이 된다.

$$v_s = \frac{V_{QX} + V_{QY}}{2} - V_T + \frac{1}{4KR_s} + \frac{v_x + v_y}{4} - \frac{A}{4KR_s} \left[ 1 - \frac{4K^2 R_s^2}{A^2} (V_{QX} - V_{QY})(v_x - v_y) + \frac{2KR_s}{A^2} (v_x + v_y) - \frac{K^2 R_s^2}{A^2} (v_x - v_y)^2 \right]^{\frac{1}{2}} \quad (6)$$

식(6)에서

$$A = \sqrt{1 + 4KR_s(V_{QX} + V_{QY} - 2V_T) - 4K^2 R_s^2 (V_{QX} - V_{QY})^2} \text{ 이다.}$$

$$\text{만약 } \left| \frac{4K^2 R_s^2}{A^2} (V_{QX} - V_{QY})(v_x - v_y) - \frac{2KR_s}{A^2} (v_x + v_y) + \frac{K^2 R_s^2}{A^2} (v_x - v_y)^2 \right| < 1, \quad (7)$$

이면  $v_s$ 는 식(8)과 같이 근사화 할 수 있다.

$$v_s \approx \frac{V_{QX} + V_{QY}}{2} - V_T + \frac{1-A}{4KR_s} + \frac{KR_s}{2A} (V_{QX} - V_{QY})(v_x - v_y) + \left(1 - \frac{1}{A}\right) \frac{v_x + v_y}{4} + \frac{KR_s}{8A} (v_x - v_y)^2 \quad (8)$$

식 (7)과 같은 조건방정식은  $R_s$  값과  $M_1$ 과  $M_2$ 의 넓이와 길이의 비와 2개의 입력바이어스전압  $V_{QX}$ 와  $V_{QY}$ 의 값을 조절하여 만족시킬 수 있다. 식 (8)에서 첫 번째항에서 세 번째항은 dc전압을 네 번째항과 다섯 번째항들은 입력 케환신호들이고 마지막항이 유일하게 유지되기를 바라는 항이다.

만약  $V_{QX} = V_{QY} = V_Q$  이라면 식 (8)의 분석결과는 식 (9)와 같이 간략화 된다.

$$v_s = V_Q - V_T + (1-A) \frac{1}{4KR_s} + \left(1 - \frac{1}{A}\right) \frac{v_x + v_y}{4} + \frac{KR_s}{8A} (v_x - v_y)^2 \quad (9)$$

식 (9)에서  $A = \sqrt{1 + 8KR_s(V_Q - V_T)}$  이다.

예를 들어  $K=300\mu A/V^2$ ,  $R_s=400\Omega$ ,  $V_Q=2.5V$ 와  $V_T=0.85V$  인 설계와 공정변수조건에서  $A=1.61$ 이 된다.

그림 1에서 출력전압  $v_o$ 은 식 (10)과 같다.

$$v_o = V_{DD} - \frac{R_L}{R_s} v_s = -\frac{KR_L}{8A} (v_x - v_y)^2 - \frac{R_L}{R_s} (1-A) \frac{v_x + v_y}{4} + V_{DD} - \frac{R_L}{R_s} \left[ V_Q - V_T + (1-A) \frac{1}{4KR_s} \right] \quad (10)$$

식 (10)에서 출력신호에 두 입력들의 제곱차 신호와 두 입력의 케환신호들 그리고 바이어스전압의 항들이 포함되어있으며, 이러한 항들중 두 입력신호의 차를 제외한 항만 quarter-squaring 기술을 이용한 곱셈기 설계에서 차동제곱회로로 사용할 때 필요하다.

차동제곱회로들에서 소오스공통저항  $R_s$ 는 3상한에서 동작하는 MOS트랜지스터의 저항이며,  $V_{GS} \gg V_{DS}$ 일때

$R_s \approx \frac{1}{K_T(V_{GS} - V_T)}$  이다. 여기서  $K_T$ 는 3상한에서 MOS트랜지스터의 전달상수<sup>[17]</sup>이다.

## 2. 제안된 곱셈기

그림 2에서 포화영역에서 동작하고 한쌍을 이루어 차동회로로 동작하는 8개의 동일한 MOS트랜지스터  $M_1$ 부터  $M_8$ 과 3상한에서 동작하고 베이스저항으로 차동단의 공통소오스와 연결되어 있는  $M_9$ 부터  $M_{12}$ 까지의 동일한 MOS트랜지스터와 차동출력을 위한 두 개의 동일한 저항  $R_{L1}$ 과  $R_{L2}$ 로 구성되어 있다.

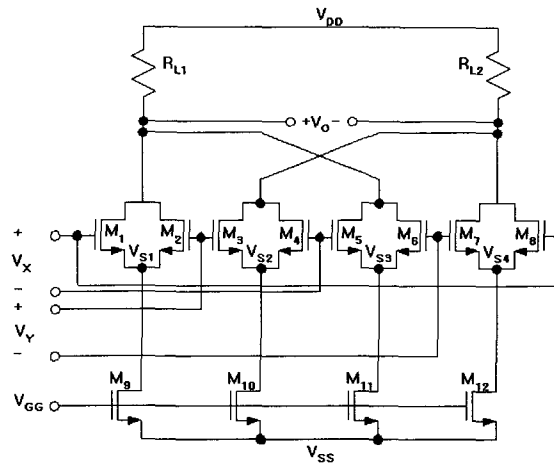


그림 2. quarter-square 기술을 사용하여 제안된 곱셈기  
Fig. 2. A proposed multiplier using the quarter-square technique.

그림 2에 식(9)를 적용하면 두 신호  $v_x$  와  $v_y$  값에 따라서 네개의 소오스전압을 얻을 수 있다.

$$v_{s1} = V_{DCQ} + \left(1 - \frac{1}{A}\right) \frac{v_x + v_y}{4} + \frac{KR_s}{8A} (v_x - v_y)^2 \quad (11)$$

$$v_{s2} = V_{DCQ} - \left(1 - \frac{1}{A}\right) \frac{v_x - v_y}{4} + \frac{KR_s}{8A} (v_x + v_y)^2 \quad (12)$$

$$v_{s3} = V_{DCQ} - \left(1 - \frac{1}{A}\right) \frac{v_x + v_y}{4} + \frac{KR_s}{8A} (v_x - v_y)^2 \quad (13)$$

$$v_{s1} = V_{DCQ} + (1 - \frac{1}{A}) \frac{v_x - v_y}{4} + \frac{KR_s}{8A} (v_x + v_y)^2 \quad (14)$$

위의 식들에서  $V_{DCQ} = V_Q - V_T + \frac{(1-A)}{4KR_s} - V_{s1}$ 이다.

식 (11)부터 식(14)에서  $(v_{s2} + v_{s1}) - (v_{s1} + v_{s2})$ 을 계산한 후 모든 원치않는 항들을 제거하면 원하는 곱셈항  $v_x v_y$ 가 얻어진다. 이와같은 결과는 저항  $R_{L1}$ 을 통해 흐르는 전류와 트랜지스터  $M_9$ 과  $M_{11}$ 을 통해 흐르는 전류의 합과 같은 그림 2를 통해서 정확히 이해할 수 있다. 따라서 식 (15)와 같이 차동출력전압을 얻을수 있다.

$$v_o = R_{L2}(\frac{V_{s2}}{R_s} + \frac{V_{s1}}{R_s}) - R_{L1}(\frac{V_{s1}}{R_s} + \frac{V_{s2}}{R_s}) \quad (15)$$

식 (15)에서  $R_s = \frac{1}{K_T(V_{GG} - V_T)}$ 이고,  $R_{L1} = R_{L2} = R_L$ 일 때 식 (16)이 얻어진다.

$$v_o = \frac{KR_L}{A} v_x v_y = \frac{KR_L}{\sqrt{1 + 8 \frac{K(V_Q - V_T)}{K_T(V_{GG} - V_T)}}} v_x v_y \quad (16)$$

식 (16)이  $v_x$  과  $v_y$  의 신호들에 관계없이 유용하기 때문에 4상한 곱셈기를 얻을수 있다.

만약 식 (7)의 좌변이 1보다 작고 무시할 수 있으면, 출력은  $v_o = KR_L v_x v_y$ 와 같이 될 수 있다. 그러나 이결과는 식 (16)보다 정확하지 않다.

좋은 선형성을 유지하기위해 차동단들의 트랜지스터들은 반드시 포화영역에서 동작하여야만 한다. 따라서 곱셈기의 최대 입력범위는  $R_L$ ,  $R_s$ ,  $V_Q$  와 주어진 공정변수들에 대한 넓이와 길이의 비에 의해 결정된다. 식 (2)와 3상한에서 정의되는 비동질성  $V_{DS} \geq V_{GS} - V_T$ 를 사용하여 최대 차동 입력전압을 구할 수 있다.

$$V_{IC} = \pm 2(V_{DD} + V_T - R_L I_{IC}) \quad (17)$$

식 (17)에서  $V_{IC}$ 는 곱셈기에 인가되는 최대 차동입력전압이고 최대 차동입력전류<sup>[18]</sup>는 식 (18)에서 주어졌다.

$$I_{IC} = \frac{1}{K} (2R_L + R_s)^2 [K(V_{DD} - V_{SS})(2R_L + R_s) + 1 - \sqrt{2K(V_{DD} - V_{SS})(2R_L + R_s) + 1}] \quad (18)$$

만약 차동단의 입력신호들이 똑같은 바이어스전압

$V_Q$ 를 분배하지 못하면, 최대 입력범위가 똑같은 선형성을 유지하기위해 최대입력범위도 따라서 줄어야만 한다.

따라서 선형신호들( $v_x + v_y$  와  $v_x - v_y$ )의 어떤 변화들과 직류오프셋전압들이 공통드레인과 차동출력에서 각각 취소된다.

이제까지의 곱셈기 분석은 모든 소자들이 완전한 제곱특성과 잘 정합되는 트랜지스터들을 사용한 경우로 가정을 하여 계산을 하여 왔지만 실제 제작되는 경우에는 채널 길이 변조, body효과, 이동도 감소, 트랜지스터소자의 부정합등과 이득의 온도의존성 특성으로 인하여 곱셈기동작이 오동작하는 경우도 발생한다.

### 3. 실험결과

제안된 곱셈기를 p-well CMOS공정을 사용하여 설계하고 제작하였다. 그림 3은 그림 2의 회로를 설계하여 제작한 사진이고 이회로에 사용한 트랜지스터의 넓이와 길이는 표 1에 나타내었다. 실제 칩면적은 0.54 mm<sup>2</sup>이고 소비전력은 ±5V 전압공급시 40mW이다. 2차 효과들을 감소시키기 위해서 각각의 트랜지스터들의 최소채널길이를 20μm하여 기생용량을 증가시켰다.

표 1. 곱셈회로에 사용한 트랜지스터 크기  
Table 1. Transistor sizes of the multiplier circuit.

TRANSISTOR	W(μm)	L(μm)	TRANSISTOR	W(μm)	L(μm)
M1	400	20	M2	400	20
M3	400	20	M4	400	20
M5	400	20	M6	400	20
M7	400	20	M8	400	20
M9	200	20	M10	200	20
M11	200	20	M12	200	20

실험은 ±5V의 전압을 공급하고  $R_{L1} = R_{L2} = 2k\Omega$ ,  $V_{QX} = V_{QY} = -2.5V$ 와  $V_{GG} = 5V$ 의 조건으로 수행되었다.  $v_x$ ( $v_y$ )는 1kHz주파수로 5  $V_{p-p}$ 의 계단 신호이고  $v_y$ ( $v_x$ )는 -2.5V에서 2.5V 까지 0.5V단계로 변하는 신호인 그림4(a) (그림4(b))는 곱셈기의 직류전달특성들을 나타내는 그래프이다. 출력전압은 -1.3V와 1.3V사이에 있다. 따라서 입력 곱셈범위는 전원공급의 50%이다. 제작된 곱셈회로는 0에서 30MHz까지의 주파수에서 출력잡음은 81dB출력유동범위의 240  $\mu V_{p-p}$  을 나타내었다.

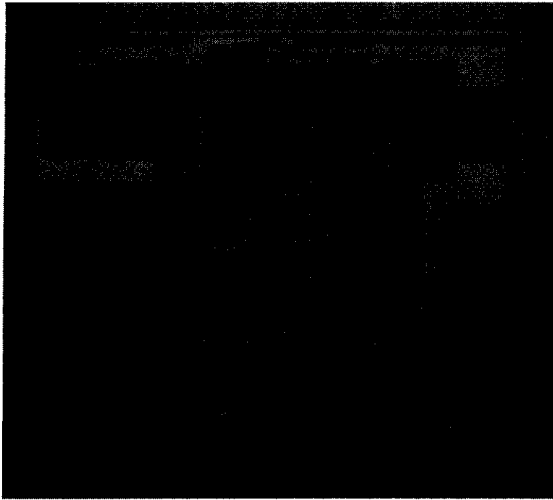
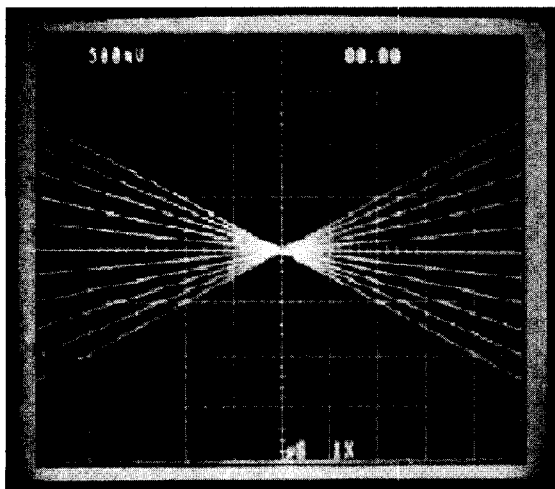


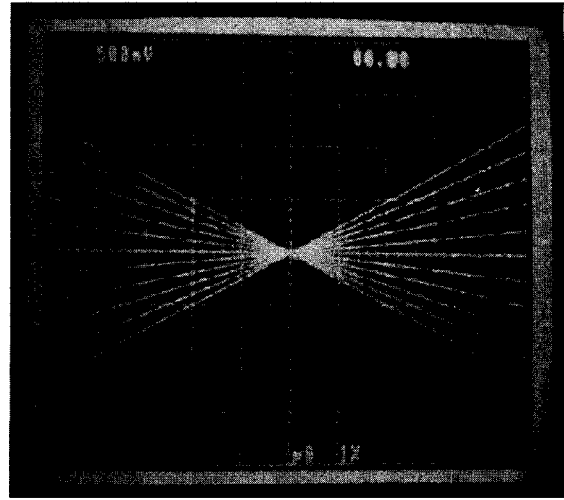
그림 3. 제안된 곱셈회로를 제작한 칩사진  
Fig. 3. Die photograph of the proposed multiplier.

표 2. 측정된 곱셈회로의 성능들  
Table 2. The Measured performances of the multiplier.

MEASUREMENT ITEM	PERFORMANCE
Linearity Error	< 1%
Maximum Input Range	5 $V_{P-P}$
Output Range	2.6 $V_{P-P}$
-3dB Bandwidth	30 MHz
Output Noise(0 - 20 MHz)	240 $\mu V_{P-P}$
Power Consumption	40 mW ( $\pm 5V$ )
Active Die Area	0.54 mm <sup>2</sup>



(a)



(b)

그림 4. (a) 곱셈기의 직류전달특성들( $v_x$ 에 대한  $v_o$ )  
(b) 곱셈기의 직류전달특성들( $v_y$ 에 대한  $v_o$ )  
Fig. 4. (a) The dc transfer characteristics of the multiplier( $v_o$  versus  $v_x$ )  
(b). The dc transfer characteristics of the multiplier( $v_o$  versus  $v_y$ )

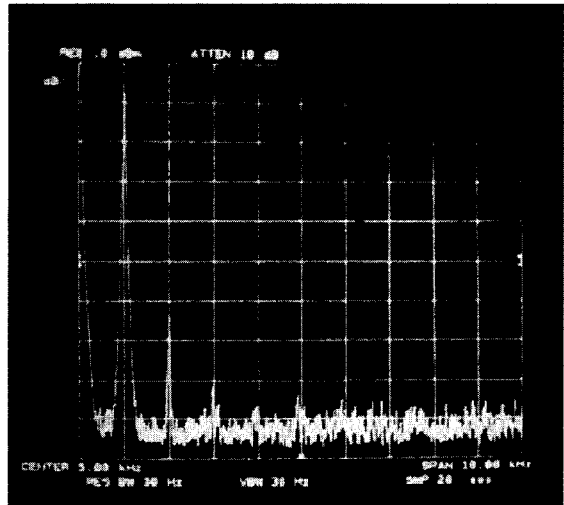


그림 5. 제안된 곱셈기의 출력전압 스펙트럼  
Fig. 5. Spectrum for the output voltage of the proposed multiplier.

그림 5는  $v_x$ 가 주파수1kHz 와  $5 V_{P-P}$ 의 정현파신호이고  $v_y$ 는 직류 2.5V전압일 때 곱셈기출력의 스펙트럼을 나타내었고 이 스펙트럼에서 1%미만인 총 왜울을 갖는 출력신호를 얻었다. 측정된 곱셈기의 -3dB 주파수응답은 0 - 30MHz 주파수범위이다.

그림 6은 곱셈기 양쪽입력에 1kHz에서  $5V_{p-p}$ 전압의 삼각파신호를 인가하였을 때의 곱셈기의 제곱특성을 나타내었다.

그림 7(a)는 50kHz,  $5V_{p-p}$  정현파와 1kHz,  $5V_{p-p}$  삼각파 입력을 사용하여 곱셈기를 AM변조기에 응용한예를 나타내었고 그림7(b)는 10kHz,  $5V_{p-p}$  정현파와 500kHz,  $5V_{p-p}$  삼각파 입력을 사용한 다른 곱셈기능을 나타내었다. 표 2에 곱셈기 성능을 측정한 결과를 정리하였다.

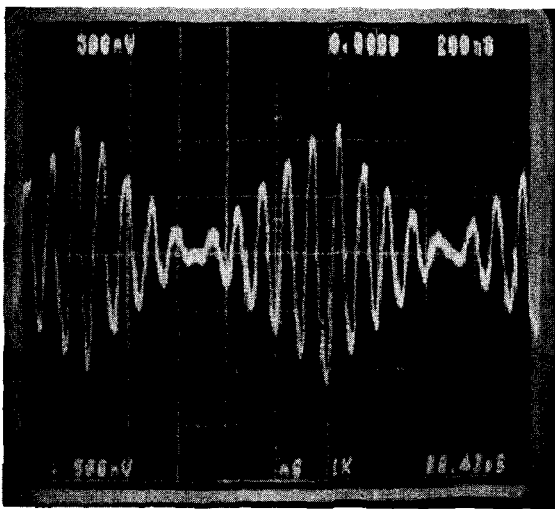
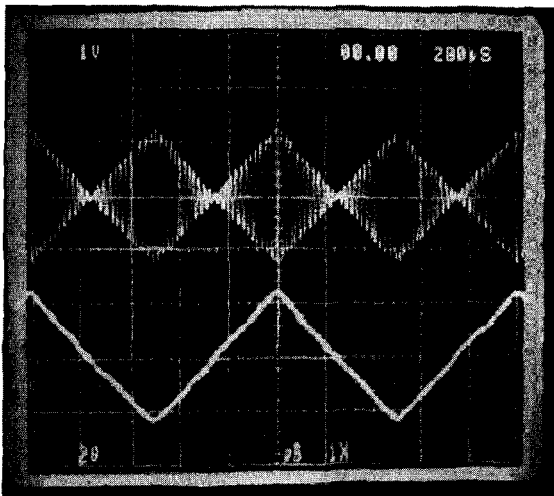
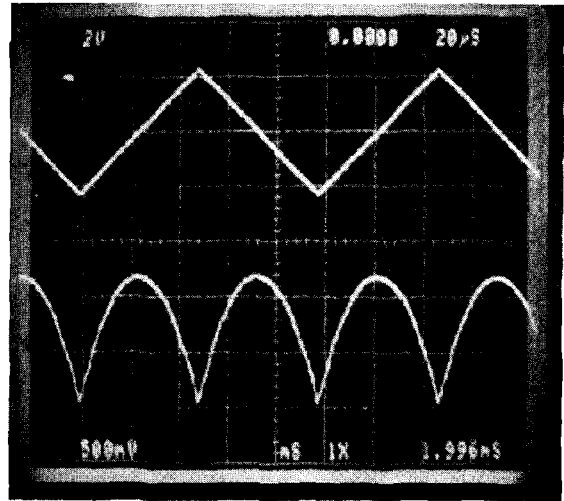


그림 6. 곱셈기의 제곱특성들  
Fig. 6. Squaring characteristics of the multiplier.



(a)



(b)

그림 7. (a) AM변조기에 사용된 곱셈기 (50kHz의 삼각파와 1kHz의 정현파와의 곱셈)  
(b) AM변조기에 사용된 곱셈기 (500kHz의 삼각파와 10MHz의 정현파와의 곱셈)

Fig. 7. (a) Multiplier used as a AM modulator (Multiplication of a sinusoidal signal of 1kHz and a triangle one of 50kHz)  
(b). Multiplier used as a AM modulator (Multiplication of a sinusoidal signal of 10MHz and a triangle one of 500kHz)

### III. 결 론

본 논문에서는 절연게이트 트랜지스터가 포화영역에서 동작할 때 나타나는 제곱특성과 차동회로의 뺄셈기능을 이용하여 구현한 quarter-square 방식의 곱셈회로는 p-well CMOS 제조공정 상에서 집적회로를 설계-제작하였다. 제작된 곱셈회로의 입력에 공급전압의 50%의 크기를 가지는 신호를 인가하였을 때, 1% 미만의 왜율을 갖는  $2.6V_{p-p}$  크기의 출력신호를 얻었다. 제작된 곱셈회로는 0 - 30MHz의 주파수특성과 81dB의 신호대잡음비특성을 나타내었으며 40mW의 전력을 소모하였고, 0.54mm<sup>2</sup>의 칩면적을 차지하였다. 제안된 곱셈회로는 입력신호가 한 개가 트랜지스터를 통하여 출력에 전달되므로 고주파 응용에도 적합하다. 또한 회로구성이 간단하여 곱셈회로가 여러개를 필요로 하는 적응신호처리<sup>[19]</sup>, 신경회로망, 비선형특성합성등과 같은 응용분야에 아주 유용하게 사용될 수 있다.

## 참 고 문 헌

- [1] R. L. Geiger, P. E. Allen and N. R. Strader, *Digital Techniques for Analog and Digital Circuits*, New York : McGraw-Hill, 1990.
- [2] J. W. Fattaruso and R. G. Meyer, "MOS analog function synthesis," *IEEE J. Solid-State Circuits*, Vol. SC-22, No. 6, pp. 1056~1063, Dec. 1987.
- [3] K. Bult and H. Wallinga, "A class of analog CMOS circuits based on the square-law characteristic of an MOS transistor in saturation," *IEEE J. Solid-State Circuits*, Vol. SC-22, No. 3, pp. 357~365, Jun. 1987.
- [4] A. P. Chandrakasan, S. Sheng, and R. W. Brodersen, "Low power CMOS digital design," *IEEE J. Solid-State Circuits*, Vol. 27, pp. 473~483, Apr. 1992.
- [5] I. S. Abu-Khater, A. Bellaouar, and M. I. Elmastry, "Circuit techniques for CMOS low-power high-performance multipliers," *IEEE J. Solid State Circuits*, Vol. 31, pp. 1535~1546, Oct. 1996.
- [6] J. V. Wait et al., "Introduction to operational amplifier theory and applications," McGraw-Hill, New York, 1975.
- [7] B. Gilbert, "A high-performance monolithic multiplier using active feedback," *IEEE J. Solid-State Circuits*, Vol. SC-9, No. 6, pp. 364~373, Dec. 1974.
- [8] B. Gilbert, "A precision four-quadrant multiplier with subnanosecond response," *IEEE J. Solid-State Circuits*, Vol. SC-3, No. 6, pp. 353~365, Dec. 1968.
- [9] D. C. Soo and R. G. Meyer, "A four-quadrant NMOS multiplier," *IEEE J. Solid-State Circuits*, Vol. SC-17, No. 6, pp. 1174~1178, Dec. 1982.
- [10] J. N. Babanezhad and G. C. Temes, "A 20-V four-quadrant CMOS analog multiplier," *IEEE J. Solid-State Circuits*, Vol. SC-20, No. 6, pp. 1158~1167, Dec. 1985.
- [11] S. C. Qin and R. L. Geiger, "A  $\pm 5V$  CMOS analog multiplier," *IEEE J. Solid-State Circuits*, Vol. SC-22, No. 6, pp. 1143~1146, Dec. 1986.
- [12] K. Bult and H. Wallinga, "A CMOS four-quadrant analog multiplier," *IEEE J. Solid-State Circuits*, Vol. SC-21, No. 2, pp. 430~435, June 1986.
- [13] J. S. Pena-Finol and J. A. Connelly, "A MOS four-quadrant analog multiplier using the quarter-square technique," *IEEE J. Solid-State Circuits*, Vol. SC-22, No. 6, pp. 1064~1073, Dec. 1987.
- [14] Z. Hong and H. Melchior, "four-quadrant CMOS multiplier with resistors," *Electron. Lett.*, Vol. 20, No. 24, pp. 1015~1016, Nov. 1984.
- [15] Z. Hong and H. Melchior, "Analogue four-quadrant CMOS multiplier with resistors," *Electron. Lett.*, Vol. 21, No. 12, pp. 531~532, June 1985.
- [16] D. Brodarac et al., "Novel sampled-data MOS multiplier," *Electron. Lett.*, Vol. 18, No. 5, pp. 229~230, March 1982.
- [17] R. S. Muller and T. Kamins, "Device electronics for integrated circuits," John Wiley & Sons, New York, 1977.
- [18] P. E. Allen and D. R. Holberg, "CMOS analog circuit design," Holt, Rinehart and Winston, New York, 1987.
- [19] C. F. Law, S. S. Rofail, and K. S. Yeo, "A Low-Power 16 X 16 -b parallel Multiplier Utilizing Pass-Transistor Logic," *IEEE J. Solid State Circuits*, Vol. 34, No. 10, Oct. 1999.

저 자 소 개



金 元 宇(正會員)

1986년 중앙대학교대학원 전자공학과 석사. 1986년 1월~1992년 2월 : 금성일렉트론 (선임연구원). 1992년 3월~1993년 2월 : 경주전문대학 (전임강사). 1993년 3월~현재 : 주성대학 (부교수). 중앙대학교 전자전

기공학부 박사과정

下 起 良(正會員) 第35卷 D編, 第12號 參照

1996년 중앙대학교대학원 전자공학과 석사. 1996년~현재 : 중앙대학교대학원 박사과정

黃 好 正(正會員) 第34卷 D編, 第5號 參照

중앙대학교 전기전자공학부 교수