

論文2002-39SD-6-6

## 이중 층 파워 메탈 구조의 상호 인덕터를 이용한 동시 스위칭 잡음 최소화 기법

### (SIMULTANEOUS SWITCHING NOISE MINIMIZATION TECHNIQUE USING DUAL LAYER POWER LINE MUTUAL INDUCTORS)

李龍夏\*, 姜成默\*, 文圭\*

(Yong Ha Lee, Sung Mook Kang, and Gyu Moon)

#### 요 약

동시 스위칭 잡음(SSN: Simultaneous Switching Noise)을 줄이기 위한 새로운 기법을 제안한다. 새롭게 제안하는 구조는 이중 층 파워 라인(DLPL: Dual Layer Power Line) 구조를 이용하여 실리콘 상에 상호 인덕터(mutual inductor)를 구현하여 SSN을 줄일 수 있다. 여기서 제안하는 DLPL은 상호 인덕터가 서로 가깝게 위치하여 커플링(coupling)을 높일 수 있으며 순간적인 많은 전류가 서로 반대 방향으로 동시에 흐르게 하여 두 파워 라인 사이에 상호 인덕턴스를 만들어 내며, 이러한 상호 인덕터는 스위칭 잡음을 줄이는 역할을 한다. SPICE 시뮬레이션을 통해 상호 인덕터의 커플링 계수(coupling coefficient)가 0.8 이상일 경우 이전에 보고된 해결 방안들과 비교할 때 63%까지 스위칭 잡음을 더욱 감소 시킬 수 있었다. 또한 이 DLPL 기법은 PCB 회로설계에도 적용시킬 수 있는 이점을 가지고 있다.

#### Abstract

A novel technique for minimization of simultaneous switching noise is presented. Dual Layer Power Line (DLPL) structure is newly proposed for a possible silicon realization of a mutual inductor, with which an instant large current in the power line is half-divided flowing through two different, but closely coupled, layers in opposite directions. This mutual inductance between two power layers enables us to significantly reduce the switching noise. SPICE simulations show that with a mutual coupling coefficient higher than 0.8, the switching noise reduces by 63% compared to the previously reported solutions. This DLPL technique can also be applied to PCB artworks.

**Key Words** : Simultaneous switching noise; SSN; VLSI; Dual Layer Power Line; Noise Minimization

#### I. 서 론

오늘날 디지털 회로에는 연산량이 높아지며 동시에

고속의 처리 능력이 요구된다. 따라서 이에 이용되는 CMOS VLSI 공정에서는 고속으로 동작하는 높은 집적도의 회로로 구성되게 되었으며, 입출력을 위해 고속으로 동작하는 버퍼들은 동시에 많은 수의 드라이버들을 구동하는 것이 요구되고 있다. 결과적으로 파워라인의 주요 기생 성분인 인덕턴스에 의해 발생하는 동시 스위칭 잡음(SSN: Simultaneous Switching Noise)이 아주 중요한 이슈로 대두되고 있다.<sup>[1~7]</sup> 집적회로 내부에서

\* 正會員, 翰林大學校 電子工學科 半導體設計研究室  
(VLSI Design Laboratory, Dept. of Electronic Engineering, Hallym University)

接受日字: 2001年3月2日, 수정완료일: 2002年4月8日

출력 패드 버퍼는 본딩와이어(bonding wire)와 패키지(package) 상에서 기생 인덕턴스 성분을 통해 매우 빠르게 흐르는 전류의 큰 변화 때문에 SSN의 주요 제공자가 된다.<sup>[1,2]</sup>

전형적인 패드 드라이버(pad driver)의 출력단은 그림 1과 같다. 파워 라인을 따라 기생 인덕턴스, 저항, 커패시터, 패드, 본딩 와이어와 핀 패키지 패스가 있다. 일반적으로 기생 저항은 비교적 작기 때문에 무시된다.<sup>[1]</sup> 최악의 경우, SSN의 최대 값이 트랜지스터의 문턱전압을 넘으면 이것은 회로의 오동작을 유발한다. 그러므로 출력 드라이버들의 SSN을 줄이기 위해 더욱 정확하고 중요하게 SSN을 이해하고 예측할 필요가 있다.<sup>[1,2]</sup>

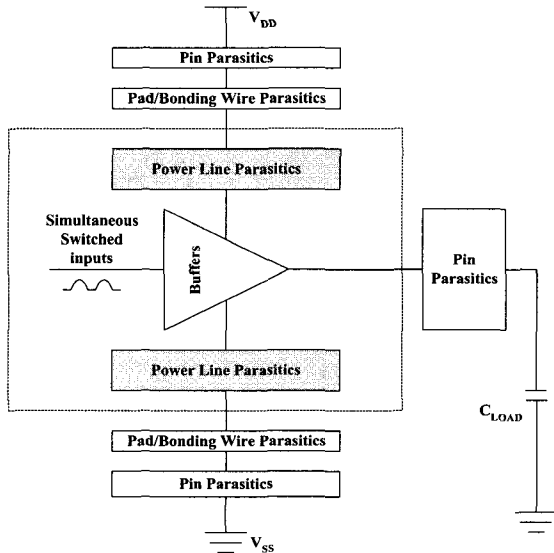


그림 1. 전형적인 출력 드라이버와 기생성분  
Fig. 1. Typical output drivers and parasitics.

SSN을 모델링하고 줄이기 위해 제안된 많은 공식들이 있다.<sup>[1-4]</sup> Yang<sup>[1]</sup>과 Jou<sup>[3]</sup>가 SSN의 크기나 과도 시간의 제한 하에서 최적화된 출력 버퍼 회로를 제안하였다. Song<sup>[2]</sup>은 SSN에 대한 새로운 모델링을 제안하였다. Spurlin<sup>[4]</sup>은 전류의 변화량을 줄이기 위하여 트랜지스터의 게이트(gate)를 뱀 모양으로 하는 레이아웃 기법을 이용하였다. 이 경우에 속도가 느려지게 되므로 추가적인 회로를 사용하는 것을 제시하였다.

본 논문에서는 이중 층 파워 라인(DLPL: Dual Layer Power Line)을 이용하여 SSN을 효율적으로 줄이는 새로운 기법을 제안한다. 이러한 DLPL은 많은 층의 레이

어(layer)나 실리콘(silicon)상의 추가적인 회로 없이 단순히 파워 라인만 가지고 제안하는 전략적 배치를 적용함으로써 쉽게 구현할 수 있는 이점이 있다. II장에서는 SSN에 대한 간략한 설명과 DLPL 동작에 대한 수식을 유도한다. III장에서는 실리콘 상에서 DLPL 상호 인덕턴스 구현 기법에 대해 설명하고자 한다. 마지막으로 IV장에서는 향후 연구방향 및 결론을 제시한다.

## II. SSN 최소화 기법

그림 2는 전형적인 CMOS 출력 드라이버들의 두 파워 라인에 대한 기생성분을 나타낸다. 드라이버들의 각 입력이  $V_{in}$ 과 같이 동시에 같은 파형을 가진다고 가정하자. 그러면 갑작스러운 전류의 큰 변화가 파워 라인에 SSN을 야기시키게 된다.

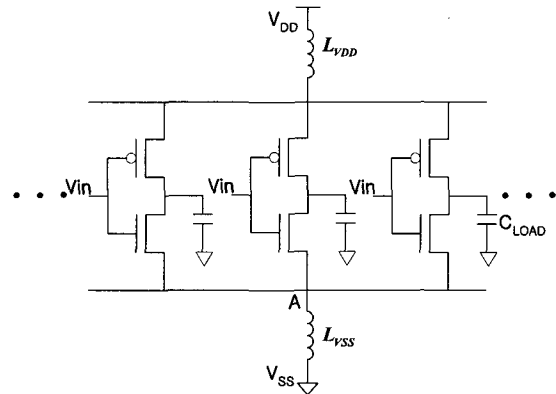


그림 2. CMOS 출력 드라이버  
Fig. 2. CMOS representation of the output drivers.

A 노드에서의 스위칭 잡음 ( $V_n$ )은 아래와 같이 정의된다.

$$V_n = nL_{VSS} \frac{dI}{dt} \tag{1}$$

$n$ 은 동시에 스위칭 되는 드라이버의 개수이고  $dI$ 는 단일의 드라이버를 흐르는 전류의 변화량이다. 여기에서는  $V_{DD}$ 의 SSN도 같은 방식으로 설명될 수 있으므로  $V_{SS}$  파워라인의 경우만 고려하고자 한다.

그림 3은 식 1에 대한 SSN을 SPICE 시뮬레이션 한 것을 보여주고 있다. 보는 바와 같이 SSN은  $n=100$ 일 경우  $t=1ns$ 에서 최고 2볼트까지 올라가며 SSN 수준이 칩 기능에 장애가 되기에 충분하다는 것을 알 수 있다.

그림 4에서는 입력 데이터 전송률이 100MHz일 때 그림 3과 같은 조건 상에서의 드라이버들의 입력과 출력의 파형을 보여주고 있다. 파형 1과 파형 2는 각각 입력과 출력 신호이다. 보는 바와 같이 출력 파형은 2.452 V<sub>PP</sub>로 줄어드는 것을 알 수 있다.

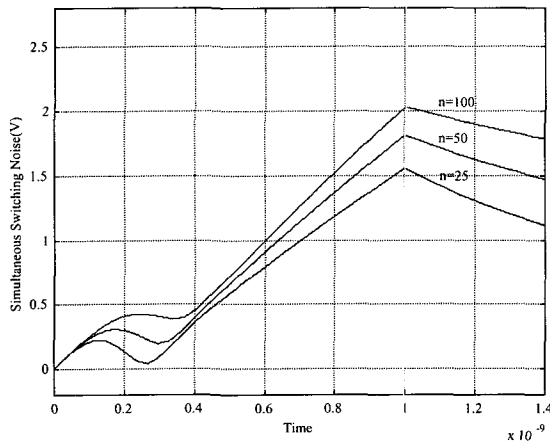


그림 3. 드라이버 개수 ( $n$ )를 달리한 SSN 시뮬레이션 결과 ( $V_{DD}=3.3V$ ,  $L_{VDD}=L_{VSS}=2nH$ ,  $0.5\mu m$  N-well CMOS, Pull-down NMOS: 325/1 $\mu m$ )  
 Fig. 3. SSN simulation results with various driver numbers( $n$ ).

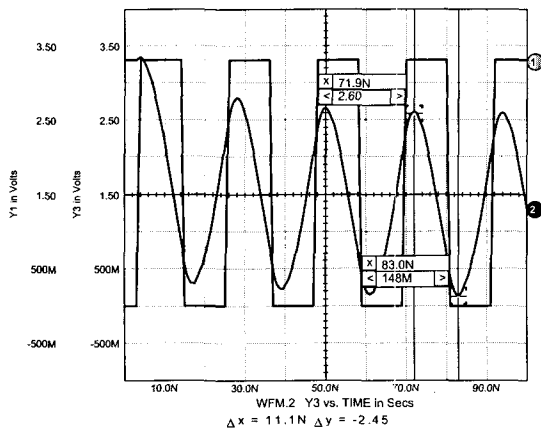


그림 4. 드라이버 개수가 100개일 때, 입력-출력 시뮬레이션 결과 (기생 인덕턴스가 존재)  
 Fig. 4. Input-to-output simulation results when the number of drivers is 100. (Parasitic inductance exists)

기본적으로 제안하는 이중 층 파워 라인(DLPL)은 실리콘 상의 파워 라인을 이용하여 잘 알려진 상호 인덕터(mutual inductor)처럼 동작시키는 것이다. 그림 5는

상호 인덕터로 구현되는 DLPL의 구조를 보여주고 있다. 여기서 DLPL은 기능적으로는 트랜스포머(transformer)와 같다.  $L_{VSS}$  와  $L'_{VSS}$  는 각각 제1차 인덕터(primary inductor)와 제2차 인덕터(secondary inductor)를 의미한다.

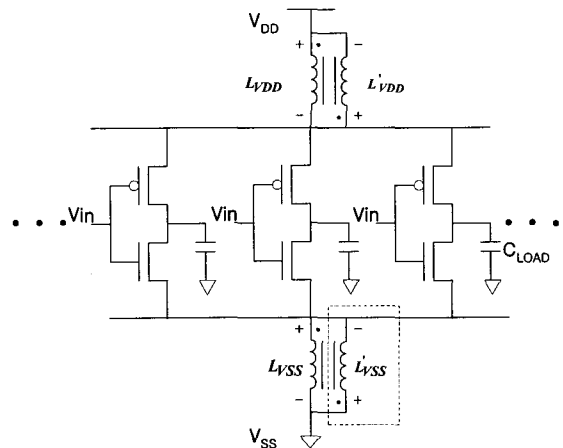


그림 5. 제안된 상호 인덕터를 가진 SSN 최소화 드라이버 모델  
 Fig. 5. The proposed SSN minimization drivers with mutual inductors.

그림 6은 그라운드 라인(ground line) 상에서의 상호 인덕터 모델을 보여준다. 파워 라인(VDD)상에서의 모델은 그라운드 라인상에서와 같은 방식으로 유도 할 수 있으므로 본 논문에서 다루지 않기로 한다. 여기서 전류  $I$ 는 식 1에서 시변(time-varying) 전류  $i_S$ 로 표현한다.

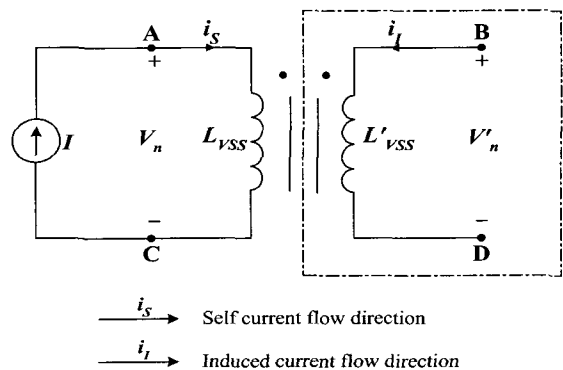


그림 6. 그라운드 라인 상에서의 상호 인덕터 모델  
 Fig. 6. Mutual inductor model in the ground( $V_{SS}$ ) line.

두개의 인덕터  $L_{VSS}$ 와  $L'_{VSS}$ 는 실리콘 질화물 (silicon-nitride) 내지 실리콘 이산화물(silicon-dioxide) 과 같은 매우 얇은 절연체에 의해서 떨어져 있으면서 전자기적으로는 결합 되어있다. 이 기법에서 우리는 다음과 같은 기본 공식을 알고 있다.

$$V_n = L_{VSS} \frac{di_s}{dt} + M \frac{di_l}{dt} \quad (2)$$

$$V_n' = L'_{VSS} \frac{di_l}{dt} + M \frac{di_s}{dt} \quad (3)$$

두 인덕터 사이의 결합 정도를 나타내는 커플링 계수(coupling coefficient)  $k$ 는 아래와 같이 정의된다.

$$k = \frac{M}{\sqrt{L_{VSS} L'_{VSS}}} \quad (4)$$

여기서  $M$ 은 상호 인덕턴스이다.<sup>[6]</sup> 만약 이상적으로  $L_{VSS}$ 와  $L'_{VSS}$ 는 완벽하게 전자기적으로 잘 결합되고 동일한 크기를 갖는다면 계수  $k$ 는 1이 된다. 즉, 식 4는 다음과 같이 됨을 의미한다.

$$M \cong L_{VSS} = L'_{VSS} \quad (5)$$

그림 6에서 노드 A와 D가 연결되고 C와 B가 연결 된다면  $V_n = V_n'$ 을 얻을 수 있다. 이제 식 2와 3을 조합하여 다음과 같은 식을 얻을 수 있다.

$$V_n + V_n' = \left( L_{VSS} \frac{di_s}{dt} + M \frac{di_l}{dt} \right) + \left( L'_{VSS} \frac{di_l}{dt} + M \frac{di_s}{dt} \right) = 0 \quad (6)$$

식 5를 식 6에 대입하면 다음과 같다.

$$\frac{di_s}{dt} + \frac{di_l}{dt} = 0 \quad (7)$$

따라서,  $i_l$ 는  $-i_s$ 가 되고 결과적으로 식 2와 식 3은 아래와 같이 된다.

$$V_n = V_n' = 0 \quad (8)$$

그래서  $k=1$ 일 때, SSN은 이상적인 경우에 이론적으로 완전히 제거될 수 있다. 그러나, 실제에서는  $k$ 는 '1'이 될 수 없지만 SSN  $V_n$ 과  $V_n'$ 을 최소화 할 수 있다는 것을 알 수 있다.

DLPL 기법을 증명하기 위해 다음과 같이 SPICE 시

뮬레이션 하였다. 부하 커패시터( $C_{LOAD}$ )가 150pF, 인덕턴스가 2nH 그리고 1ns의 상승시간(rising time)을 갖는 입력이 사용된다. 그림 7은 일반적인 파워 라인에서의 SSN(SPICE)과 논문<sup>[2]</sup>의 SSN수학적 모델링 시뮬레이션(SONG) 그리고 DLPL기법이 적용된 모델(DLPL)을 시뮬레이션한 결과를 보여주고 있다. 보는 바와 같이, DLPL은 약 63%의 SSN 감소를 얻는다.

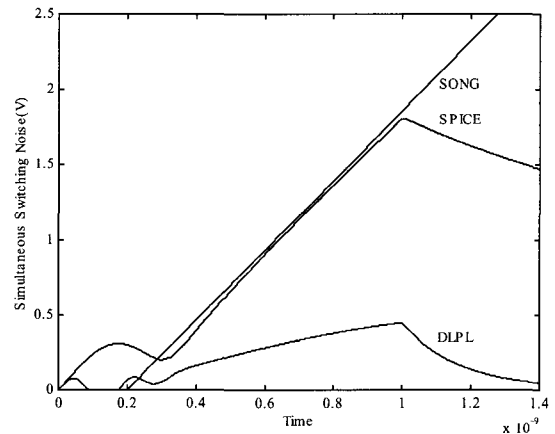


그림 7. 50개의 드라이버일 때의 SSN과 DLPL SSN의 비교( $V_{DD}=3.3V$ ,  $k=0.9$ ,  $0.5\mu m$  CMOS, Driver size:325/1(m)  
Fig. 7. Comparison of natural SSN and DLPL SSN with 50 drivers.

표 1. TI사의 기법과 DLPL의 비교  
Table 1. Comparison of TI's solution[4] and DLPL

	No. of Drivers	$V_n, \max(V)$
TI's solution ( $C_{LOAD}=50pF$ )	36	0.9
DLPL ( $C_{LOAD}=150pF$ )	36	$k=0.999$
		$k=0.8$

표 1은 TI의 기법<sup>[4]</sup>과 DLPL 기법을 비교한 결과를 도표화한 것이다. 그림 8은 36개의 드라이버에 대해  $k$  값이 0.8, 0.9, 0.999일 때의 결과이다. 그림 상에서 'SSN'은 순수한 스위칭 잡음 SSN을 말한다.

그림 9는 DLPL을 적용한 드라이버에서의 입력과 출력 파형이다. 시뮬레이션 조건은 그림 4와 동일하지만 결과는 기생성분이 최소화된 정확한 디지털 출력을 제공함을 볼 수 있다.

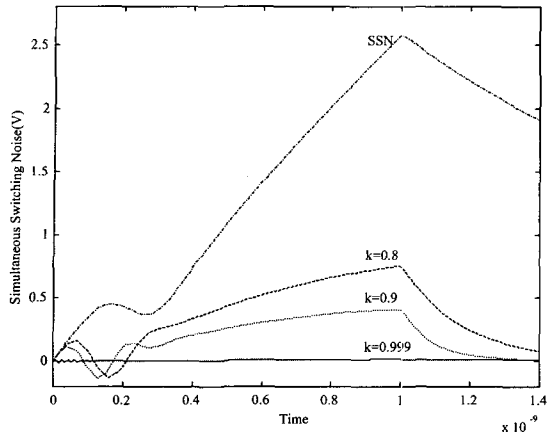


그림 8. 계수  $k$ 에 따른 감소된 SSN 시뮬레이션 결과  
Fig. 8. Minimized SSN simulation results according to coefficient  $k$ .

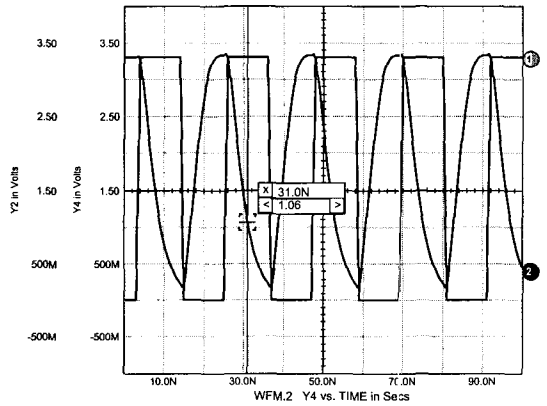


그림 9. DLPL을 적용한 드라이버가 100개일 때의 입력-출력 시뮬레이션 결과(기생인덕턴스 존재)  
Fig. 9. Input-to-output simulation results when the number of drivers is 100 with DLPL. (Parasitic inductance exists)

파워라인 상에서의 이런 상호 인덕터 또는 트랜스포머는 이중 층 파워 라인 구조(DLPL) 기법에 의해서 쉽게 구현될 수 있다. III 장에서는 이에 관해 좀 더 자세히 설명한다.

### III. 이중 층 파워 라인 구조의 상호 인덕터

그림 10(a)는 DLPL 상호 인덕터에 대한 기하학적인 파워 라인 구조이고, 그림 10(b)는 DLPL의 측면도를 보여준다.

이는 두개의 포개어진 파워라인으로 구성하게 된다. 이 두 라인들은 실리콘 이산화물(silicon-dioxide), 실리콘

질화물(silicon-nitride) 또는 기타 다른 절연체(절연체의 유전률이 큰 유전체일수록  $k$ 를 크게 한다)에 의해 채워지게 된다. 현 CMOS 공정에서는 무리 없이 적절하게 얇은 두께의 절연 층에서는 커플링 계수(coupling coefficient)  $k$ 가 0.8이상임이 보고 되어지고 있다.<sup>[7]</sup>

DLPL 구조를 위하여 특별한 제조(fabrication) 공정을 사용할 필요는 없다. DLPL은 표준 CMOS 이중 메탈 공정에서 구현될 수 있다. 이중 메탈 공정을 사용하면서 이중 층 상호 인덕터를 만들기는 전혀 어렵지 않다.

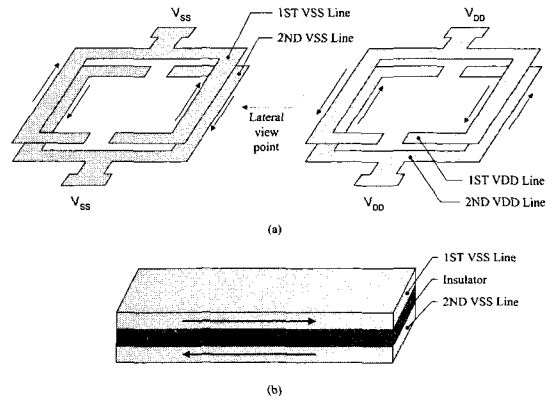


그림 10. (a)  $V_{SS}$ 와  $V_{DD}$ 에 대한 이중 층 파워 라인(DLPL) 상호 인덕터 (b) DLPL 측면도  
Fig. 10. (a) Dual layer power line(DLPL) mutual inductor for  $V_{SS}$  and  $V_{DD}$  and (b) lateral view of the DLPL.

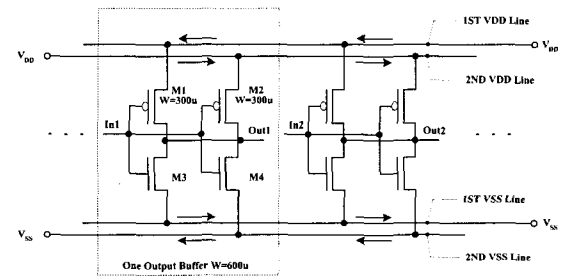


그림 11. 상호 인덕터를 위한 DLPL을 적용한 제안된 출력 드라이버 구조  
Fig. 11. The proposed output driver structure with DLPL for mutual inductors.

DLPL에 의해 구성된 상호 인덕터를 이용한 드라이버를 구현하기 위해서 그림 11과 같은 새로운 파워 라인 기법이 필요하다. 그림의 점선으로 묶인 네모 안을 살펴보면 같은 크기의 두개의 드라이버들로 하나의 큰

드라이버를 구성하고 있다. 즉, 채널의 폭이  $W=600\mu\text{m}$  인 하나의 드라이버를 위해서는 한쪽 채널 폭이  $W=300\mu\text{m}$  인 두개의 드라이버로 구현된다. 단, 여기서 한쪽 드라이버의 파워라인은 DLPL의 "1ST Line"으로 다른 쪽 드라이버는 "2ND Line"으로 연결이 되도록 한다. 이는 본래 구현될 드라이버들의 크기가 변동 없이 구현 할 수 있다는 장점을 가지게 된다.

이제 두개의 절반 크기의 작은 드라이버들로 구성된 드라이버는 두 파워라인에 흐르는 전류를 순간적으로 동시에 반대 방향으로 흐르게 할 수 있다. 여기에서 이중의 파워라인에서 각 드라이버들의 스위칭에 관한 확률 밀도 함수는 현 고속의 많은 I/O를 가지는 디지털 회로에서는 무리 없이 같다고 가정할 수 있다. 여기서 SSN은 많은 수의 드라이버들이 동시에 스위칭할 때 발생하기 때문에 식 7을 만족시키는 반대 방향이며 거의 같은 양의 두 전류를 얻을 수 있다.

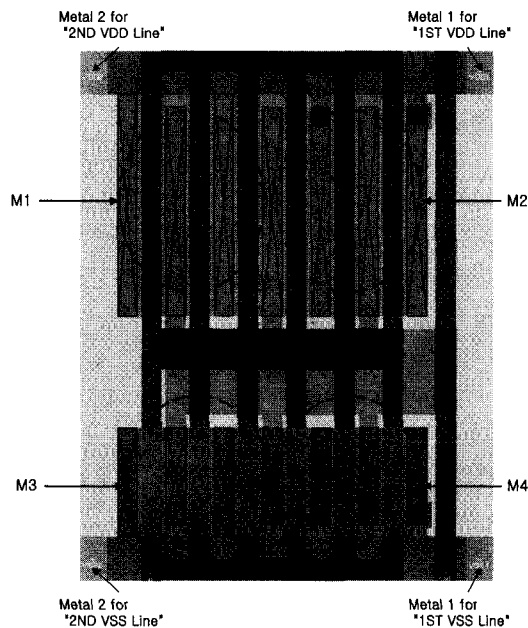


그림 12. 제안된 DLPL 기법을 적용한 드라이버 레이아웃  
Fig. 12. Driver layout with proposed DLPL technique.

제안된 DLPL을 사용하는 단일의 드라이버 레이아웃은 그림 12와 같다. 여기에서 이 구조는 널리 사용되는 일반적인 드라이버와 동일한 크기를 가진다.

그림 12에서 트랜지스터 M1의 소스는 VDD의 메탈1로 M2의 소스는 VDD메탈 2에 연결된다. M3, M4의

소스는 각각 VSS의 메탈1, 메탈2로 연결이 이뤄진다. 트랜지스터 M1, M2, M3, M4의 모든 게이트와 드레인 은 각기 하나의 입력과 하나의 출력으로 묶이게 된다.

#### IV. 결 론

동시 스위칭 잡음(SSN)을 줄이기 위한 새로운 기법이 제안되었다. DLPL은 실리콘(silicon) 상에서 잘 커플링(coupling)된 상호 인덕터를 구현하기 가능하도록 제안된 기법이다. 제안된 상호 인덕터, 즉 두 파워 라인에는 반으로 분리된 드라이버로부터 순간적이면서도 반대 방향인 전류를 동시에 흐르도록 하는 기법을 소개하였다. 비록 패드나 본딩 와이어 그리고 패키지상의 핀 스트레이(stray) 효과를 고려할 필요가 여전히 존재하지만 이 기법이 칩 디자이너의 관점에서 SSN을 줄이는 새로운 전망을 가져 다 줄 것이다. 두 파워 라인 사이의 상호 인덕턴스는 일정한 실리콘 면적의 별다른 차이 없이 스위칭 잡음을 결정적으로 줄일 수 있게 해준다. 커플링 계수가 0.8보다 높고 과거에 발표된 다른 기법들 보다 비교해서 63%정도 스위칭 잡음을 줄일 수 있다는 것을 SPICE 시뮬레이션에서 보였다. 또한 이 기법은 PCB 파워라인 회로설계(art-works)에도 적용될 수 있다. 앞으로 DLPL을 적용한 디지털 응용회로들을 위한 레이아웃과 실리콘 상에서의 테스트가 이뤄져야 하며 현재 관련 연구가 계속 진행 중에 있다.

#### 참 고 문 헌

- [1] Y. Yang and J. R. Brews, "Design Trade-Offs for the Last Stage of an Unregulated, Long-Channel CMOS Off-Chip Driver with Simultaneous Switching Noise and Switching Time Considerations," IEEE Transactions on Components, Packaging, and Manufacturing Technology-Part B, VOL. 19, NO. 3, Aug. 1996.
- [2] S. W. Song, M. Ismail, G. Moon, and D. Y. Kim, "Accurate Modeling of Simultaneous Switching Noise in Low Voltage Digital VLSI," IEEE International Symposium on Circuits and Systems, Orlando, USA, June, 1999.

- [3] S. Jou, W. Cheng and Y. Lin, "Simultaneous Switching Noise Analysis and Low Bouncing Buffer Design," IEEE 1998 Custom Integrated Circuits Conference, 1998.
- [4] C. Spurlin and D. Stein, "EPIC Advance CMOS Logic Output Edge Control," Texas Instruments Technical Journal, March-April 1989.
- [5] A.J. Rainal, "Computing Inductive Noise of Chip Packages," AT & T BELL laboratories Technical Journal, pp. 177~195, Jan. 1984.
- [6] J.D. Irwin, Basic Engineering Circuit Analysis, Prentice Hall International Editions, 1996.
- "Simultaneous Switching Noise: Influence of Plane-Plane and Plane-Signal Trace Coupling," IEEE Transactions on Components, Packaging, and Manufacturing Technology-Part B, VOL. 18, NO. 3, Aug. 1995.
- [8] Yaghmour and J. Prince, "Effect of Mutual Coupling Between Signal Traces and Ground Planes on SSO Noise in Packages with Multiple Stacked Ground Planes," 47th Electronic Components and Technology Conference, pp. 836~841, San Jose, California, May 18-21, 1997.

## 저 자 소 개



李龍夏(正會員)

1975년 7월 29일생, 1998년 2월 한림대학교 전자공학과 (학사), 2000년 2월 한림대학교 전자공학과 (석사), 2000년~현재 : 한림대학교 전자공학과 박사과정 재학, 1997년 12월~1999년 5월 : (주)세트리 마이크로시스템즈 연구원. <주관심 분야 : 고속도템의 VLSI 설계, RF집적회로, 고속회로설계, 보안시스템>



姜成默(正會員)

1974년 11월 28일생, 2000년 2월 한림대학교 전자공학과 (학사), 2000년~현재 : 한림대학교 전자공학과 석사 과정 재학, <주관심 분야 : 고속/저전력 아날로그 IC 설계, RFIC 설계, 초전도 IC 설계>



文圭(正會員)

1959년 10월 12일생, 1982년 1월 서울대학교 제어계측공학과 (학사), 1990년 9월 George Washington University 전기 및 컴퓨터공학과 (석사), 1993년 5월 George Washington University 전기 및 컴퓨터공학과 (박사), 1984년 7월: VLSI Technology Inc. 방문연구원, 1987년 4월: 전자통신연구원 반도체설계 연구원, 1997년 8월: Western Australia Univ. 방문교수, 1999년 2월 Ohio State University 교환교수, 1999년 2월 (미) Micrys Inc., General Manager in VLSI Design, 1993년 9월 - 현재: 한림대학교 정보통신공학부 정보통신연구소장, 부교수. <주관심분야 : 고성능/저전력회로 설계, Mixed-mode ASIC, 신경회로망>

- [7] Vaidyanath, B. Thoroddsen, and J. L. Prince,