

論文2002-39SD-6-7

# ECL 매크로 셀로 설계한 고속 MUX/DEMUX 소자

## (A High Speed MUX/DEMUX Chip using ECL Macrocell Array)

李尙勳\*, 金成振\*

(Sang-Hoon Lee and Seong-Jeen Kim)

## 요 약

본 논문에서는 ECL macrocell array를 사용하여 155/311 Mb/s급 MUX/DEMUX 소자를 단일소자로 설계하였다. 이 소자는 초고속 전송망의 전송노드 역할을 하는 2.5 Gb/s SDH 전송시스템에 적용되어 51 Mb/s의 병렬 데이터를 155 Mb/s(혹은 311 Mb/s)의 직렬 데이터로 비트 교직 다중화 하거나 155 Mb/s(혹은 311 Mb/s) 직렬 데이터를 51 Mb/s의 병렬 데이터로 비트 교직 역 다중화 하는 기능을 수행한다. 소자의 저속부는 TTL로 접속되며 고속부는 100K ECL로 접속되며 모토롤라 ETL3200 macrocell array로 제작되었다. 설계 제작된 소자는 180°의 311 Mb/s 데이터 입력 phase margin을 가지며 출력 데이터 skew는 220 ps로 평가되었다.

## Abstract

In this paper, a 155/311 Mb/s MUX/DEMUX chip using ECL macrocell array has been developed with a single device. This device for a 2.5 Gb/s SDH based transmission system is to interleave the parallel data of 51 Mb/s into 155 Mb/s(or 311 Mb/s) serial data output, and is to deinterleave a serial input bit stream of 155 Mb/s(or 311 Mb/s) into the parallel output of 51 Mb/s. The input and output of the device are TTL compatible at the low-speed end, but 100K ECL compatible at the high-speed end. The device has been fabricated with Motorola ETL3200 macrocell array. The fabricated chip shows the typical phase margin of 180 degrees and output data skew less than 220ps at the high-speed end.

**Key Words** : SDH, ECL, macrocell, multiplexer, demultiplexer

## I. 서 론

현재 2.5 Gb/s 광전송시스템은 대용량의 데이터를 빠른 속도로 전송할 수 있기 때문에 국가 초고속 전송망의 하부구조 구축에 기본 시스템으로 설치되고 있다.

이러한 광전송시스템에는 반도체 광소자, 광 증폭, 전/광 및 광/전 변·복조, 디지털 ASIC 등이 채택된 시스템 하드웨어와 전송망의 망 관리 유지보수(OA&M)를 위한 네트워크 소프트웨어 기술이 적용되고 있다. 이들 중 ASIC 소자는 광전송시스템내의 디지털 신호들의 동기식 다중화 처리를 위해서 그 기능상 여러 종류의 소자들이 요구되고 있다. 예를 들면 CDR(clock-data regenerator) 소자, STM(Synchronous Transport Module)-16 구간오버헤드처리소자(section overhead processor), DS3/AU32 매핑(mapping) 소자, 포인터처

\* 正會員, 慶南大學校 電氣電子工學部  
(Div. of Electrical & Electronic Engineering,  
Kyungnam University)

接受日字:2001年7月25日, 수정완료일:2002年4月8日

리소자(pointer processor), framer/deframer, 고속 multiplexer 및 demultiplexer들이 요구된다. 이들 ASIC 들 중 일부는 상용화되어 있지만 대부분의 경우 개발하고 있는 전송시스템의 독특한 구조로 인해 독자적으로 개발하고 있는 실정이다. 특히 고속 multiplexer와 demultiplexer는 전송시스템의 핵심이 되는 회로들을 포함하고 있고 고속의 특성으로 인해 GaAs나 Si-bipolar 기술을 이용한 완전주문형반도체(full custom IC) 형태로 개발하고 있다.<sup>[1-4]</sup> 또한 51 Mb/s 급 저속신호를 1단계로 다중화 하여 2.5 Gb/s 고속신호로 다중화 하는 구조보다 중간단계의 신호로 먼저 다중화 한 후 이를 고속신호로 다중화 하는 2단계의 다중화 구조를 채택하는 것이 소자의 설계기술 상 용이하다. 역 다중화의 경우도 다중화와 비슷한 구조를 갖는다. 따라서 본 논문에서는 2.5 Gb/s SDH(Synchronous Digital Hierarchy) 광전송시스템 중에서 고속 다중화 및 역 다중화 기능을 구현하기 위하여 51 Mb/s 급 신호를 2.5 Gb/s급 STM-16 신호로 48:1 다중화 하는 과정의 중간단계로 51 Mb/s급 신호를 비트 교직(bit interleaving)다중화 하여 155 Mb/s나 311 Mb/s급 신호로 다중화 하거나 반대로 비트 교직 역 다중화 하는 기능을 수행하는 ASIC을 Motorola MCA3200ETL Macrocell Array<sup>[5]</sup>를 이용하여 설계하였다. 이와 같은 기능을 개별소자(discrete IC)들로 구성하려면 먼저 51 Mb/s TTL 신호를 양방향으로 retiming 하기 위한 플립플롭 96개, 155 Mb/s 혹은 311 Mb/s의 ECL 신호를 양방향으로 retiming 하기 위한 플립플롭 32개, 16개의 3:1 MUX, 16개의 2:1 MUX, 16개의 3-bit 쉬프트 레지스터를 구성하기 위한 48개의 플립플롭, timing block을 위한 플립플롭 5개, 그 외의 논리게이트와 TTL-ECL 변환 회로 등 최소 213개의 개별소자가 요구된다. 이는 과도한 칩 점유면적과 소비전력의 문제점을 야기한다. 따라서 본 논문에서는 이들 기능을 ASIC으로 설계하여 칩의 점유면적과 소비전력을 낮추어 광전송시스템의 신뢰성을 높이고자 하였다. 아울러 대부분 소자의 경우 multiplexer와 demultiplexer를 분리하여 설계하는 것과는 달리 소자 활용의 범용성을 위해 모드선택에 따라서 2가지의 다중화 기능과 2가지의 역 다중화 기능이 각각 선택 수행 가능하도록 단일소자로 설계하였다. 이는 2.5 Gb/s 전송시스템의 고속송신보드와 고속수신보드, 중계기보드에 동일소자가 적용될 수 있는 장점이 있다.

## II. 소자의 설계

그림 1은 본 논문에서 설계한 소자가 2.5 Gb/s 광전송시스템의 고속송신보드와 고속수신보드, 중계기에 적용되는 구성도로 소자의 동작모드에 따라 데이터 송신을 위한 3:1 혹은 6:1 MUX 기능과 데이터 수신을 위한 1:3 혹은 1:6 DMUX 기능 그리고 데이터 중계를 위한 이의 혼합 적용부분으로 구분된다. 그림 1(a)는 48 채널의 51 Mb/s 신호들이 2.5 Gb/s STM-16 신호로의 다중화 되는 경로를 나타낸 것이다. 구간오버헤드처리 소자(SOHP)로부터 제공되는 48 채널의 51 Mb/s 신호들은 3:1과 16:1 또는 6:1과 8:1의 2단계 다중화 과정을 거쳐 2.5 Gb/s의 STM-16 신호가 된다. 이 후 fiber link를 위해 광 송신모듈(OTX)에서 광 신호로 변환된다. 그림 1(b)는 역 다중화 경로로 그림 1(a)의 다중화 경로의 역이 된다. 그림 1(c)는 광전송시스템이 중계기로 사용될 때 소자가 적용되는 것을 보여준다. 광 수신 모듈(ORX)로부터 수신된 STM-16의 광 신호는 clock과 data 복원회로(CDR)로부터 2.5 GHz clock과 2.5 Gb/s data로 재생된 후 1:16과 1:3 또는 1:8과 1:6 demultiplexer에서 2 단계로 역 다중화 되고 구간오버헤드처리소자(SOHP)에서 재생기 구간 오버헤드만 처리된 후 다시 48:1의 다중화 과정을 거쳐 STM-16의 광 신호로 출력된다. 여기서 48:1 다중화나 1:48 역 다중화 기능을 구현하는데 있어서 STM-16 신호용 MUX 및 DEMUX 상용소자는 일본 NEL의 16:1 MUX, 1:16 DEMUX 소자,<sup>[6]</sup> 미국 Vitesse의 8:1 MUX, 1:8 DEMUX 소자를<sup>[7]</sup> 이용하였다. 따라서 본 논문에서 설계한 소자는 이와 같은 일련의 다중화 및 역 다중화의 처리과정에서 48 채널의 51 Mb/s 신호를 3:1(혹은 6:1) 비트 교직 다중화 하여 16(혹은 8) 채널의 155 Mb/s(혹은 311 Mb/s) 신호로 다중화 하거나 또는 모드 선택에 따라서 동일한 소자로 다중화 기능의 역인 16(또는 8) 채널의 155 Mb/s(또는 311 Mb/s) 신호를 1:3(또는 1:6) 비트 교직 역 다중화 하여 48 채널의 51 Mb/s 신호로 역 다중화 시킨다. 표1은 소자의 모드 선택에 따른 기능을 보여준다. 따라서 모드 선택 여하에 따라서 단일소자로 4가지의 기능을 수행 할 수 있다.

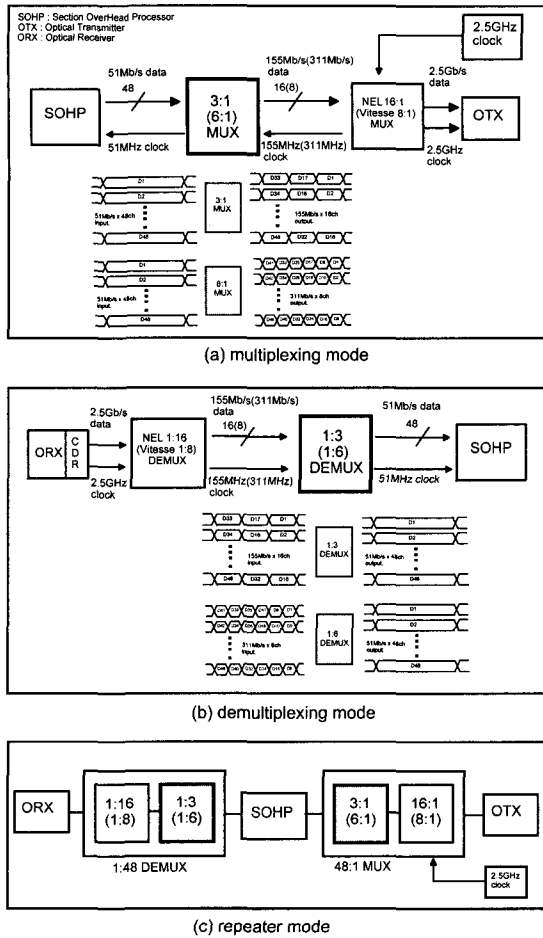


그림 1. 소자의 응용도  
Fig. 1. The application diagram of the chip.

표 1. 모드선택에 따른 소자의 기능  
Table 1. The chip function by the mode selection.

MODE	CONTROL SIGNAL		FUNCTION	
	MUX/DMUX	S3/S6	INPUT	OUTPUT
3:1 MUX	HIGH	HIGH	48채널 51 Mb/s	16채널 155 Mb/s
6:1 MUX	HIGH	LOW	48채널 51 Mb/s	8채널 311 Mb/s
1:3 DEMUX	LOW	HIGH	16채널 155 Mb/s	48채널 51 Mb/s
1:6 DEMUX	LOW	LOW	8채널 311 Mb/s	48채널 51 Mb/s

설계를 위하여 사용된 Motorola MCA3200ETL macrocell array의 신호레벨은 TTL, ECL, pseudo ECL(PECL)의 3가지 전기적 레벨을 이용할 수 있으나 여기서는 51 Mb/s의 저속신호 접속에는 TTL 레벨을 155 Mb/s 혹은 311 Mb/s의 고속신호 접속에는 ECL 레벨로 하였고 내부 회로는 모두 ECL로 구성하였다. 소자의 세부 구성은 그림 2에서와 같이 공통적으로 사용되는 timing block과 8개의 동일한 MUX\_DEMUX block들로 구성된다.

timing block은 외부에서 공급되는 311 MHz 혹은 155 MHz의 clock을 differential clock buffer를 통하여 고속 입·출력 신호를 retiming 한다. 설계 시 clock buffer는 fanout이 크고 timing에 매우 민감한 부분이므로 clock 신호의 duty 변동을 줄이고자 differential inverter chain의 clock 분배구조를 채택하여 clock skew를 줄였다. 아울러 입력 clock이 311 MHz인 경우는 clock 2분주 회로를 통하여 155 MHz clock 신호를 생성시키고 반면에 155 MHz인 경우는 clock 2분주 회로를 bypass 시킨 후 timing 발생회로에 공급된다. timing 발생회로는 그림3에 나타난 세부회로도도 같이 다중화 및 역 다중화를 위한 제어신호(S0, S1)를 생성한다. 또한 이들 제어신호를 이용해 SOHP(Section Overhead Processor)와의 동기화를 위한 duty ratio 50%의 51 MHz의 clock을 발생시킨다. MUX\_DEMUX block 중 MUX 부분은 모드선택에 따라 3:1 MUX 기능과 6:1 MUX 기능으로 나누어지는데 먼저 3:1 MUX의 경우, D1에서 D48 까지 입력되는 48 채널의 51 Mb/s 병렬 데이터 신호들을 모두 16개((2채널/block) x 8 blocks)의 다중화 채널로 3:1 비트 교직 다중화 하여 16 채널의 155 Mb/s의 직렬 데이터를 출력시킨다. 아울러 6:1 MUX의 경우는 3:1 MUX와 유사하게, 입력되는 D1에서 D48까지의 48 채널의 51 Mb/s 신호를 8개 ((1채널/block) x 8 blocks)의 다중화 채널로 3:1 및 2:1의 2단계 직렬 비트 교직 다중화 하여 8 채널의 311 Mb/s의 직렬 데이터를 출력시킨다. 한편 DEMUX 부분은 모드선택에 따라 1:3 DEMUX 기능과 1:6 DEMUX 기능으로 구성된다. 먼저 1:3 DEMUX의 경우 16 채널의 155 Mb/s 데이터를 입력받아 3-bit 쉬프트 레지스터로 구성된 16개((2채널/block) x 8 blocks)의 직·병렬변환회로의 1:3 비트 교직 역 다중화에 의해 48채널의 51 Mb/s 병렬 데이터를 생성시킨다. 1:6 DEMUX 경우는 1:3 DEMUX 경우와 유사하게 8 채널

의 311 Mb/s 데이터를 입력받아 2단계의 3-bit 쉬프트 레지스터로 구성된 8개((1채널/block) x 8 blocks)의 직·병렬변환회로의 1:6 비트 교직 역 다중화에 의해 48채널의 51 Mb/s 병렬 데이터를 생성시킨다.

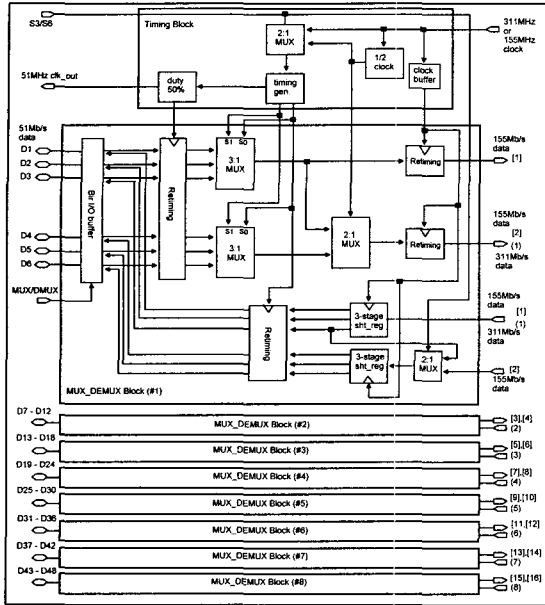


그림 2. 소자의 구성도  
Fig. 2. The chip architecture.

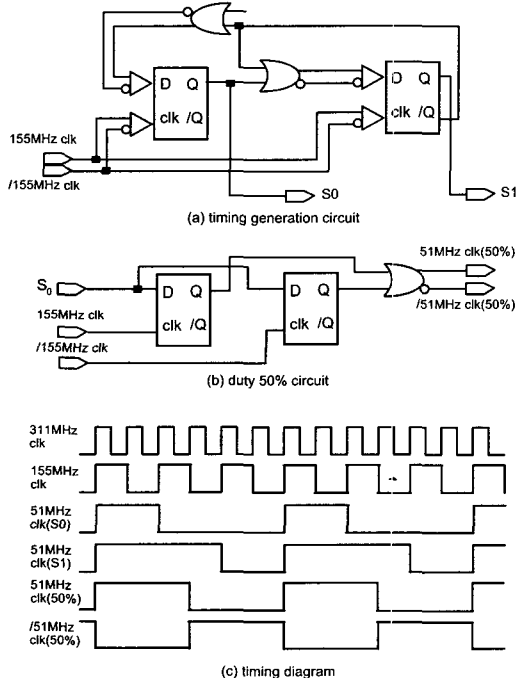


그림 3. 타이밍 발생회로 및 타이밍 도  
Fig. 3. Circuit and timing chart of the timing block.

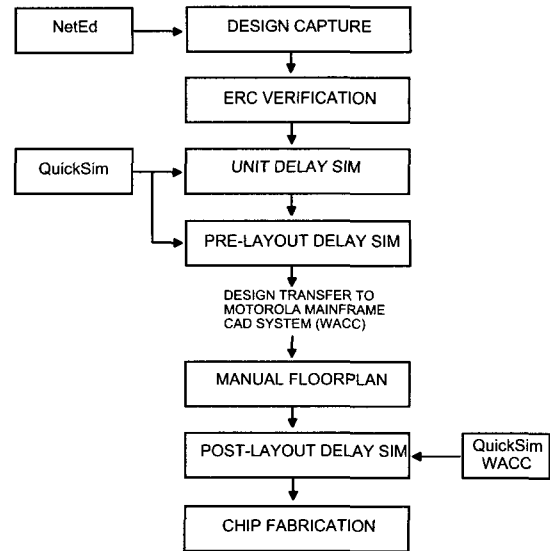


그림 4. 소자의 설계과정  
Fig. 4. Design flow.

소자의 설계과정은 그림 4에 나타난 순서대로 이루어 졌으며 소프트웨어 platform은 Motorola사의 OACS (Open Architecture CAD System) tool로 수행하였다. 회로설계는 Mentor Graphics사의 NetEd tool로 설계하고 시뮬레이션 과정은 Mentor Graphics사의 QuickSim 과 Motorola사의 mainframe CAD 시스템인 WACC으로 수행하였다. 특히 설계된 회로에 사용된 모든 macrocell들의 physical layout 과정은 까다로운 timing violation을 극복하기 위하여 소자의 신호흐름이 최적이 되게끔 셀 배치도면(cell floorplan)에 따라 manual로 배치하였다.

### III. 시험결과

설계 제작된 MUX/DEMUX 소자의 동작은 그림5의 시험 구성에 따라 확인되었다. 그 구성은 48 채널의 51 Mb/s 입력 데이터들을 설계한 MUX/DEMUX 소자에서 3:1 혹은 6:1로 다중화 하여 16 채널의 155 Mb/s 혹은 8 채널의 311 Mb/s 데이터를 형성시키고 이를 다시 상용 MUX IC에 의해 16:1 혹은 8:1로 다중화 한 후 2.5 Gb/s의 고속 데이터를 형성하는 다중화 경로와 형성된 2.5 Gb/s의 고속 데이터를 상용 DEMUX IC에 의해서 1:16 혹은 1:8 역 다중화 하여 16 채널의 155 Mb/s 혹은 8 채널의 311 Mb/s 데이터를 형성시키고

이를 다시 설계한 MUX/DEMUX 소자에서 1:3 혹은 1:6 역 다중화로 48 채널의 51 Mb/s 데이터가 출력되는 역 다중화 경로로 구성된다. 따라서 다중화 경로 상의 소자는 3:1 혹은 6:1 MUX 모드로 설정되고 역 다중화 경로 상의 소자는 1:3 혹은 1:6 DEMUX 모드로 설정된다. 제작된 소자의 올바른 동작여부는 MUX 모드로 설정된 소자의 입력 데이터들과 DEMUX 모드로 설정된 소자의 출력 데이터를 서로 채널 별로 비교하는 것으로 확인하였다. 그림 6은 MUX 모드로 설정된 소자에 입력되는 임의의 51 Mb/s 데이터와 DEMUX 모드로 설정된 소자에서 출력되는 51 Mb/s 데이터 출력의 파형을 측정 한 것이다. 입·출력 데이터의 파형이 잘 일치함을 보여준다. 이와 같이 제작된 소자의 모든 입·출력 채널은 2.5 Gb/s 데이터 전송시험을 통하여 그 기본 기능이 잘 동작됨을 확인할 수 있었다.

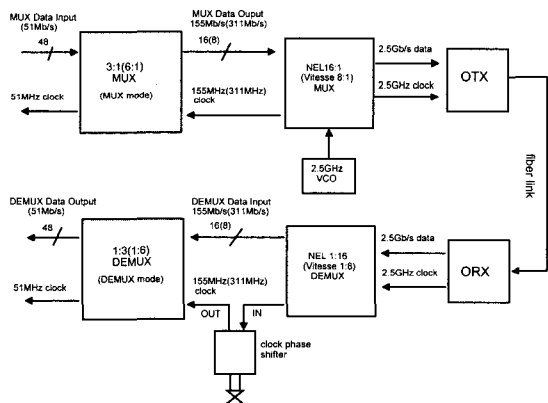


그림 5. 소자의 시험 구성도  
Fig. 5. Experimental set-up diagram.

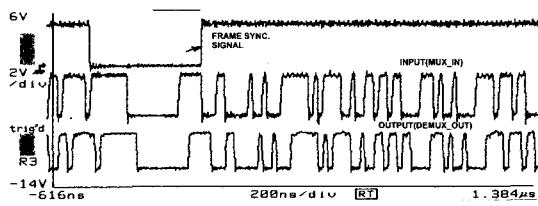


그림 6. 2.5 Gb/s 데이터 전송시험을 통한 측정된 소자의 입·출력 파형  
Fig. 6. Measured I/O waveform of the chip based on a 2.5 Gb/s transmission test.

다음으로 제작된 MUX/DEMUX 소자의 AC 특성을 확인하기 위해서 몇 가지 중요한 timing parameter의 측정을 수행하였다. 그림 5의 시험 구성에서의 역 다중

화 경로 중 설계된 소자가 DEMUX 모드로 사용될 경우 8 채널(혹은 16 채널)의 311 Mb/s(혹은 155 Mb/s)의 입력 데이터와 311 MHz(혹은 155 MHz)의 입력 clock 간의 timing 위상 관계는 설계된 소자의 timing margin을 결정한다. timing margin은 입력 데이터가 어느 정도의 phase margin을 가지고 소자에 정확하게 latch 될 수 있는가를 보여주는 입력 clock의 위상변동 범위를 말한다. phase margin은 일반적으로 다음의 식으로 결정된다.<sup>[8]</sup>

$$\text{Phase Margin} = [1 - (t_s + t_h)/t_{\text{clk}}] \times 360^\circ \quad (1)$$

여기서  $t_s$ 는 설계된 소자의 setup time,  $t_h$ 는 hold time,  $t_{\text{clk}}$ 는 clock의 주기이다.

일반적으로 phase margin은  $180^\circ$ 의 값을 요구한다. 이는 설계한 소자의 최대동작주파수가 311 MHz이므로 3.2 ns의 clock 주기를 갖게된다. 따라서 입력 데이터의 eye pattern 중 전송 노이즈나 timing jitter 등으로 인해 phase margin  $180^\circ$ 에 해당하는 1.6 ns의 timing margin이 손실되는 경우에도 소자가 입력 데이터를 올바르게 처리할 수 있음을 의미한다. 따라서 식 (1)에 의해서 결정되는 phase margin을 얻기 위해서는 소자의 setup time과 hold time을 post-layout 시뮬레이션 과정을 통하여 분석할 수 있으나 여기서는 좀 더 정확한 값을 얻기 위하여 실험적으로 결정하였다. 즉 그림5에서와 같이 설계한 소자의 phase margin을 측정하기 위해서 1:6 DEMUX 모드로 놓여있는 소자에 입력되는 311 MHz의 clock 위상을 phase shifter로 조금씩 조정하면서 입력 데이터가 latch된 후 올바른 역 다중화 데이터가 나오는 입력 clock의 위상 변동 범위를 측정하였다. 측정된 phase margin은 거의 1800 의 값을 보여주었다.

아울러 그림 5의 시험 구성에서의 다중화 경로 중 설계된 소자가 6:1 MUX 모드로 사용될 경우 인접 상용 8:1 MUX 칩(VS8021)과의 timing 관계는 상용 MUX 칩이 이 후 올바른 2.5 Gb/s의 데이터 프레임을 형성하기 위해서 매우 세심히 고려해야 할 사항이다. 사용된 상용 8:1 MUX 칩은 그 칩의 규격 상 311 MHz의 clock을 설계된 소자에 공급하고 적어도 2.0 ns 이내에 설계된 소자로부터 311 Mb/s의 데이터를 입력받아야만 정확한 2.5 Gb/s 데이터 프레임을 형성할 수 있다. 이와 같은 요구조건을 설계한 소자가 만족하는지를 확인하기 위하여 311 MHz 입력 clock에 대한 311

Mb/s 출력 데이터 반환시간을 측정하였다. 그림 7은 이의 측정 결과를 보여준다. 측정된 1.3 ns의 값은 상용 MUX 칩에서 요구하는 조건인 2.0 ns 이내의 값을 만족한다.

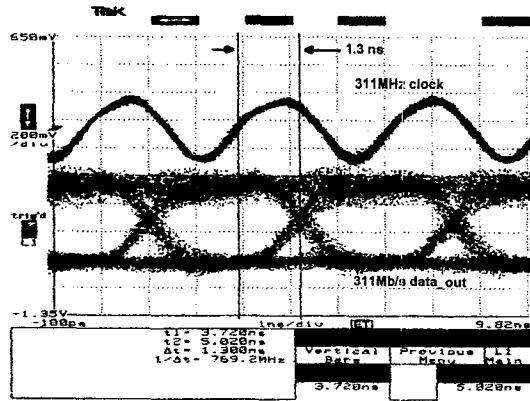
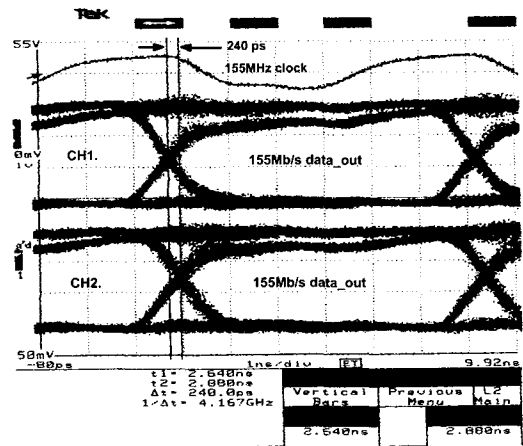


그림 7. 311 MHz 클럭 입력과 311 Mb/s 출력데이터 지연시간

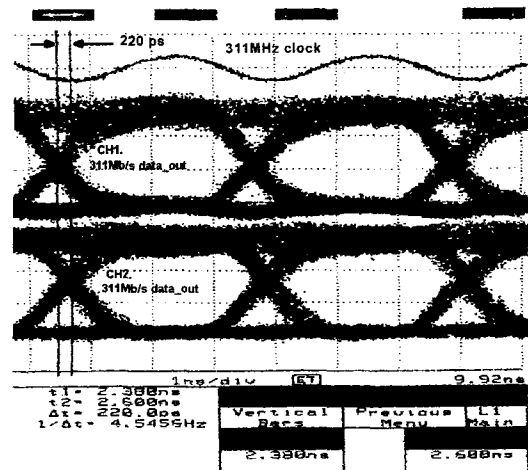
Fig. 7. A 311 MHz clock to 311 Mb/s data delayed time.

다음으로, 설계된 소자가 3:1 MUX 모드로 동작할 때 16 채널의 155 Mb/s 병렬 데이터, 6:1 MUX 모드로 동작할 때 8 채널의 311 Mb/s 병렬 데이터를 출력하고, 1:3 그리고 1:6 DEMUX 모드로 동작할 때는 48 채널의 51 Mb/s 병렬 데이터를 출력하므로 이들 출력 데이터들의 채널간 bit 편차를 보여주는 data skew는 설계된 소자의 출력신호 품질을 결정하는 요소가 된다. 이들 병렬 데이터의 과도한 skew는 이 후 clock 신호로 이들 데이터를 retiming할 때 심각한 오류를 발생시키고 인접 소자의 timing margin을 저하시키는 결과를 초래한다. 그림 8은 MUX 모드로 설정된 소자의 155 Mb/s와 311 Mb/s 출력 데이터들의 2 채널에 대한 skew를 측정된 결과이다. 설계된 소자의 정확한 skew를 측정하기 위해서는 채널의 모든 데이터를 동시에 측정해야 하지만 측정에 사용된 계측기 채널 수의 한계로 인해 2 채널씩 측정하여 가장 skew가 크게 나타난 것을 측정하였다. 그림 8(a)는 155 Mb/s 출력 데이터들의 skew를 측정된 결과로  $\Delta t(\max) = 240$  ps를 보인다. 240 ps의 skew는 데이터 bit time 6.4 ns의 약 3.8 %에 해당하는 미미한 값이다. 또한 그림 8(b)는 311 Mb/s 출력 데이터 경우로  $\Delta t(\max) = 220$  ps로 측정되었다. 이는 데이터 bit time 3.2 ns의 6.9 %로 비

교적 적절한 값을 보여주고 있다. 아울러 51 Mb/s 저속 출력 데이터들의 skew도 350 ps 이내로 양호한 결과를 얻을 수 있었다. 이상의 AC timing 특성들은 설계된 소자가 2.5 Gb/s 광전송시스템에 적용되어 STM-16 데이터 프레임을 생성시키고 또한 그 반대로 분해하는 일련의 다중화 및 역 다중화 기능을 잘 수행한다고 판단할 수 있다. 아울러 제작된 소자는 그 구조가 범용성을 갖는 단순한 구조를 갖고 있기 때문에 상이한 clock rate로 저속신호를 고속신호로 다중화하거나 반대로 고속신호를 저속신호로 역 다중화가 필요한 다른 응용분야에도 적용될 수 있을 것이다. 그러나 위



(a) Eye diagram of 3:1 multiplexer output at 155 Mb/s



(b) Eye diagram of 6:1 multiplexer output at 311 Mb/s

그림 8. 출력 데이터 편이

Fig. 8. Measured output data skew.

와 같이 만족스러운 AC timing 결과와는 반대로 제작된 소자가 ECL macrocell array로 설계되었기 때문에 소비전력은 비교적 높았다. 측정된 소비 전력은 MUX 및 DEMUX 모드 모두 약 7.0W로 heat sink의 부착이 요구되었다. 설계된 소자의 특성을 표 2에 요약하였고 그림 9는 설계된 소자가 2.5 Gb/s 고속 송신 보드에 적용된 사진을 보여준다.

표 2. 칩 요약

Table 2. Chip summary.

Technology	Motorola MCA3200ETL macrocell array
Function	3:1 MUX, 6:1 MUX, 1:3 DEMUX, 1:6 DEMUX
Max data rate	311 Mb/s
I/O	51 Mb/s×48 (bidir.) 155 Mb/s×16 (I/O) 311 Mb/s×8 (I/O)
Used cell count	208 macro cells, 89 I/O cells
Power supply	+5.0V, -5.2V
Power dissipation	7.0W
Package	160 pin MQFP

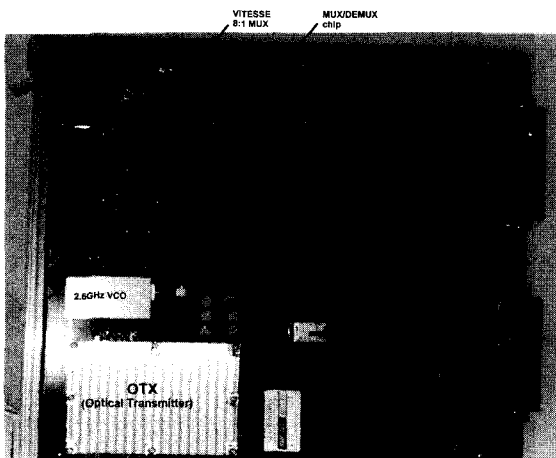


그림 9. 소자가 적용된 2.5 Gb/s 고속송신보드  
Fig. 9. Photograph of a 2.5 Gb/s high speed transmitting board with a chip.

#### IV. 결 론

모드 선택에 따라서 3:1 MUX, 6:1 MUX, 1:3 DEMUX, 1:6 DEMUX의 4 가지 기능을 갖는 ASIC을

Motorola ETL Macrocell Array를 사용하여 하나의 소자로 구현하였다. 이 소자는 2.5 Gb/s SDH 전송시스템에 적용되어 2.5 Gb/s 데이터 프레임의 다중화와 역 다중화를 위한 기능을 수행한다. 시험 board를 통한 성능을 확인한 결과, 51 Mb/s의 양방향 48 채널 과 155 Mb/s의 입·출력 32 채널 및 311 Mb/s 입·출력 16 채널 모두 잘 동작하였으며, DEMUX 모드로 동작 시 311 MHz clock 입력과 311 Mb/s 데이터 입력간의 phase margin은 180°, MUX 모드 동작 시 311 MHz clock 입력에 대한 311 Mb/s 데이터 출력 지연시간은 1.3 ns 이고 155 Mb/s 출력 data들의 skew는 240 ps, 311 Mb/s 출력 data들의 skew는 220 ps로 평가되었다. 아울러 소자의 소비전력은 7.0W로 측정되었다.

#### 참 고 문 헌

- [1] R. B. Nubling, J. Yu, K. C. Wang, P. M. Asbeck, N. H. Sheng, M. F. Chang, R. L. Pierson, G. J. Sullivan, M. A. McDonald, A. T. Price, and D. M. Chen, "High Speed 8:1 Multiplexer and 1:8 Demultiplexer Implemented with AlGaAs/GaAs HBTs", *IEEE GaAs IC Symposium*, pp. 53~56, 1990.
- [2] H. T. Weston, M. Banu, S. C. Fang, P. W. Diodato, T. D. Stanik, P. A. Wilford, and F. M. Hsu, "A Submicrometer NMOS Multiplexer-Demultiplexer Chip Set for 622.08-Mb/s SONET Applications", *IEEE J. of Solid-State Circuits*, Vol. 27, No. 7, pp. 1041~1049, July 1992.
- [3] K. Ueda, N. Sasaki, H. Sato, S. Kubo, and K. Mashiko, "3.0 Gb/s, 272 mW, 8:1 Multiplexer and 4.1 Gb/s, 388 mW, 1:8 Demultiplexer", *IEEE Symposium on VLSI Circuits Digest of Technical Papers*, pp. 123~124, 1994.
- [4] Z. H. Lao, U. Langmann, J. N. Albers, E. Schlag, and D. Clawin, "A 12 Gb/s Si Bipolar 4:1-Multiplexer IC for SDH Systems", *IEEE J. of Solid-State Circuits*, Vol. 30, No. 2, pp. 129~132, February 1995.

- [5] J. Prioste and J. Houghten, *MCA3 ETL Series Design Manual*, Motorola, 1991.
- [6] *NLA702/NLA705 16:1 Mux/1:16 Demux*, Data-sheet, NTT Electronic Technology corp. 1991.
- [7] *VS8021/VS8022 2.5Gbit/s 8bit Mux/Demux Chipset*, Vitesse Semiconductor Corp. 1994
- [8] "Timing and I/O Considerations", *VS8061/8062 Design Application Note1*, Vitesse, Semiconductor Corp. 1994.

---

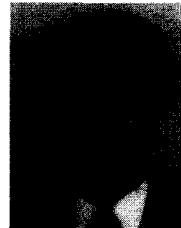
 저 자 소 개
 

---



李尙勳(正會員)

1984년 2월 고려대학교 공과대학 전기공학과 (공학사). 1987년 8월 고려대학교 대학원 전기공학과 (공학석사). 1998년 2월 고려대학교 대학원 전기공학과 (공학박사). 1987년 9월~1991년 1월 : 삼성전자(주) 주임 연구원. 1991년 1월~1995년 3월 : 한국전자통신연구원 선임연구원. 1995년 3월~2001년 2월 : 한서대학교 전자공학과 조교수. 2001년 3월~현재 : 경남대학교 전기전자공학부 조교수. 2002년 4월~현재 : 경남대학교 생산자동화기술혁신센터 제어기기 및 센서연구실장. <주 관심분야 : 디지털시스템, FPGA, ASIC설계>



金成振(正會員)

1983년 2월 고려대학교 공과대학 전기공학과 (공학사). 1985년 2월 고려대학교 대학원 전기공학과 (공학석사). 1993년 8월 고려대학교 대학원 전기공학과 (공학박사). 1994년 3월~현재 : 경남대학교 전기전자공학부 부교수. 2000년 4월~2002년 3월 : 경남대학교 산학연천소사업센터장. 2002년 4월~현재 : 경남대학교 현장특화고급인력양성센터. Capstone Design실장. <주 관심분야 : 반도체소자, 반도체 센서>