

## 특 집

# IEEE 802.3ae 10 Gb/s 이더넷의 표준화 동향

이 동 은, 조 상 엽

청운대학교

### 요 약

2002년 6월, IEEE 802.3ae 10Gb/s 이더넷이 표준으로 승인되었다. 10Gb/s 이더넷은 MAC 부계층과 물리계층을 통합한 규격으로 전이중 방식 및 광섬유 매체만을 제공한다. 기존 이더넷과 동일한 프레임 형식을 사용하고, LAN 물리계층과 WAN 물리계층까지 지원하고 있다. 따라서 LAN, MAN, WAN 영역에서 10Gb/s의 높은 속도를 제공할 수 있으며, 기존의 이더넷과 투명하게 통합할 수 있다. 본 논문에서는 10기가비트 이더넷의 MAC 부계층과 물리계층 및 최근 기술 동향을 살펴본다.

### I. 서 론

이더넷은 Xerox사에 의해 1973년에 처음 발표된 이후 1980년의 10BASE5와 1995년의 패스트 이더넷을 거치면서 LAN(Local Area Network)을 구현하기 위한 가장 대표적인 기술로 인식되어 왔다. 1998년에는 1Gb/s 이더넷에 대한 표준화가 이루어졌고, 기가비트 이더넷은 값비싼 ATM LAN을 대신하여 고속 LAN 시장을 석권하고 있다.

네트워크 및 인터넷 트래픽이 급속하게 증가함에 따라 더욱 빠른 이더넷 기술에 대한 요구가 대두되었다. 이에 따라 1999년 3월에 IEEE 802.3 HSSG(Higher Speed Study Group)

및 2000년 1월에 IEEE P802.3ae 태스크포스를 구성하여 10Gb/s 이더넷에 대한 표준을 개발하기 시작하였고, 2002년 6월 12일 IEEE 표준 802.3ae 10Gb/s 이더넷이 공식적으로 승인되기에 이르렀다. 10기가비트 이더넷의 주요 목적은 다음과 같다<sup>[1]</sup>.

- 10Gb/s를 지원하는 전이중 방식의 이더넷 MAC 제공(반이중 방식 제외)
- 10Gb/s로 동작하는 새로운 물리계층 정의
- IEEE 802.2 LLC 및 IEEE 802 기능적 요구사항 준수
- IEEE 802.3 이더넷 프레임 형식 유지
- 10Gb/s의 XGMII(10Gigabit Media Independent Interface) 제공
- 10Gb/s의 LAN 물리계층 및 SONET STS-192c를 지원하는 물리계층 제공
- 최대 40Km까지 네트워크 길이 확장을 허용
- IEEE 802.3 표준의 최소 및 최대 프레임 크기 유지
- 지점간 링크와 구조적 케이블을 이용하는 스타 토폴로지 지원
- ISO/IEC 11801에서 선정한 광섬유 매체 지원

10기가비트 이더넷은 기존의 이더넷의 프레임 형식을 준수하면서 속도를 10Gb/s로 향상시킨 기술이며, 기가비트 이더넷까지 지원해오던 반이중 방식은 지원하지 않고 있다. 10기가비트 이더넷의 특징은 다음과 같다.

- 네트워크 설치 및 관리 비용이 적게 요구되고, LAN뿐 아니라 WAN 영역에서도 10

Gb/s를 제공할 수 있기 때문에 LAN, MAN, WAN을 통합할 수 있는 가장 경제적인 수단이다.

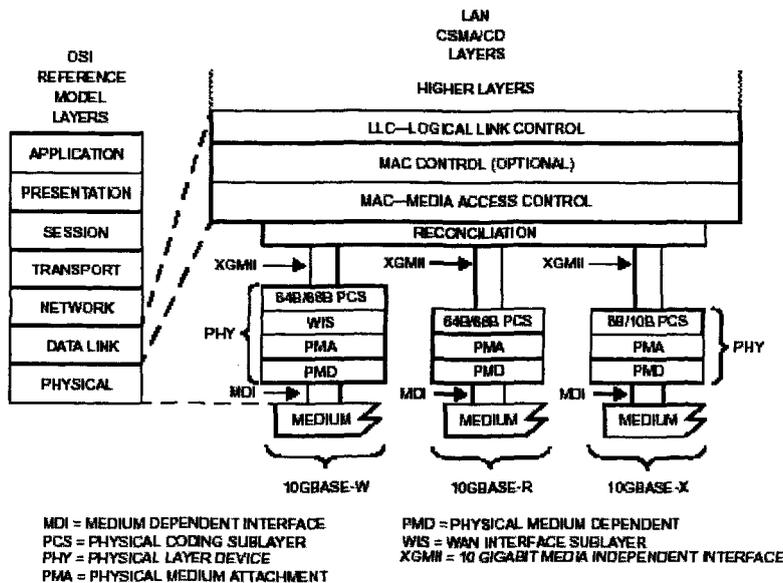
- 기존 이더넷 기반의 네트워크를 통합할 때 프레임의 분할, 재조립, 주소 번역을 할 필요가 없기 때문에 이미 설치된 6억개 이상의 이더넷 노드와 프로토콜 변환없이 호환가능하다.
- 스위치에 모듈을 추가함으로써 손쉽게 네트워크를 확장할 수 있다.
- 데이터에 최적화되었기 때문에 QoS의 제공은 상위계층에 의존해야만 한다.

10 기가비트 이더넷은 LAN, MAN, WAN 영역에서 광범위한 수요가 있다. 오늘날, 대다수의 인터넷 트래픽은 이더넷에서 시작되어 이더넷으로 종료된다. 기업용 LAN의 90% 이상이 이더넷이며, 새로 설치되는 LAN의 95% 이상이 이더넷이다. 데스크탑은 10 Mb/s에서 100 Mb/s로 업그레이드되고 있으며, 백본 네트워크는 100 Mb/s에서 기가비트로 이행되고 있다. 결국, 기가비트 이더넷은 10 기가비트 이더넷의 수요를 창출하게 될 것이며, 10 기가비트 이더넷은 기존

장비를 폐기하지 않고 적은 비용으로 고속 LAN을 구축할 수 있어 많은 수요가 발생하게 될 것이다. MAN은 주로 캠퍼스 및 기업 네트워크의 백본으로 사용되어 왔다. 이미 설치된 백본 케이블링의 기반구조를 계속 활용하면서 10 기가비트 이더넷 기술을 마지막 에지 영역에 적용할 수 있어 MAN의 고속화를 위한 좋은 대안이 될 수 있다. WAN은 ISP 및 인터넷 백본 설비를 포함하고 있으며, WAN 액세스 포인트는 대개 SONET STS-192c의 데이터율을 제공한다. 10 기가비트 이더넷은 WAN의 STS-192c의 데이터율로 동적으로 적응시킬 수 있는 메커니즘을 가지고 있기 때문에 WAN의 영역에서도 SONET과 경쟁을 할 것으로 예상된다.<sup>[2]</sup>

## II. 10 기가비트 이더넷 구조

10 기가비트 이더넷은 IEEE 802.3 MAC과 다양한 10Gb/s 물리계층을 결합한 구조로서 OSI 참조 모델의 데이터 링크 계층 및 물리 계층



<그림 1> 10 기가비트 이더넷의 구조

과 관련된다.<sup>[3]</sup>

MAC 부계층은 기존의 이더넷과 동일한 프레임 형식을 가지나, 반이중 방식은 제공하지 않고 전이중 방식만을 지원한다. 또한 페이싱(Pacing) 메카니즘을 제공함으로써 10Gb/s 이하의 STS-192-c 데이터율을 지원할 수 있도록 한다.

Reconciliation 부계층에서는 MAC 부계층으로부터 프레임을 전달받아 32 비트 크기의 물리계층에 적절한 신호로 매핑한다.

XGMII는 MAC 부계층과 물리계층간의 표준 인터페이스로서 하나의 MAC 부계층을 다양한 형태의 물리계층(10GBASE-X, 10GBASE-R, 10GBASE-W)과 함께 사용할 수 있도록 한다. 또한 물리계층 유형에 관계없이 10Gb/s 데이터율로 매체 독립적인 인터페이스를 제공하며, 전이중 통신을 제공할 수 있도록 32 비트 크기의 별도의 송신 및 수신 데이터 경로를 제공하고 있다.

PCS 부계층에서는 XGMII로부터 전달받은 32 비트 크기의 데이터 신호를 인코딩한다. 인코딩 기법은 물리계층 유형에 따라 8B/10B 또는 64B/66B 등이 사용된다. 8B/10B 인코딩은 10GBASE-X와 같이 LAN 물리계층에서 적용되며, 8 비트를 10 비트 코드그룹으로 변환한다. 64B/66B는 10GBASE-R과 같은 LAN 물리계층과 10GBASE-W와 같은 WAN 물리계층에 적용된다. 이러한 인코딩 기법은 PCS 부계층에서 입력 데이터 스트림에 있는 DC 성분을 제거함으로써 타이밍 동기를 제공할 수 있도록 해준다.

PMA 부계층에서는 PCS 부계층에서 인코딩된 데이터를 직렬화시켜 다양한 형태의 직렬 물리매체를 지원한다.

PMD 부계층에서는 서로 다른 형태의 광 전송 매체마다 서로 다른 광 트랜시버를 사용하여 광 신호를 전송한다.

MDI는 광 전송매체와의 커넥터를 의미하며, 서로 다른 물리매체 및 광 트랜시버에 따라 서로 다른 커넥터를 정의한다.

WIS는 PCS로부터 인코딩된 데이터를 SONET OC-192c 프레임으로 변환한다.

### III. 10 기가비트 이더넷 MAC 부계층

#### 1. 반이중 통신 이더넷

초기의 이더넷은 버스 토폴로지를 기반으로 쉽게 설치할 수 있고, 공유매체를 사용하여 저렴한 비용으로 LAN을 구축할 수 있어 널리 활용되었다. 초기 이더넷은 동축케이블과 같은 공유매체를 통해 다수의 스테이션을 직접 연결하고, 매체를 액세스하기 위해 CSMA/CD 프로토콜을 사용하였다. CSMA/CD 기반의 이더넷은 충돌을 피하기 위해 캐리어를 감지(Carrier Sense)하고, 캐리어를 감지하면 전송을 시작한다. 두 개 이상의 스테이션이 캐리어를 감지하고 동시에 프레임을 전송하면 필연적으로 충돌이 발생된다. 따라서 초기 이더넷은 동시에 둘 이상의 스테이션이 프레임을 전송할 수 없는 반이중 통신만을 지원한다. 그러나 반이중 방식은 CSMA/CD의 특성으로 인하여 케이블 세그먼트의 거리가 제한된다.<sup>[4]</sup> 케이블의 한쪽 끝에 있는 스테이션(A)이 프레임을 전송하기 시작해서 케이블의 다른 한쪽 끝에 있는 스테이션(B)까지 첫 번째 비트가 전파되는 동안 다른 스테이션이 전송을 하지 않으면 충돌이 발생하지 않는다. 첫 번째 비트가 스테이션 B에 도착되기 바로 전에 스테이션 B가 프레임을 전송하기 시작하면 충돌이 발생하게 된다. 스테이션 B는 충돌을 즉시 감지할 수 있고, 재밍 신호를 보내 충돌이 일어났음을 알리며, 재밍 신호가 스테이션 A에게 전파된 후 A는 충돌을 감지하게 된다. 결과적으로 충돌을 감지(Collision Detection)하기 위한 시간은 최대 전파 지연 시간의 두 배이다.

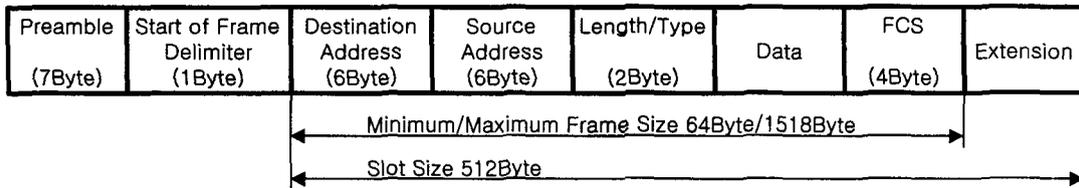
CSMA/CD에서는 프레임의 전송이 완료되기 전에 충돌을 감지할 수 있도록 패킷의 길이가 충분히 커야만 한다. 패킷의 길이가 짧으면, 전송을 마치기 전에 충돌을 감지할 수 없어 CSMA 프로토콜과 동일해진다. 충돌을 감지하기 위한 최소 시간을 슬롯 타임이라 하며, 슬롯 타임동안 전송할 수 있는 바이트 수를 슬롯 크기라고 한다. 초기 이더넷은 충돌을 감지하기 위한 최소 프레

임 크기 및 슬롯 크기를 64 바이트로 정의하고 있다. 예로써 10 Mbps 이더넷의 비트 타임은 0.1us이고, 64 바이트(512 비트)의 전송시간은 51.2us이다. 케이블 세그먼트의 길이를 확장하기 위해 최대 4개의 리피터를 사용(4 리피터 규칙)하는 경우, 10BASE5의 최대 케이블 길이는 2500 미터이고, 10BASE-T는 500 미터이다. 이 경우 충돌을 감지하기 위한 최대시간은 NIC(1 us)와 리피터(2us)의 처리 지연 및 케이블의 전파 지연(0.55us/100m)을 포함한 전체 지연의 두 배이며, 최소 프레임의 길이 51.2us보다 작기 때문에 전송을 마치기 전에 충돌을 감지할 수 있어 적절한 CSMA/CD의 동작을 보장할 수 있다.

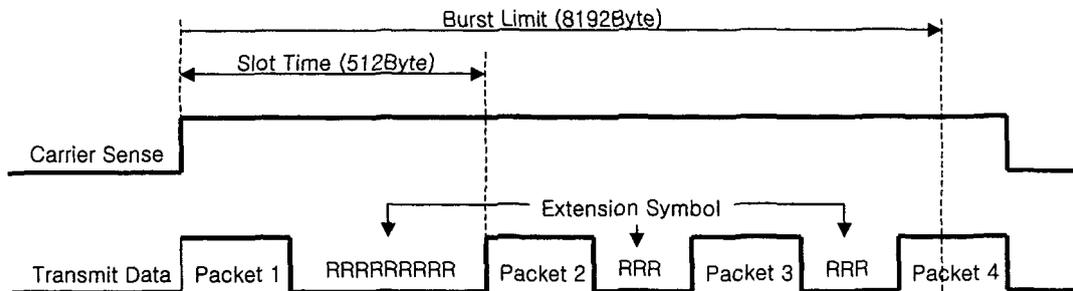
100 Mb/s의 패스트 이더넷 및 1000 Mb/s의 기가비트 이더넷의 경우처럼 비트율이 증가되면 프레임 전송시간이 더욱 빨라지게 된다. 만일 최소 프레임 크기 및 케이블 세그먼트의 길이가 10 Mbps 이더넷의 경우와 동일하다면, 충돌을 감지하지 못하게 되는 문제점이 발생된다. 이러한 문제를 해결하기 위한 대안은 케이블 세그먼트의 길이를 줄이거나 최소 프레임의 크기를 증가시키

는 것이다. 패스트 이더넷은 충돌 감지 문제를 해결하기 위해 최소 프레임의 크기는 변경하지 않고 최대 케이블 세그먼트의 길이를 100 미터로 제한하였다. 그러나 기가비트 이더넷에 동일한 방법을 적용한다면, 최대 케이블 세그먼트의 길이를 10 미터로 줄여야만 한다. 10 미터 거리에서만 기가비트로 전송할 수 있는 이더넷의 응용이 얼마나 많을 것인가? 따라서 기가비트 이더넷은 충돌을 감지하기 위한 슬롯크기를 512 바이트(4096 비트)로 증가시킴으로써 충돌 감지 문제를 해결하였고, 기존의 이더넷과 호환성을 제공하기 위해 최소 프레임 크기는 동일한 크기로 유지하였다. 프레임의 크기가 512 바이트보다 작은 경우, 기가비트 이더넷은 페이로드에 나타나지 않는 특별한 형태의 확장 심볼을 프레임의 끝에 추가하는 Carrier Extension 기법을 사용하였다. <그림 2>는 기가비트 이더넷의 프레임 형식을 보여준다.

Carrier Extension은 충돌 감지를 위해 최대 448 바이트의 패딩을 하기 때문에 대역폭이 낭비되고 처리율을 감소시킨다. 이에 대한 대안으로 소개된 프레임 버스팅 기법은 송신 스테이션이



<그림 2> 기가비트 이더넷 프레임 형식



<그림 3> 기가비트 이더넷의 프레임 버스팅 기법

첫번째 프레임을 성공적으로 전송하고 나서 매체에 대한 경쟁 없이 다른 프레임을 전송할 수 있다. 첫번째 전송 프레임은 슬롯 크기에 맞추어 확장 심볼을 패딩하고, 이후의 패킷은 버스트 타이머가 만료될 때까지 12 바이트 크기의 최소 IFG (Inter Frame Gap) 동안만 패딩을 수행한다. <그림 3>은 프레임 버스팅 기법을 보여주고 있다.

### 2. 전이중 통신 이더넷

1995년에 등장한 패스트 이더넷부터는 각 스테이션에게 트위스트 페어와 같은 전용매체를 제공하고, 트위스트 페어 연결을 이더넷 스위치에 연결하여 내부적으로 프레임을 스위칭함으로써 두 스테이션 간에 전이중 통신을 지원하기 시작하였다.

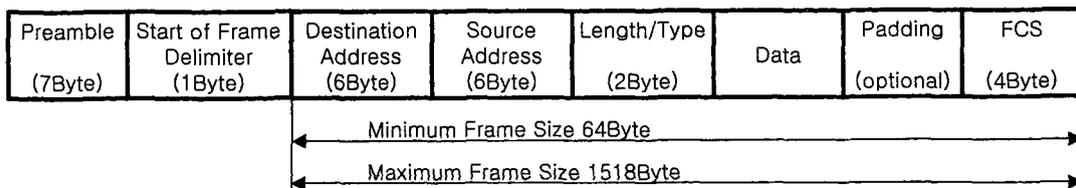
전이중 방식에서는 이더넷 스위치의 두 개의 포트 사이에 일시적으로 스위칭되는 전용 연결을 통해 통신을 한다. 따라서 목적지 스테이션이 프레임을 수신할 준비가 되어 있다면 충돌없이 언제든지 전송할 수 있다. 충돌이 발생되지 않기 때문에 충돌을 피하기 위한 캐리어 감지 및 충돌 감지 기능이 불필요하며, 충돌을 감지하기 위한 Carrier Extension 및 프레임 버스팅 기법 등도 불필요하다. 또한 CSMA/CD 프로토콜을 사용하기 때문에 요구되었던 케이블 세그먼트의 길이 제약에서 벗어날 수 있어 보다 먼거리까지 프레임을 전송할 수 있게 되었다. 케이블의 길이는 단지 물리매체, 물리 디바이스, 인코딩 기법 등의 특성에 의해서만 제약받게 된다. 이는 이더넷이 LAN의 범위를 벗어나 WAN의 영역까지 확장될 수 있음을 의미한다. 따라서 전이중 통신만을 지원하는 10 기가비트 이더넷은 WAN의 영역에서 고속 데이터 전송을 제공할 수 있는 백본으로

사용될 수 있게 되었고, 기존의 SONET 등과 같은 고속 WAN 백본 기술과 치열한 경쟁을 시작하게 되었다.

### 3. 10 기가비트 이더넷 프레임

10 기가비트 이더넷의 MAC 부계층은 기존의 이더넷과 동일한 프레임 형식을 사용하고 있다. 따라서 프레임의 단편화, 재조립 및 주소변환이 불필요하며, 기존의 이더넷과 투명하게 통합할 수 있는 장점이 있다. 그러나 고속의 데이터를 제공하기 위하여 CSMA/CD를 기반으로 하는 반이중 통신은 지원하지 않으며, 전이중 통신만을 지원하고 있다. 또한 MAC 부계층의 10Gb/s 데이터율을 9.584640Gb/s의 SONET 기반 WAN 인터페이스 데이터율로 적응시키기 위한 페이싱 메커니즘을 제공함으로써 LAN 물리계층뿐 아니라 WAN 물리계층을 지원한다.<sup>[3][5]</sup> MAC 부계층은 LLC 계층으로부터 프레임의 전송을 요청받고, 캡슐화하여 프레임을 전송하거나, 수신되는 프레임을 LLC 계층으로 반환함으로써 MAC 클라이언트인 상위 LLC 계층에게 서비스를 제공한다.

<그림 4>는 캡슐화한 10 기가비트 이더넷의 프레임 구조를 보여준다. 프리앰블은 수신측에게 타이밍 동기를 제공하기 위해 0과 1이 교대로 나타나는 비트 패턴이다. 프레임 시작 구분자는 10101011 값을 갖는 비트열로서 프레임의 시작을 나타내기 위한 필드이다. 10 기가비트 이더넷 프레임에는 각각 48비트 크기의 두 개의 주소 필드를 포함한다. 목적지 주소는 프레임을 수신할 목적지 MAC 엔티티(물리주소)를 명시하며, 유니캐스트, 멀티캐스트, 브로드캐스트 주소를 사용할 수 있다. 송신자 주소는 프레임을 전송하는 송



<그림 4> 10 기가비트 이더넷 프레임 구조

신자 MAC 엔티티를 명시하며, 유니캐스트 주소를 사용한다. 길이 필드는 데이터 필드의 길이 값을 명시한다. 데이터 필드는 LLC 부계층이 전달한 MAC SDU(Service Data Unit)이다. 패딩 필드는 기존 이더넷과 호환성을 제공하기 위해 전송 프레임의 크기가 최소 프레임의 크기인 64 바이트보다 작을 때 바이트(패드)를 추가함으로써 프레임의 크기를 64 바이트로 만들어준다. FCS는 프레임 에러를 검사하기 위한 필드이며, 상위 MAC 클라이언트가 FCS를 제공하면 제공한 값을 사용하고, 그렇지 않으면 로컬 MAC 엔티티가 CRC를 계산하여 프레임의 끝에 추가한다.

#### 4. 페이싱 메카니즘

10 기가비트 이더넷은 최대 40Km까지 전송 거리를 확장할 수 있게 되어 LAN뿐 아니라 WAN 영역까지 이더넷 응용을 확장할 수 있게 되었다. 그러나 데이터율을 높고 LAN 사업자와 WAN 사업자의 참여한 대립이 진행되어 왔다. WAN 사업자는 9.584640Gb/s의 SONET STS-192c/SDH VC-4-64c를 주장하였고, LAN 사업자는 기가비트 이더넷의 10배 크기인 10Gb/s를 주장하였다. 결국 10 기가비트 이더넷은 두가지 데이터율을 지원하도록 별도의 규격을 정의하게 되었다.<sup>[3]</sup> 10 기가비트 이더넷의 MAC 부계층은 10 Gb/s의 데이터율을 SONET/SDH 데이터율로 적응시키기 위해 IFG(Inter Frame Gap) 확장 기법을 사용한다. MAC 부계층에서는 한 프레임을 전송한 후 다음 프레임을 전송할 때까지 최소 IFG(96 비트)를 정의하여 프레임 전송을 지연시킴으로써 CSMA/CD 부계층 및 물리매체에 대해 프레임간 복구시간을 제공한다. SONET과 연동시키기 위해 10 기가비트 이더넷은 평균 데이터율을 줄이기 위해 최소 IFG의 길이를 증가시킨다.

Stretch\_Size

$$=(\text{Stretch\_Count} + \text{헤더크기} + \text{프레임크기} + \text{최소 IFG}) \div \text{StretchRatio}$$

Stretch\_Count

$$=(\text{Stretch\_Count} + \text{헤더크기} + \text{프레임크기} + \text{최소 IFG}) \bmod \text{StretchRatio}$$

IFG를 확장하기 위해 StretchingRatio(104 비트)를 정의하고, 전송한 프레임의 길이에 비례하는 Stretch\_Size를 계산한다. Stretch\_Size는 IFG를 확장하기 위해 최소 IFG에 추가되는 바이트 수이다. Stretch\_Count는 초기에 0으로 설정되며, 다음 프레임을 전송할 때 IFG를 확장하기 위해 사용되는 값이다.

## IV. 10 기가비트 이더넷 물리계층

### 1. 물리계층 유형

전송매체로 광섬유만을 사용하는 10 기가비트 이더넷은 다양한 유형의 물리계층을 지원하고 있다. 물리계층은 전송매체 유형, 인코딩 기법, 파장수에 따라 구분할 수 있다. 전송매체 유형은 파장에 따라 S(Short Wavelength, 850 nm), L(Long Wavelength, 1310nm), E(Extra Long Wavelength, 1550 nm)로 구분한다. 인코딩 기법은 코딩 기법에 따라 X(8B/10B), R(64B/66B), W(SONET encapsulation of 64B/66B)로 구분된다. 파장수는 트랜시버가 송수신하는 파장수에 따라 1(Serial), 4(WWDM)로 구분된다. 물리계층 유형별로 적절한 물리 부계층이 통합됨으로써 물리계층을 구현할 수 있다.<sup>[3]</sup>

### 2. Reconciliation 부계층 및 XGMII

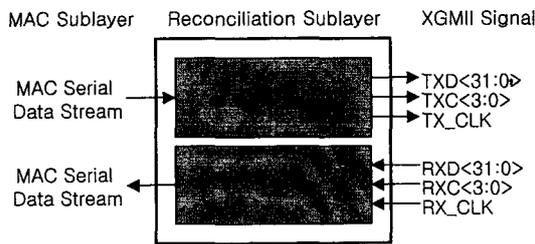
(10 Gigabit Media Independent Interface)

Reconciliation 부계층은 MAC 부계층의 시리얼 데이터 스트림을 전달받아 XGMII의 병렬 신호로 매핑한다. 전이중 방식을 지원하기 위해 송신 및 수신 경로에서 32 비트 크기의 데이터 신호, 4 비트 크기의 제어신호, 1 비트 크기의 클럭 신호를 독립적으로 전달한다.

XGMII의 TXD<31 : 0>와 TXC<3 : 0> 신호

〈표 1〉 물리계층 유형별 부계층 요구사항

물리계층 유형	물리 부계층							
	8B/10B PCS & PMA	64B/66B PCS	WIS	Serial PMA	850 nm Serial PMD	1310 nm Serial PMD	1550 nm Serial PMD	1310 nm WDM PMD
10GBASE-SR		○		○	○			
10GBASE-SW		○	○	○	○			
10GBASE-LX4	○							○
10GBASE-LR		○		○		○		
10GBASE-LW		○	○	○		○		
10GBASE-ER		○		○			○	
10GBASE-EW		○	○	○			○	



〈그림 5〉 Reconciliation 부계층과 XGMII의 구조

는 각각 8 비트 크기의 데이터 신호와 1 비트 크기의 제어 신호로 구성되는 4개의 레인으로 나뉘어진다. 클럭 신호는 10Gb/s로 동작하기 위해 타이밍을 제공해주며, 4개의 레인에서 공통적으로 사용한다. 제어신호는 8 비트 크기의 데이터 경로로 전달되는 신호가 데이터인지 제어문자인지 나타낸다. 제어신호가 0이면 데이터 경로로 전달되는 신호는 데이터이다. 제어신호가 1이면 8비트 크기의 데이터 경로로 전달되는 값에 따라 START(프레임 시작), Terminate(프레임 종료), IDLE(IFG 동안 생성되며 전송할 데이터가 없음을 의미) 등 제어문자를 나타낸다. XGMII의 인터페이스 길이는 약 7cm 정도로 제한되며, XGMII 인터페이스의 거리를 확장시키기 위해 XGXS(XGMII eXtender Sublayer)와 XAUI(10 Gigabit eXtended Attachment Unit Interface)를 사용할 수도 있다.

### 3. 10 GBASE-X 물리계층

10GBASE-X는 8B/10B PCS 부계층, PMA 부계층, PMD 부계층의 기능이 통합된 형태이다. PCS 부계층에서는 XGMII로부터 전달받은 8 비트 크기의 4 레인 신호에 대해 각각 8B/10B 인코더를 이용하여 10 비트 크기의 코드블록을 생성한다. 8B/10B 코딩 기법은 직류 성분을 제거할 수 있고, 특별한 형태의 제어문자를 제공할 수 있어 기가비트 이더넷의 표준으로도 채택되었다. 따라서 10Gb/s 이더넷과 기가비트 이더넷을 적은 비용으로 투명하게 통합하기 위한 좋은 대안으로 사용될 수 있으나 오버헤드가 25%나 되기 때문에 대역폭 효율이 저조한 특성을 가진다. PMA 부계층에서는 PCS로부터 4 레인의 10 비트 신호를 전달받고 각 레인의 신호에 대해 시리얼 비트 스트림으로 변환시킨다. PMD 부계층에서는 PMA로부터 4 레인의 1 비트 크기의 신호를 전달받고, 레인마다 광 트랜시버를 이용하여 광 신호를 생성한 후 WDM 다중화를 통해 MDI로 전달한다.

10GBASE-X는 PCS, PMA, PMD에서 4 레인 신호를 병렬적으로 처리한다. 10 Gb/s의 XGMII의 데이터율은 8B/10B 인코더를 통해 12.5Gb/s의 데이터율로 변환되지만, 병렬로 처리하기 때문에 각 레인별로 3.125Gb/s의 데이터율로 동작된다. 따라서 CMOS 기술을 이용한

값싼 디바이스를 사용할 수 있다. 그러나 레인마다 서로 다른 타이밍 지터가 발생할 수 있고, 레인별로 별도의 디바이스를 사용해야만 한다.

#### 4. 10 GBASE-R 및 10 GBASE-W 물리계층

10GBASE-R은 64B/66B PCS 부계층, PMA 부계층, PMD 부계층의 기능이 통합된 형태이다. PCS 부계층에서는 XGMII가 전달한 두 개의 32 비트 크기의 신호를 결합한 64 비트 크기의 신호를 64B/66B 인코더를 이용하여 코드블록을 생성한다. 64B/66B 코딩 기법은 64비트 신호를 스트랩블한 후 2 비트의 동기 헤더를 추가하여 66 비트 크기의 신호를 생성한다. 동기헤더는 생성된 코드블록이 데이터 블록인지 제어블록인지를 나타낸다. 동기헤더 두 비트가 01인 경우는 데이터 블록을 의미하고, 10인 경우에는 생성된 코드블록의 첫 번째 바이트의 값에 따라 제어블록, 데이터블록, 제어블록과 데이터블록이 혼합되었음을 나타낸다. 64B/66B는 오버헤드가 작기 때문에 LAN 및 WAN 응용에 적용할 수 있는 물리계층 규격이다. PMA 부계층에서는 PCS로부터 66 비트 신호를 전달받고 시리얼 스트림으로 변환시킨다. PMD 부계층에서는 PMA로부터 전달받은 1 비트 크기의 신호를 광 트랜시버를 이용하여 광 신호를 생성한 후 MDI로 전달한다.

10GBASE-R에서는 XGMII의 10Gb/s 데이터율이 64B/66B 인코더를 통해 10.3Gb/s의 데이터율로 변환되고, PMA, PMD에서도 10.3 Gb/s의 데이터율로 동작된다. 따라서 WDM 다중화를 수행할 필요가 없고, 타이밍 지터 문제도 줄어들게 되며, 하나의 디바이스만을 필요로 한다. 반면에 고속으로 동작해야만 하기 때문에 값비싼 디바이스를 사용해야만 한다.

10GBASE-W는 SONET STS-192c를 지원하기 위해 표준화되었고, 10GBASE-R과 두 가지 기능만 제외하고 동일하다. 첫째, PCS 부계층은 XGMII로부터 10Gb/s의 데이터율로 신호

를 전달받는다. XGMII가 전달한 신호에는 MAC 부계층에서 생성한 프레임, 최소 IFG, 최소 IFG에 추가한 여분의 IFG가 포함된다. PCS 부계층은 여분의 IFG를 제거하여 9.29Gb/s의 데이터율을 갖는 신호를 생성하고, 64B/66B 인코딩을 수행한 후 9.58Gb/s의 신호를 생성한다. 둘째, PCS에서 인코딩된 9.58Gb/s 신호는 PMA로 직접 전달하지 않고 WIS 부계층으로 전달하여 9.95Gb/s의 SONET STS-192c 신호로 변환시킨 후 PMA에게 전달한다.

## V. 10 기가비트 이더넷 산업 동향

2000년 2월에 10GEA(10 Gigabit Ethernet Alliance)가 쓰리콤, 시스코 시스템즈, 엑스트림네트웍스, 인텔, 노텔 네트워크스, 선 마이크로시스템즈, 월드 와이드 패킷의 7개 회사를 창립멤버로 하여 발족되었다. 2002년 5월 현재 LAN 시스템 업체, MAN/WAN 시스템 업체, 광 소자 및 모듈 업체, 칩 제조업체 등 99개의 회사가 참여하고 있으며, 국내 회사로는 파이온, 삼성전자, 한국전자통신연구원 등이 참여하고 있다. 10GEA는 10 기가비트 이더넷에 대한 표준화 활동, 구현, 활용을 촉진하고, 10 기가비트 이더넷 시장을 활성화하며, 업체간 상호 운용성을 증진시키는 것을 목적으로 하고 있다.<sup>[6]</sup> 10 기가비트 이더넷은 네트워크의 고속화 실현, WAN 영역까지 이더넷을 확장, 기존 이더넷과 호환되므로 비용을 절감할 수 있어 그 수요가 크게 늘어날 전망이다. 10 기가비트 이더넷의 응용이 우선 MAN의 핵심 장비인 10기가비트 이더넷 스위치에 적용될 것으로 예상됨에 따라 시스코시스템즈·노텔네트웍스를 비롯한 파운드리네트웍스·어바이어·리버스톤네트웍스·엑스트림네트웍스 등 네트워크 장비 업체들은 표준화가 되기 이전부터 독자적인 기술을 적용한 상용화 제품을 개발하여 시장을 선점하기 위해 경쟁하고 있다.

## 1. 국외 산업 동향

텍사스 인스트루먼트는 2001년 3월 업계 최초로 10기가비트 이더넷 시리얼 트랜시버인 TLK3104SA를 CMOS 기술을 이용하여 개발하였다. TLK3104SA는 XGMII 및 XAUI 인터페이스를 지원하는 4 채널 시리얼 트랜시버로서 채널당 3.125Gbps를 지원한다. 또한 8B/10B 인코딩을 제공하며, 4 채널 트랜시버는 별개의 링크로 구성되거나 4 채널 트랜시버가 함께 하나의 데이터 경로로 동기될 수도 있다. TLK3104SA는 LAN, MAN, WAN 시스템 회사가 백플레인, 스위치, 라우터 등을 대상으로 시리얼 트랜시버를 장착한 10기가비트 이더넷 시스템의 개발을 가능케 하며, 광 모듈 회사의 솔루션에 시리얼 트랜시버의 기능을 통합할 수 있도록 한다.<sup>[7]</sup> 시스코 시스템즈는 Catalyst 6500 스위치에 적용할 수 있는 두 가지 10기가비트 이더넷 모듈을 개발하여 이더넷 스위치 시장을 주도하고 있다. 10GBASE-LR을 지원하는 WS-G6488 이더넷 모듈은 업계 최초로 상용화된 이더넷 모듈로서 1310nm 시리얼 물리계층을 지원하고 있으며, 싱글모드 광섬유를 이용하여 10Km까지 확장할 수 있어 캠퍼스내 빌딩간 연결에 적용할 수 있다. 10GBASE-ER을 지원하는 WS-G6483 이더넷 모듈은 1550nm 시리얼 물리계층을 지원하는 이더넷 모듈로서 싱글모드 광섬유를 이용하여 40Km까지 10Gb/s의 속도를 제공할 수 있어 데이터센터 미러링, 캠퍼스간 연결 등 MAN 응용에 적합하다.<sup>[8]</sup> XILINK사는 IEEE 802.3ae Draft 4.1을 지원하는 10기가비트 이더넷 MAC을 구현하였다. 이더넷 MAC의 주요 특징은 MAC 코어는 전이중 방식의 10Gb/s를 지원하며, 물리계층 인터페이스로 XGMII 또는 XAUI를 선택할 수 있으며, 버퍼링을 최소화하기 위해 Cut-Through 기법을 제공하며, 내부 카운터에 대한 강력한 통계정보 수집 기능을 제공하며, 흐름 제어 기능을 제공하며, 개방 루프 데이터율 제어 기능을 통하여 LAN 및 WAN (STS-192c 데이터율)을 지원하며, VLAN 프레임 지원하며, IFG를 조정할 수 있으며, Reconciliation 부계층에서 오

류 시그널링 등을 지원한다.<sup>[9]</sup>

## 2. 국내 산업 동향

국내에서도 차세대 네트워크 장비로 주목받고 있는 10기가비트 이더넷 스위치의 국산 개발작업이 본격 추진되고 있다. 10기가비트 이더넷 스위치 개발이 정보통신 선도기반기술개발사업 과제의 하나로 선정됨에 따라 한국전자통신연구원 주관 아래 9개 민간업체가 참여하는 컨소시엄이 구성돼 오는 2003년까지 상용화 제품 개발을 목표로 본격적인 제품 개발을 하고 있다. 정부예산 130억원과 민간업체 부담금 130억원 등 총 260억원의 예산이 투입되는 10기가비트 이더넷 스위치 개발사업에 참여하는 민간업체는 삼성전자, LG전자, 머큐리, 이스텔시스템즈, 다산인터넷, 다인텔레콤, 신영텔레콤, IT, 파이온 등으로 삼성전자, LG전자, 다산인터넷은 백본 스위치 개발을, 머큐리, 이스텔시스템즈, IT는 전송 부문의 개발을 담당하고 있다. 또한 다인텔레콤과 신영텔레콤은 에지 스위치, 통신용 반도체 개발업체인 파이온은 칩셋 개발을 담당하고 있다.<sup>[10]</sup>

## VI. 결 론

ATM을 기반으로 성장해온 WAN 사업자와 이더넷을 기반으로 하는 LAN 사업자는 새로운 충돌 국면에 접어들었다. ATM이 WAN의 영역에서 LAN의 영역으로 기반을 확대하면서 첫 번째 충돌을 하였고, LAN 진영은 성능 대비 적은 비용을 갖는 기가비트 이더넷을 가지고 LAN의 영역을 굳건하게 지켰다. 이제 10기가비트 이더넷이 등장하면서 LAN 진영은 WAN 영역으로 진출을 시도하고 있다. 데이터율 조정이라는 LAN과 WAN간의 타협책이 제공되었지만, 두 진영의 공존을 영원히 보장하는 것은 아니다.

결국에는 10Gb/s의 속도를 얻기 위해 기가비트 이더넷 비용의 3배 정도를 요구하며, 기존에

설치된 이더넷 기술과 통합이 용이한 10 기가비트 이더넷이 새로운 충돌 국면에서 우위를 차지할 것으로 보인다. 네트워크 관리자가 현재보다 빠른 네트워크를 선택할 때는 비용, 확장, 관리가 용이한 네트워크를 선택할 것이기 때문이다.

#### 참 고 문 헌

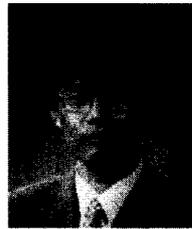
- [1] <http://grouper.ieee.org/groups/802/3/ae/objectives.pdf>
- [2] [http://www.cisco.com/warp/public/cc/techno/lnty/etty/ggetty/tech/10gig\\_wp.pdf](http://www.cisco.com/warp/public/cc/techno/lnty/etty/ggetty/tech/10gig_wp.pdf)
- [3] Media Access Control (MAC) Parameters, Physical Layer, and Management Parameters for 10Gb/s Operation, IEEE Draft P802.3ae/D4.01, 2002. 2
- [4] [http://www.cis.ohio-state.edu/~jain/cis788-97/gigabit\\_ethernet/index.htm](http://www.cis.ohio-state.edu/~jain/cis788-97/gigabit_ethernet/index.htm)
- [5] <http://www.cis.ohio-state.edu/~jain/cis788-99/10gbe/index.htm>
- [6] <http://www.10gea.org/>
- [7] <http://www.ti.com/sc/docs/news/2001/01070.htm>
- [8] [http://www.cisco.com/warp/public/cc/pd/ifaa/6500ggml/prodlit/10c65\\_ds.htm](http://www.cisco.com/warp/public/cc/pd/ifaa/6500ggml/prodlit/10c65_ds.htm)
- [9] [http://www.xilinx.com/ipcenter/catalog/logicore/docs/ten\\_gig\\_eth\\_mac.pdf](http://www.xilinx.com/ipcenter/catalog/logicore/docs/ten_gig_eth_mac.pdf)
- [10] 10 기가비트 이더넷 스위치 국산개발 추진, 전자신문, 2001. 4

## 저 자 소 개



### 李 東 垠

1991년 2월 전북대학교 전자계산기공학과(공학사), 1996년 2월 전북대학교 컴퓨터공학과(공학석사), 2000년 2월 전북대학교 컴퓨터공학과(공학박사), 1991년 1월~1993년 11월: 포스데이타(주), 2000년 3월~현재: 청운대학교 인터넷컴퓨터학과 교수, <주관심 분야: 광대역통신, 무선통신, 고속LAN, 인터넷>



### 趙 相 燁

1986년 2월 한남대학교 전자계산학과(공학사), 1988년 8월 중앙대학교 전자계산학과(이학석사), 1993년 8월 중앙대학교 전자계산학과(공학박사), 1993년 10월~1995년 2월: 중앙대학교 컴퓨터소프트웨어연구소 객원연구원, 1995년 3월~현재: 청운대학교 인터넷컴퓨터학과 교수, <주관심 분야: 인공지능, 퍼지이론, 패트리네트 응용, 인터넷>