

論文2002-39SD-10-9

# 저전압 저전력 CMOS 복합 트랜스컨덕터 설계

## (Design of A CMOS Composite Transconductor for Low-voltage Low-power)

李 根 浩 \*

(Geun-Ho Lee)

## 요 약

두 가지 방식을 이용하여 넓은 동작 영역을 갖는 복합 트랜지스터를 제안하고, 이를 이용하여 새로운 트랜스컨덕터를 설계하였다. 저전압 저전력 특성을 위해 첫 번째 제안한 복합 트랜지스터 I은 P형 폴딩드(P-type folded) 복합 트랜지스터를 이용하였으며, 복합 트랜지스터 II는 복합 다이오드 방식을 이용하여 문턱전압을 감소하였다. 이와 더불어 제안된 트랜지스터가 전류원에 의해 동작 영역이 제한되는 원인을 고찰하였으며, 응용 회로로 설계된 트랜스컨덕터의 특성을 해석하였다. 설계된 회로는 0.25 $\mu\text{m}$  CMOS n-well 공정 파라미터를 이용하여 HSPICE 시뮬레이션 하였다.

## Abstract

Two CMOS composite transistors with an improved operating region by reducing the threshold voltage are proposed in this paper. And also, as an application of the proposed composite transistors, the transconductor is designed. The proposed composite transistor I and II employ a P-type folded composite transistor and a composite diode in order to decrease the threshold voltage, respectively. The limitation of the operating region of these transistors by current source is described. All circuits are simulated by HSPICE using 0.25 $\mu\text{m}$  n-well process.

## I. 서 론

디지털과 아날로그 회로의 고집적화가 가능해 지면서 각각의 칩(chip)에 구현되던 시스템들이 하나의 칩 안에 모두 구현 될 수 있게 되었다. 따라서 전자시스템들의 최종 연구목표는 소형화와 경량화이며, 이러한 연구 추세는 오늘날 중요한 생활 기기의 하나로 등장한 휴대폰, 호출기 등의 이동 통신시스템과 노트북 컴퓨터 등의 이동식 전자시스템을 통해 알 수 있듯이, 상용화된 이동장비들에 의해 그 중요성이 크게 증가되고 있

다. 모든 이동장비들은 크고 작은 배터리들에 의해 그 동작전원을 얻고 있으며, 장비들의 이러한 구조에 따라 같은 전력으로 얼마나 많은 동작시간을 지속 할 수 있는지 즉, 전력소모(power dissipation)를 얼마나 줄일 수 있는지가 그 시스템의 성능을 좌우하게 되었다. 근본적으로 모든 시스템에서 전력소모를 줄이기 위해서는 동작할 때 소모되는 활성전류와 동작하지 않고 대기 중에 있을 때의 비 활성 전류를 모두 감소시켜야 한다. 이를 위해서 여러 가지 방법들이 연구되고 있지만 현재까지 알려진 가장 최선의 방식으로는 시스템 동작이 안정적인 상태에서 동작전압을 낮추는 것이다.<sup>[1,2]</sup>

트랜스컨덕터, 아날로그 멀티플라이어, 아날로그 필터 등은 아날로그 신호처리를 위하여 많이 사용되고 있는데<sup>[3]</sup> 이들 회로들은 그림 1(a)에서 보여지는 복합 트랜지스터<sup>[3]</sup>을 이용하는 경우가 있다. 복합 트랜지스터는

\* 正會員, 全州大學校 情報技術컴퓨터工學部  
(Information Technology Computer Engineering,  
Jeonju University)

接受日:2000年6月5日, 수정완료일:2002年8月19日

NMOS 트랜지스터와 PMOS 트랜지스터가 직렬 연결된 구조로 그림 1(b)과 같이 포화 영역에서 동작하는 하나의 NMOS 또는 PMOS 트랜지스터로 모의된다.<sup>[4]</sup> 단일 NMOS, PMOS 트랜지스터는 게이트에서 높은 임피던스, 소스에서 낮은 임피던스를 갖는다. 이에 반해 복합 트랜지스터는 게이트와 소스에서 높은 임피던스를 갖게 된다. 소스에서 높은 임피던스를 갖는 복합 트랜지스터의 특성은 동일공정하에서 쉽게 제작 가능하다는 용이성 때문에 트랜스컨덕터의 트랜스컨덕턴스를 조정할 수 있는 단자로<sup>[4-6]</sup> 아날로그 멀티플라이어의 입력단으로<sup>[4,7,8]</sup> 아날로그 필터 차단 주파수의 가변 단자로 사용할 수 있다. 그러나 복합 트랜지스터는 이러한 장점에도 불구하고 높은 문턱 전압으로 인해 동작 영역이 감소하여 저전압 회로 구현이 어려운 단점을 가진다. 따라서 본 논문에서는 문턱 전압의 감소로 동작 영역이 증가하는 개선된 복합 트랜지스터를 제안하여, 그 응용도를 확인하는데 목표를 두고 있다.

본 논문에서는 II장에서 동작 영역이 향상된 새로운 복합 트랜지스터를 제안하였고, 제 III장에서는 제안된 회로를 이용하여 그 응용회로로서 트랜스컨덕터를 설계하였다. 그리고 IV장에서는 제안된 회로들의 특성을 SPICE 시뮬레이션을 통해 검증하며, 마지막으로 V장에서 결론을 맺는다.

II. 개선된 동작 영역을 갖는 복합 트랜지스터

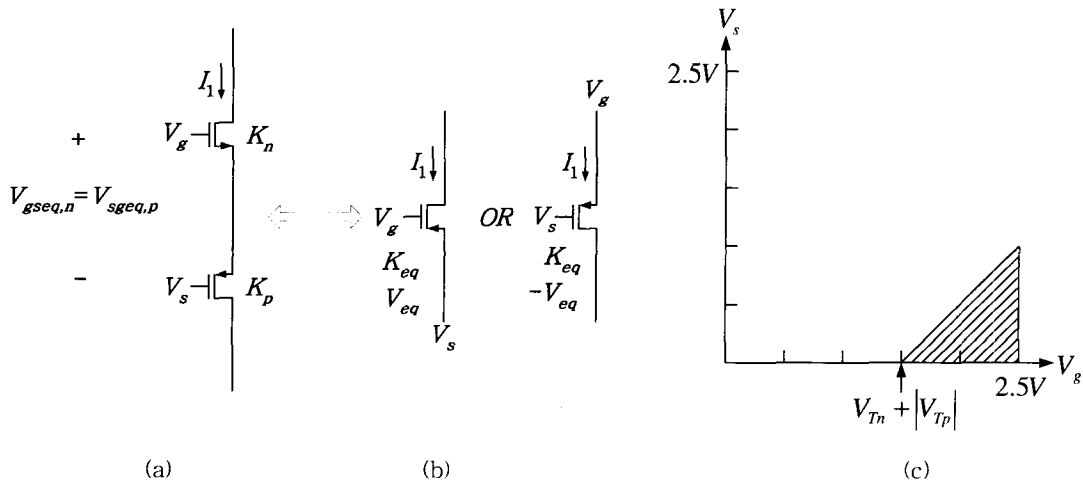


그림 1. (a) 기본적인 복합 트랜지스터 (b) 등가 회로 (c) 동작 영역  
Fig. 1. (a) Conventional composite transistor (b) equivalent circuits (c) its operating region.

이상에서는 기존의 복합 트랜지스터의 문제점을 개선한 동작 영역이 향상된 복합 트랜지스터를 제안한다. 또한 제안된 회로의 바이어스 전류원에 의한 동작 영역의 제한에 대해서 고찰한다.

1. 기본적인 복합트랜지스터

그림 1은 기본적인 복합 트랜지스터이고 전류 전압 관계식은 다음과 같다.

$$I_1 = \frac{K_{eq}}{2} (V_{gs} - V_{Teq})^2 \tag{1}$$

여기서  $K_{eq}$ 와  $V_{Teq}$ 는 복합 트랜지스터의 등가 트랜스컨덕턴스 파라미터와 문턱 전압이고 식(2)과 (3)로 표현된다.

$$\frac{1}{\sqrt{K_{eq}}} = \frac{1}{\sqrt{K_n}} + \frac{1}{\sqrt{K_p}} \tag{2}$$

$$V_{Teq} = V_{Tn} + |V_{Tp}| \tag{3}$$

여기서  $V_{Tn}$ ,  $V_{Tp}$ 는 NMOS, PMOS 트랜지스터의 문턱 전압이다. 그림 1(c)는 복합 트랜지스터의 동작 영역을 나타낸 것으로  $V_{gs} \geq V_{Tn} + |V_{Tp}|$  조건을 만족할 때 동작하게 된다.

2. 저전압 복합트랜지스터

그림 2(a)는 문턱 전압이 감소된 저전압 복합 트랜지스터이다.<sup>[9]</sup> 그림 1(a)의 N1과 P1 사이에 전압 레벨 시프트 역할을 하는 다이오드 연결된 NMOS 트랜지스터 N2와 바이어스 전류원  $I_B$ 에 의해 문턱 전압이 감소한

다. 저전압 복합 트랜지스터의 문턱 전압은 식(4)와 같다.

$$V_{T_{iv}} = |V_{Tp}| - \sqrt{\frac{2(I_B - I_1)}{K_{n2}}} \quad (4)$$

여기서  $K_{n2}$ 는 다이오드 연결된 트랜지스터 N2의 트랜스컨덕턴스 파라미터이다. 식(4)의 문턱 전압이 식(3)의 문턱 전압 보다 작게되어 그림 2(b)의 동작 영역이 그림 1(c)보다 확장된다.

그림 2의 저전압 복합 트랜지스터는 향상된 동작 영역에도 불구하고 개선의 여지를 가지고 있다. 즉 문턱 전압을 더 감소시킬 수 있다.

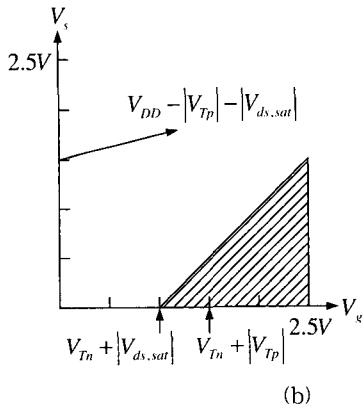
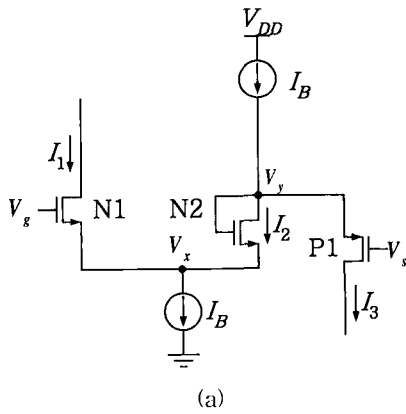


그림 2. (a) 저전압 복합 트랜지스터 (b) 동작 영역  
Fig. 2. (a) Low voltage composite transistor (b) its operating region.

3. 제안된 복합트랜지스터

그림 3은 제안된 복합 트랜지스터 I이다. 그림 2(a)에서 다이오드 연결된 N2에 P형 폴딩드(P-type folded) 복합 트랜지스터를 연결한다. 여기서 P2의 외형비를 P1보다 크게 하면 문턱 전압이 크게 감소한다. 그림 3(a)

에서 N1, N2, P1, P2의 드레인 전류는 다음과 같다.

$$I_1 = \frac{K_{n1}}{2} (V_g - V_t - V_{Tn})^2 \quad (5)$$

$$I_2 = \frac{K_{n2}}{2} (V_y - V_x - V_{Tn})^2 \quad (6)$$

$$I_3 = \frac{K_{p2}}{2} (V_z - V_y - |V_{Tp}|)^2 \quad (7)$$

$$I_4 = \frac{K_{p1}}{2} (V_z - V_s - |V_{Tp}|)^2 \quad (8)$$

식(5)~(8)를 전압에 대한 관계식으로 나타내면 다음과 같다.

$$V_g - V_x = \sqrt{\frac{2I_1}{K_{n1}}} + V_{Tn} \quad (9)$$

$$V_y - V_x = \sqrt{\frac{2I_2}{K_{n2}}} + V_{Tn} \quad (10)$$

$$V_z - V_y = \sqrt{\frac{2I_3}{K_{p2}}} + |V_{Tp}| \quad (11)$$

$$V_z - V_s = \sqrt{\frac{2I_4}{K_{p1}}} + |V_{Tp}| \quad (12)$$

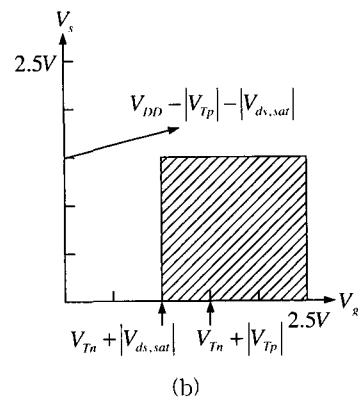
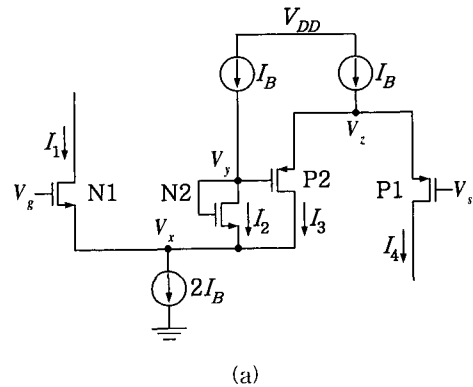


그림 3. (a) 제안된 복합 트랜지스터 I (b) 동작 영역  
Fig. 3. (a) The proposed composite transistor I (b) its operating region.

식(9)~(12)를  $V_{gs}$ 로 나타내면 식(13)과 같다.

$$V_{gs} = \sqrt{\frac{2I_1}{K_{n1}}} - \sqrt{\frac{2I_2}{K_{n2}}} - \sqrt{\frac{2I_3}{K_{p2}}} + \sqrt{\frac{2I_4}{K_{p1}}} \quad (13)$$

그림 3(a)에서  $I_B = I_2$ ,  $2I_B = I_1 - I_2 + I_3$ ,  $I_B = I_3 + I_4$ 이므로  $I_B = I_1 + I_3 = I_3 + I_4$ 가 되어 식(13)은 식(14)로 나타낼 수 있다.

$$I_1 = \frac{K_{eq}}{2} (V_{gs} - V_{Teq})^2 \quad (14)$$

여기서  $K_{eq}$ 와  $V_{Teq}$ 는 제안된 복합 트랜지스터 I의 등가 트랜스컨덕턴스 파라미터와 문턱 전압이고 식(15)와 (16)으로 표현된다.

$$\frac{1}{\sqrt{K_{eq}}} = \frac{1}{\sqrt{K_{n1}}} + \frac{1}{\sqrt{K_{p1}}} \quad (15)$$

$$V_{Teq} = - \left( \sqrt{\frac{2I_B}{K_{n2}}} + \sqrt{\frac{2(I_B - I_1)}{K_{p2}}} \right) \quad (16)$$

식(3), (4), (16)으로부터 제안된 회로가 가장 낮은 문턱 전압을 갖게되어 동작 영역이 증가하게 된다. 식(16)이 음의 문턱 전압을 갖게되어  $V_{gs} > |V_{Teq}|$ 를 만족할 때 식(14)에서  $V_{gs}$ 는 음의 값을 갖을 수 있고 그림 3(a)에서 N1의  $V_g$ 가 P1의  $V_s$ 보다 작은 경우에도 동작할 수 있다.

제안된 복합 트랜지스터의 N1과 P1이 포화 영역에서 동작하기 위한 조건은  $V_g \geq V_{ds,sat,2I_n} + V_{Tn}$ 이고  $V_s \leq V_{DD} - V_{ds,sat,IB} - |V_{Tp}|$ 이다. 여기서  $V_{ds,sat,2I_n}$ 와  $V_{ds,sat,IB}$ 는 바이어스 전류원  $I_B$ 가 포화 영역에 동작하기 위한 전압이다.  $V_{gs}$ 의 최소 값은  $V_g$ 의 최소 값에서  $V_s$ 의 최대 값 빼면 얻을 수 있고 식(17)과 같다.

$$\begin{aligned} V_{gs, \min} &= V_{g, \min} - V_{s, \max} \\ &= V_{ds, sat, 2I_n} + V_{Tn} - V_{DD} + V_{ds, sat, IB} + |V_{Tp}| \end{aligned} \quad (17)$$

여기서  $V_{Tn} = |V_{Tp}| = V_T$ ,  $V_{ds, sat, 2I_n} = V_{ds, sat, I_n} = V_{ds, sat}$ 라고 가정하면 식(17)은 다음과 같이 간략화 할 수 있다.

$$V_{gs, \min} = 2(V_{ds, sat} + V_T) - V_{DD} \quad (18)$$

식(18)을 식(16)보다 크게 설계하면, N1과 P1이 동작하는 모든 영역에서 동작이 가능하게 되므로 그림 3(b)과 같은 동작 영역을 얻을 수 있다.

그림 3(a)의 제안된 복합 트랜지스터는 N2와 P2를 동작시키기 위해 각각의 바이어스 전류원이 필요하다. 따라서 그림 2(a)의 복합 트랜지스터에 비해 전력 소모가 증가하는 단점을 가진다. 이러한 단점을 보완하기 위해 그림 4와 같이 그림 1의 N1과 P1의 소스에 N2와 P2를 삽입하여 복합 트랜지스터를 구성하였다. 항상 포화 영역에서 동작하는 복합 다이오드 N1과 P1의 전압 레벨 시프트를 역할을 한다.

그림 4의 복합 트랜지스터 II의 각 트랜지스터의 드레인 전류를 전압에 관한 식으로 나타내면 다음과 같다.

$$V_g - V_x = \sqrt{\frac{2I_1}{K_{n1}}} + V_{Tn} \quad (19)$$

$$V_y - V_x = \sqrt{\frac{2I_2}{K_{n2}}} + V_{Tn} \quad (20)$$

$$V_z - V_y = \sqrt{\frac{2I_3}{K_{p2}}} + |V_{Tp}| \quad (21)$$

$$V_z - V_s = \sqrt{\frac{2I_4}{K_{p1}}} + |V_{Tp}| \quad (22)$$

그림 4(a)에서  $I_2 = I_3$ ,  $I_B = I_1 + I_2 = I_3 + I_4$ 이므로  $I_1 = I_4$ 가 된다.  $I_1$ 에 대한 전류를 구하면 식(23)과 같고  $V_{Teq}$ 와  $K_{eq}$ 는 식(24)와 (25)로 나타낼 수 있다.

$$I_1 = \frac{K_{eq}}{2} (V_{gs} - V_{Teq})^2 \quad (23)$$

$$\frac{1}{\sqrt{K_{eq}}} = \frac{1}{\sqrt{K_{n1}}} + \frac{1}{\sqrt{K_{p1}}} \quad (24)$$

$$V_{Teq} = - \left( \sqrt{\frac{2(I_B - I_1)}{K_{n2}}} + \sqrt{\frac{2(I_B - I_1)}{K_{p2}}} \right) \quad (25)$$

식(25)와 (16)의 문턱 전압은 차이를 보이지만  $IB \gg I_1$  조건에서 두 식은 같다.

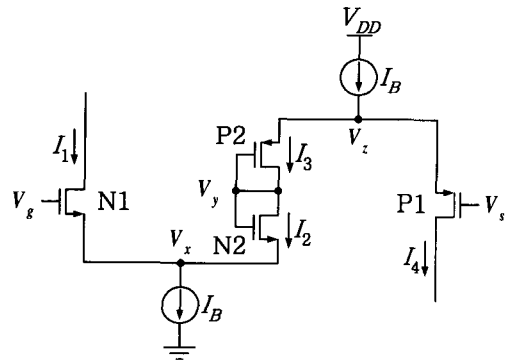


그림 4. 제안된 복합 트랜지스터 II  
Fig. 4. The proposed composite transistor II.

표 1. 복합 트랜지스터의 특성 비교

Table 1. The characteristics comparison of composite transistors.

	Threshold voltage( $V_T$ ) [V]	Total current [A]
Conventional composite transistor [4]	$V_{Teq} = V_{Tn} +  V_{Tp} $	$I_1$
Low voltage composite transistor [9]	$V_{Teq} =  V_{Tp}  - \sqrt{\frac{2(I_B - I_1)}{K_{n2}}}$	$I_1 + I_B$
The proposed composite transistor I	$V_{Teq} = -\left(\sqrt{\frac{2I_B}{K_{n2}}} + \sqrt{\frac{2(I_B - I_1)}{K_{p2}}}\right)$	$I_1 + 2I_B$
The proposed composite transistor II	$V_{Teq} = -\left(\sqrt{\frac{2(I_B - I_1)}{K_{n2}}} + \sqrt{\frac{2(I_B - I_1)}{K_{p2}}}\right)$	$I_1 + I_B$

표 1은 그림 1의 기본적인 복합 트랜지스터, 그림 2의 저전압 복합 트랜지스터, 제안된 복합 트랜지스터 I, II의 특성을 비교하였다.

4. 바이어스 전류원에 의한 동작 영역의 제한

제안된 복합 트랜지스터는  $V_g + V_s$ 가 상대적으로 큰 값을 갖거나 또는 작은 값을 갖게 될 때 바이어스 전류원으로 동작하는 트랜지스터는 선형 영역에서 동작하거나 음의 드레인-소스 전압을 갖게 된다. 따라서 제안된 회로는 바이어스 전류원에 의해 동작 영역이 제한된다.

그림 4에서 바이어스 전류원이 포화 영역에서 동작하기 위한 전압  $V_x$ ,  $V_z$ 를 얻기 위해  $V_x$ 는 (19)+(20)+(21)-(22),  $V_z$ 는 -(19)+(20)+(21)+(22)를 이용하여 식(26), (27)를 구할 수 있다.

$$V_x = \frac{V_g + V_s - \sqrt{2I_1} \left( \frac{1}{\sqrt{K_{n1}}} - \frac{1}{\sqrt{K_{p1}}} \right)}{2} \quad (26)$$

$$- \frac{\sqrt{2(I_B - I_1)} \left( \frac{1}{\sqrt{K_{n2}}} + \frac{1}{\sqrt{K_{p2}}} \right) + 2V_{Tn}}{2} \geq V_{ds, sat, I_n}$$

$$V_z = \frac{V_g + V_s - \sqrt{2I_1} \left( \frac{1}{\sqrt{K_{n1}}} - \frac{1}{\sqrt{K_{p1}}} \right)}{2} \quad (27)$$

$$+ \frac{\sqrt{2(I_B - I_1)} \left( \frac{1}{\sqrt{K_{n2}}} + \frac{1}{\sqrt{K_{p2}}} \right) + 2|V_{Tp}|}{2} \leq V_{DD} - V_{ds, sat, I_n}$$

$K_{n1}$ ,  $K_{n2}$ 라 가정하고 식(25)을 이용하면 위의 식은 다음과 같이 간략화 할 수 있다.

$$V_x = \frac{V_g + V_s + V_{Teq} - 2V_{Tn}}{2} \geq V_{ds, sat, I_n} \quad (28)$$

$$V_z = \frac{V_g + V_s - V_{Teq} + 2|V_{Tp}|}{2} \leq V_{DD} - V_{ds, sat, I_n} \quad (29)$$

식(28)과 (29)로부터  $V_g + V_s$ 에 대한 2개의 동작 영역을 얻을 수 있고 다음과 같다.

$$V_g + V_s \geq 2(V_{ds, sat, I_n} + V_{Tn}) - V_{Teq} \quad (30)$$

$$V_g + V_s \leq 2(V_{DD} - V_{ds, sat, I_n} - |V_{Tp}|) + V_{Teq} \quad (31)$$

여기서  $V_{DD}$ ,  $V_{Tn}$ ,  $|V_{Tp}|$ ,  $V_{ds, sat, I_n}$ 를 일정한 값으로 가정하면  $(V_g + V_s)_{min}$ ,  $(V_g + V_s)_{max}$ 는 음의 문턱

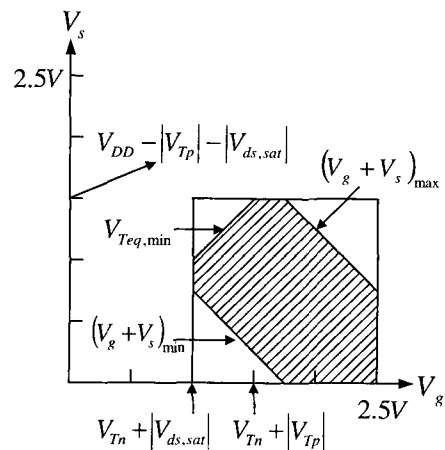


그림 5. 전류원에 의한 동작 영역의 제한  
Fig. 5. The limitation of the operating region by current sources.

전압을 갖는  $V_{Teq}$ 에 반비례하게 된다. 따라서  $(V_g + V_s)_{min}$ ,  $(V_g + V_s)_{max}$ 는  $V_{Teq, min}$ 과 trade-off가 존재하고 이와 같은 관계가 그림 5에 주어진다.  $V_{Teq, min}$ 는 식(25)  $V_{Teq}$ 의 최소 전압이다.  $V_{DD}=2.5V$ ,  $V_{Tp} = 0.6V$ ,  $V_{Tn} = 0.55V$ ,  $V_{Teq} = -0.1V$ ,  $V_{ds, sat} = 0.25V$ 로 가정하면 식(30)과 (31)로부터  $(V_g + V_s)_{min} \geq 1.7V$ 과  $(V_g + V_s)_{max} \leq 3.2V$ 의 범위를 갖는다. 따라서  $V_s$ 가 0V일 때  $V_g$ 는 1.7V이상을 유지해야 하고  $V_g$ 가 2.5V일 때  $V_s$ 는 0.7V이하가 되어야 한다.

$K_{n1} > K_{n2}$ 일 때, 식(26), (27)에 식(25)를 적용하여  $V_g + V_s$ 에 대해 나타내면 다음과 같다.

$$V_g + V_s \geq 2(V_{ds, sat, I_n} + V_{Tn}) + \sqrt{2I_1} \left( \frac{1}{\sqrt{K_{n1}}} - \frac{1}{\sqrt{K_{p1}}} \right) - V_{Teq} \quad (32)$$

$$V_g + V_s \leq 2(V_{DD} - V_{ds, sat, I_n} - |V_{Tp}|) - \sqrt{2I_1} \left( \frac{1}{\sqrt{K_{n1}}} - \frac{1}{\sqrt{K_{p1}}} \right) + V_{Teq} \quad (33)$$

$K_{n1} > K_{n2}$ 이기 때문에 식(32), (33)에서  $\sqrt{2I_1} \left( \frac{1}{\sqrt{K_{n1}}} - \frac{1}{\sqrt{K_{p1}}} \right) < 0$  관계를 갖는다. 따라서  $(V_g + V_s)_{min}$ ,  $(V_g + V_s)_{max}$ 이 식(31), (32)보다 작기 때문에 그림 6(a)의 동작 영역을 얻을 수 있다.

$K_{n1} < K_{n2}$ 일 때 위와 유사한 과정을 통해 그림 6(b)의 동작 영역을 얻을 수 있다.

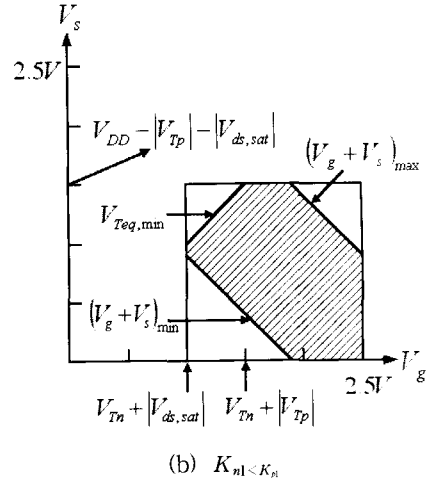
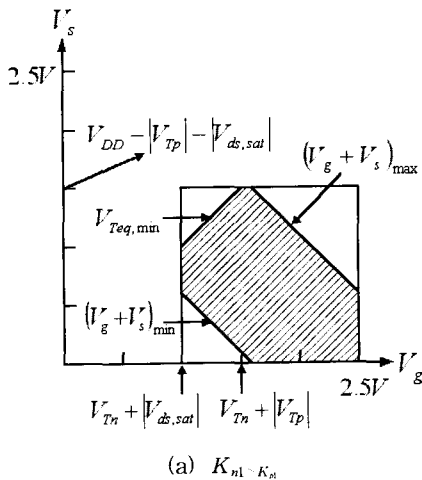


그림 6.  $K_{n1} > K_{n2}$ ,  $K_{n1} < K_{n2}$ 일 때 동작 영역  
Fig. 6. Operating region of  $K_{n1} > K_{n2}$  and  $K_{n1} < K_{n2}$ .

제한된 복합 트랜지스터가 바이어스 전류원에 의해 그림 5, 6과 같이 동작 영역이 제한되지만 기존의 복합 트랜지스터들에 비해 넓은 동작을 갖고  $V_g$ 가 낮은 전압에서 동작 영역의 감소가 상대적으로 작다.

### III. 복합 트랜지스터를 이용한 트랜스컨덕터 설계

복합 트랜지스터를 이용하여 트랜스컨덕터, 아날로그 멀티플라이어, 아날로그 필터 등의 설계에 적용할 수 있다. 이들 회로 중에서 비교적 쉽게 구성할 수 있는 트랜스컨덕터를 설계하여 제안된 복합 트랜지스터와 기존의 복합 트랜지스터의 특성을 검증한다.

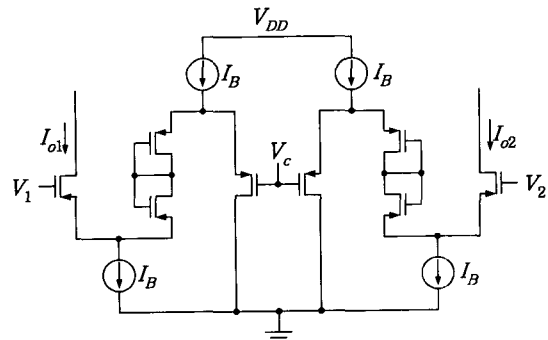


그림 7. 제안된 복합 트랜지스터 II를 이용한 트랜스컨덕터  
Fig. 7. Transconductor using the proposed composite transistor II.

트랜스컨덕터는 입력 전압에 선형적으로 비례하는 출력 전류를 발생시키는 것으로 이때 이득이 트랜스컨덕턴스 ( $g_m$ ) 값이다. 이  $g_m$ 의 조건은 넓은 입력 범위 내에서 선형적인 입-출력 관계를 가져야 하며 전기적으로 그 값을 조절할 수 있는 것이 바람직하다.

그림 7은 그림 4의 복합 트랜지스터를 이용하여 구성된 트랜스컨덕터이다. 식(23), (24), (25)를 이용하여 트랜스컨덕터의 출력전류  $I_o$ 를 구하면 식(34)와 같다.

$$\begin{aligned}
 I_o &= I_{o1} - I_{o2} \\
 &= \frac{K_{eq}}{2}(V_1 - V_c - V_{T_{eq}})^2 - \frac{K_{eq}}{2}(V_2 - V_c - V_{T_{eq}})^2 \\
 &= \frac{K_{eq}}{2}[(V_1 - V_2)(V_1 + V_2 - 2V_c - 2V_{T_{eq}})] \quad (34)
 \end{aligned}$$

식(34)에서 완전 차동 입력이 인가 될 때 ( $V_1 = v_{in} + v_{in}/2$ ,  $V_2 = V_{cm} - v_{in}/2$ , 여기에서  $V_{cm}$ 은 공통 모드 입력 전압,  $v_{in}$ 은 차동 입력 전압이다.) 출력전류  $I_o$ 와 트랜스컨덕턴스  $g_m$ 은 다음과 같이 주어진다.

$$I_o = K_{eq}(V_{cm} - V_c - V_{T_{eq}})v_{in} \quad (35)$$

$$g_m = \frac{I_o}{v_{in}} = K_{eq}(V_{cm} - V_c - V_{T_{eq}}) \quad (36)$$

식(36)에서  $g_m$ 은  $V_{cm}$ 과 제어 전압  $V_c$  및  $K_T$ 로 결정된다.  $V_{cm}$ 과  $K_T$ 는 일정한 값을 갖기 때문에  $g_m$ 은  $V_c$ 로 조절이 가능하다.

기본적인 복합 트랜지스터와 저전압 복합 트랜지스터도 위와 같은 방법을 통해 트랜스컨덕터를 구성할 수 있다.

#### IV. 시뮬레이션 결과

본 논문에서는  $0.25\mu\text{m}$  CMOS n-well 공정 파라미터를 사용하여  $2.5\text{V}$  공급 전압에서 시뮬레이션 하였다. 그림 8은  $V_s=0.7\text{V}$ 에서 기본적인 복합 트랜지스터, 저전압 복합 트랜지스터, 제안된 복합 트랜지스터들의 DC 해석을 보여주고 있다. 그림 8에서 제안된 복합 트랜지스터들이 기존의 복합 트랜지스터에 비해 낮은 문턱 전압을 갖고 있음을 확인할 수 있다.

그림 9는 기존의 복합 트랜지스터와 제안된 각각의 복합 트랜지스터를 이용하여 구성된 트랜스컨덕터의 DC 특성이다. 입력 전압  $V_1-V_2$ 를  $-1.5\text{V}$ 에서  $1.5\text{V}$ 까지

차동 입력을 인가할 때 조정 전압  $V_c$ 에 따른 출력 전류를 나타내고 있다.  $2.5\text{V}$  공급 전압에서 출력 저항  $5\text{k}\Omega$ 으로 시뮬레이션 하였다. 시뮬레이션 결과를 통해 제안된 복합 트랜지스터를 이용하여 구성된 트랜스컨덕터가 가장 넓은 선형성을 갖고 있음을 알 수 있다.

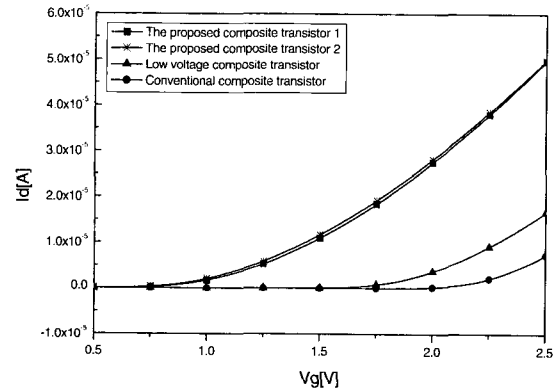
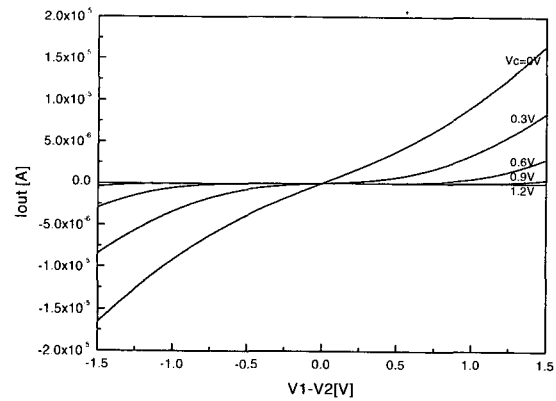
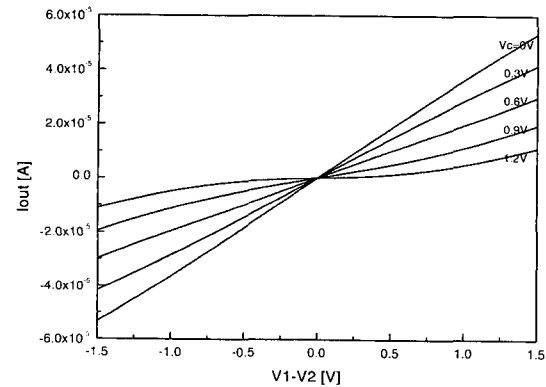


그림 8. 복합 트랜지스터들의 DC 특성  
Fig. 8. DC characteristics of composite transistors.



(a)



(b)

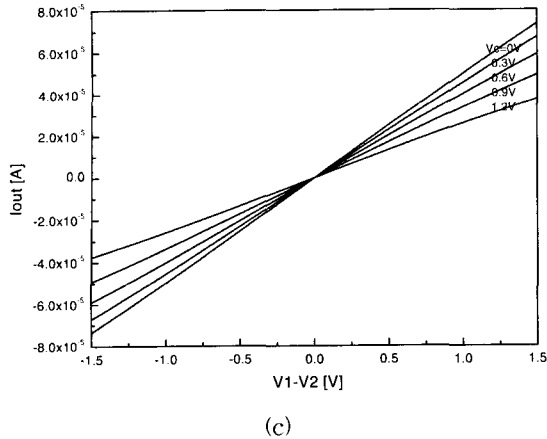


그림 9. 복합트랜지스터를 이용하여 구성된 트랜스컨덕터의 DC 특성

- (a) 기본적인 복합트랜지스터
- (b) 저전압 복합 트랜지스터
- (c) 제안된 복합 트랜지스터 II

Fig. 9. DC characteristics of the transconductors using composite transistors

- (a) Conventional composite transistor
- (b) Low voltage composite transistor
- (c) Proposed composite transistor II

## V. 결 론

본 논문에서는 트랜스컨덕터, 아날로그 멀티플라이어, 아날로그 필터 등은 아날로그 신호처리를 위하여 많이 사용되고 기본 블록들을 설계하는데 이용 가능한 트랜지스터를 새로운 방식의 기법을 적용하여 제안하였다. 제안된 복합 트랜지스터는 문턱 전압의 감소에 의해 넓은 동작 영역을 갖는 특성을 지니고 있다. 두개의 제안된 복합 트랜지스터 중에서 복합 트랜지스터 I은 P형 폴리드 복합 트랜지스터를 이용하여 문턱 전압을 감소시켰고, 복합 트랜지스터 II는 복합 다이오드를 이용하였다. 또한 제안된 회로의 바이어스 전류원에 의한 동작 영역의 제한 특성에 대하여 고찰 기술하였다. 제안된 트랜지스터를 이용하여 그 응용회로로서 트랜스컨덕터를 설계하였다. 시뮬레이션 결과 제안된 복합 트랜지스터를 이용하여 설계된 트랜스컨덕터가 우수한 선형 특성과 저전압 저전력 특성을 지니고 있음을 확인할 수 있었다. 제안된 회로들의 특성을 검증하기 위해서 0.25 $\mu\text{m}$  CMOS n-well 공정 파라미터를 이용하여 2.5V 공급 전압에서 HSPICE 시뮬레이션 하였다. 시뮬레이션 결과 제안된 복합트랜지스터가 기존의 복합 트

랜지스터에 비해 낮은 문턱 전압값을 가지며, 또한 제안된 복합 트랜지스터를 이용하여 그 응용회로로서 구현된 트랜스컨덕터도 기존의 복합 트랜지스터를 이용하여 구현된 트랜스컨덕터에 비해 선형 범위가 확장됨을 확인할 수 있었다.

## 참 고 문 헌

- [1] R. Batruni, P. Lemaitre, and T. Fensch, "Mixed Digital/Analog Signal Processing for a Single-Chip 2B1Q U-Interface Transceiver," *IEEE J. Solid-State Circuits*, Vol. SC-26, pp. 1414~1425, Dec. 1990.
- [2] J. Y. Michel, "High-Performance Analog Cells in Mixed-Signal VLSI : Problems and Practical Solutions," *Analog Integrated Circuits and Signal Processing*, vol. 171-182, Nov. 1991.
- [3] 박희중, 차형우, 정원섭, "새로운 200MHz CMOS 선형트랜스컨덕터와 이를 이용한 20 MHz 일립틱 여파기의 설계," *전자공학회논문지*, 제38권 SC편, 제4호, 20~30쪽, 2001
- [4] E. Seevinck and R. F. Wassenaar, "A Versatile CMOS linear transconductor/ square-law function circuit," *IEEE J. Solid-State Circuits*, Vol. SC-22, no. 3, pp. 366~377, June, 1987.
- [5] S. Szczepanski, A. Wyszynski, and R. Schaumann, "Highly Linear Voltage-Controlled CMOS Transconductors," *IEEE Trans. Circuits and Systems*, Vol. 40, No. 4, pp. 258~262, April, 1993.
- [6] L. A. R. Jr., and W. B. de Moraes, "A Geometry Independent CMOS Transconductor: New Method of Linearization and AC Analysis," *Proc. 20th Int. Conference on Microelectronics*, pp. 491~496, 1995.
- [7] S. I. Liu and Y. S. Hwang, "CMOS Four-quadrant Multiplier using Bias Offset Crosscoupled Pairs," *Electronics Lett.*, Vol. 29, No. 20, pp. 1737~1738, S. 20, 1993.
- [8] S. Sakurai and M. Isamil, "High Frequency Wide Range CMOS Analog Multiplier,"



*Electronics Lett.*, Vol. 28, No. 24, pp. 2228~2229, Nov., 1992.

- [9] A. Hyogo, C. Hwang, M. Ismail, and K. Sekin, "LV/LP CMOS square-law circuits," *Proc. IEEE Midwest. Symp. on Circuits and Systems*, pp. 1181~1184, 1998.

---

저 자 소 개

李 根 浩(正會員)

1969년 3월 29일생. 1994년 2월 전북대학교 공과대학 전기공학과 공학사. 1997년 2월 전북대학교 대학원 회로 및 시스템 공학석사. 2000년 8월 전북대학교 대학원 회로 및 시스템 공학박사. 2002년 3월~현재 전주대학교 정보기술컴퓨터공학부 전임강사. <주관심분야 : 멀티미디어 시스템, 통신 신호처리, 아날로그집적회로설계>