

論文2002-39SD-10-1

# MOSFET의 Effective Channel Length를 추출하기 위한 C-V 방법의 타당성 연구

(A Study on the Validity of C-V Method for Extracting the Effective Channel Length of MOSFET)

李 晟 源 \* , 李 丞 峻 \* , 申 炯 淳 \*

(Sungwon Lee, Seungjun Lee, and Hyungsoon Shin)

## 요 약

C-V 방법은 소형화된 MOSFET에서 effective channel length( $L_{eff}$ )를 추출하기 위한 방법 중 한가지이다. 이 방법은 critical gate bias point에서 channel length에 영향을 받지 않는 extrinsic overlap 영역의 길이( $\Delta L$ )를 구하여  $L_{eff}$ 를 추출하게 된다. 본 논문에서는 서로 다른 두 개의 C-V 방법에 대해 실험을 수행하였다. 그리고 실험으로 추출한 값과 2차원 소자 시뮬레이터의 결과를 비교하여 C-V 방법의 정확도를 분석하였다.

## Abstract

C-V method is a means to determine the effective channel length for miniaturized MOSFET's. This method achieves  $L_{eff}$  by extracting a unique channel length independent extrinsic overlap length( $\Delta L$ ) at a critical gate bias point. In this paper, we conducted an experiment on two different C-V methods.  $L_{eff}$  extracted from experiment is compared with  $L_{eff}$  simulated from a two-dimensional (2-D) device simulator, and the accuracy of C-V method for  $L_{eff}$  extraction is analyzed.

## I. 서 론

MOSFET의 effective channel length는 가장 중요한 소자 파라미터 중 하나로 processing control, device performance, reliability limits와 관계된 hot-carrier, punchthrough, 그리고 다음 세대의 MOSFET의 scaling 등의 평가를 위한 중요한 파라미터이다. VLSI

\* 正會員, 梨花女子大學校 情報通信學科

(Department of Information Electronics Engineering Ewha Womans University)

※ 이 논문은 시스템IC 2010 및 하이닉스 반도체의 연구비 지원에 의하여 수행되었음.

接受日字:2001年3月27日, 수정완료일:2002年9月30日

기술의 발달로 소자의 크기가 미세화됨에 따라 gate와 source/drain의 overlap length는 effective channel length에 비해 무시할 수 없게 되고 소자의 전류구동능력 및 ac 특성에 큰 영향을 미치게 되었다. 따라서 극 미세 MOSFET를 모델링하기 위하여서는 정확한 effective channel length( $L_{eff}$ )와 extrinsic overlap length( $\Delta L$ )를 추출하는 것이 필요하다.

$L_{eff}$ 를 추출하기 위한 방법 중 대표적인 방법은 I-V 방법과 C-V 방법<sup>1-7)</sup>이 있다. 그러나 I-V 방법은 gate bias에 따라 값이 변화하는 mobility와  $R_{SD}$ 를 상수 혹은 간단한 analytical equation으로 가정하여야만  $L_{eff}$ 를 추출할 수 있으므로 부정확한 결과를 얻게 된다. 그에 비해 C-V 방법은 위와 같은 가정이 필요치 않아 I-V 방법보다 더 정확한 결과를 얻을 수 있다. 본 논문에서는 C-V 방법을 이용해  $L_{eff}$ 를 추출하고 소자 시뮬레이

선을 통하여 추출된  $L_{eff}$ 의 정확도를 분석하였다.

## II. 이 론

$L_{eff}$ 는 MOSFET를 모델링 하는데 중요한 파라미터로서 다음과 같이 정의된다.

$$L_{eff} = L_m - \Delta L$$

여기서  $L_m$ 은 mask length이고  $\Delta L$ 은 S/D과 gate의 overlap length이다.  $L_{eff}$ 를 추출하기 위한 C-V 방법을 이용하기 위해 우선 MOSFET의 커패시턴스를 측정해야 한다. 그림 1과 같이 MOSFET의 gate에 DC bias를 걸어주고 source와 drain을 묶어 AC bias를 걸어준다. 그리고 mask length가 다른 각각의 MOSFET에 대하여 DC bias를 accumulation영역부터 strong inversion 영역까지 인가하면서 gate와 S/D사이의 커패시턴스를 측정한다. 이 때 측정되는 capacitance는  $C_{gs} + C_{gd}$ 이다. Accumulation영역에서 측정되는 게이트 커패시턴스는 overlap 영역인 gate-source, gate-drain과 관련된 overlap 커패시턴스( $C_a$ )이다. 따라서  $C_a$ 는 accumulation 영역에서 mask length에 관계없이 모두 같은 값을 가지게 된다. Strong inversion영역에서 inversion layer가 intrinsic channel 영역에 형성되기 때문에, 이 때 측정된 게이트 커패시턴스( $C_{inv}$ )는 intrinsic 커패시턴스와 overlap 커패시턴스가 병렬 결합한 것으로 두 커패시턴스 값을 더해준 값이다. 따라서  $C_{inv}$ 은 mask length에 비례하게 된다. 그리고  $C_{inv}$ 에서  $C_a$ 를 빼주는 것에 의해

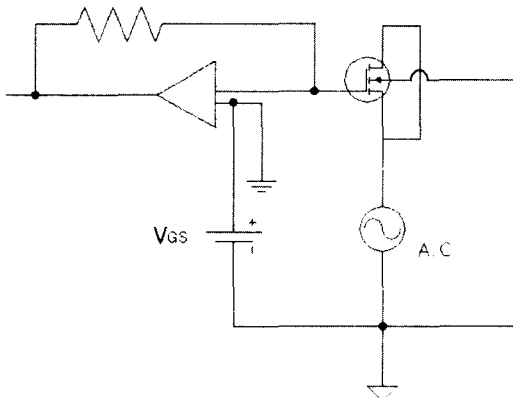


그림 1. 게이트 커패시턴스를 측정하기 위한 회로  
Fig. 1. Test configuration for measuring gate capacitance.

intrinsic channel 영역의 커패시턴스( $C_{int}$ )를 추출할 수 있다. 이와 같이 두 영역에서 측정된 커패시턴스 값의 차이로부터  $C_{int}$ 를 추출하므로 기생 커패시턴스의 영향을 상쇄시킬 수 있다.

본 논문에 이용된 C-V 방법은 방법 1과 방법 2 두 가지가 있다. 방법 1은  $L_{eff}$ 가 intrinsic 커패시턴스에 비례함을 이용한 방법으로 intrinsic 커패시턴스에 대한 식은 다음과 같이 표현한다.

$$C_{inv} - C_a = C_{int} = \frac{\epsilon_{ox}}{t_{ox}} W_{eff} L_{eff}$$

$C_{int}$ 가 0이면  $L_{eff}$ 도 0임을 알 수 있다.  $L_{eff}$ 는  $L_m$ 이 각기 다른 여러개의 MOSFET에서 측정된  $C_{int} - L_m$  그래프를 이용하여 추출할 수 있다.  $C_{int} - L_m$  그래프에서  $C_{int}$ 가 0이 될 때의 LS값, 즉 x절편이  $\Delta L$ 이다.

방법2는  $L_{eff}$ 가 intrinsic capacitance에 비례하므로 아래 식과 같이  $C_{int}$ 를 단위길이상 intrinsic capacitance로 나눠주는 것에 의해 구할 수 있다.

$$L_{eff} = \frac{C_{int}}{C_{int}^a}$$

식3에서  $C_{int}^a$ 는 단위길이상  $C_{int}$ 이다. 먼저  $L_{eff}$ 를 추출하고자 하는 MOSFET의 C-V를 측정하고  $C_{int} = C_{inv} - C_a$ 를 구한다. 그다음  $C_{int}^a$ 를 구하기 위해 length가 다른 두 개의 MOSFET에 대하여 inversion 커패시턴스를 측정한다. 이 두 개의 inversion 커패시턴스의 차이를 두 MOSFET의 mask length의 차이로 나누어주어 단위길이상 intrinsic 커패시턴스인  $C_{int}^a$ 를 구할 수 있다. 따라서  $L_{eff}$ 는 다음과 같은 식을 얻을 수 있다.

$$L_{eff} = \frac{C_{int}}{C_{int}^a} = \frac{C_{inv} - C_a}{\frac{\Delta C_{inv}}{\Delta L_m}}$$

## III. 실험

실험에서 사용된 소자는 n-channel MOSFET이다. Width가 20um,  $T_{ox}$ 가 45 Å이고  $L_m$ 은 각각 0.3um, 0.4um, 0.5um이다. 모든 커패시턴스는 KEITHLEY 590 CV ANALYZER를 C-program으로 컨트롤하여 측정하였다. Substrate에 ground로 인가한 상태에서 gate bias를 -2V에서 2V까지 0.05V간격으로 frequency는

1MHz로 하여 측정하였다. 측정된 데이터는 그림 2와 같다.

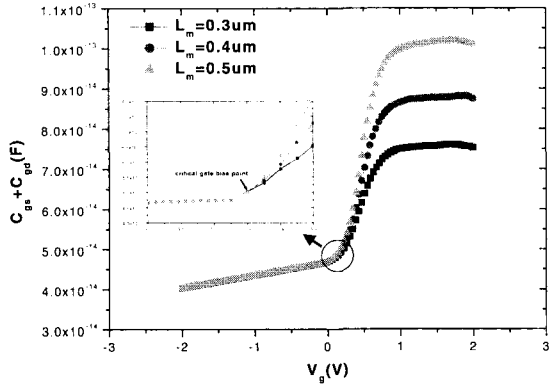


그림 2.  $L_m=0.3, 0.4, 0.5\mu\text{m}$  소자에 대한 게이트 커패시턴스 측정 결과  
 Fig. 2. The experimental result of  $C_{gs}+C_{gd}$  for  $L_m=0.3, 0.4, 0.5\mu\text{m}$ .

이론에서와 같이 accumulation 영역에 있을 때는 channel이 형성되지 않으므로 mask length에 상관없이 일정한 것을 볼 수 있으며, 이 커패시턴스는 overlap 커패시턴스( $C_a$ )임을 알 수 있다. 그림 2의 C-V 그래프를 보면 두 영역으로 나뉘는 것을 볼 수 있다. 그것은 overlap 부분만 측정되는 커패시턴스  $C_a$ 와 channel까지 측정되는 커패시턴스  $C_{inv}$ 으로,  $C_a$ 는 mask length에 관계없이 일정한 값을 가지며  $C_{inv}$ 은 mask length에 비례하게 된다. 본 논문에서는 C-V 그래프에서 위의 두 영역을 나누는 기점이 되는  $V_g$ 를 critical gate bias point

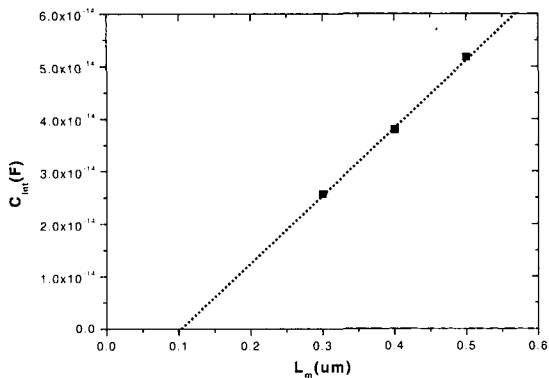


그림 3. 실험으로 얻은 intrinsic gate capacitance versus  $L_m$   
 Fig. 3. Intrinsic gate capacitance versus  $L_m$  from the experiment.

라 정의하고 이때  $C_a$ 값을 얻는다. 그림 2에서 보는 바와 같이 critical gate bias point는 0.3V이다.

방법 1을 이용하기 위하여 서로 다른  $L_m$ 에 대하여  $C_{inv}(V_g=1.95V)$ 와  $C_a(V_g=0.3V)$ 의 차이값인  $C_{int}$ 를 추출하였다. 그림 3의  $C_{int}-L_m$ 의 그래프에서 x절편이  $\Delta L$ 이 되고 그 값은 약  $0.105\mu\text{m}$ 로 추출되었다. 따라서  $L_{eff}$ 는 각각  $0.195\mu\text{m}, 0.295\mu\text{m}, 0.395\mu\text{m}$ 이다. 방법 2를 이용하려면 먼저  $\frac{\Delta C_{inv}}{\Delta L_m}$ 을 구해야 한다. 이것은 임의의 두 소자의 inversion 커패시턴스 값의 차이를 이용하는 데 어떤 소자를 선택하든지 모두 일정한 값이 나와야 한다. 그러나 측정값의 오차에 의해 이 값이 차이를 가진다. 따라서 본 논문에서는 방법 2를 이용하여 모든 경우에 있어서  $L_{eff}$ 를 추출한 값으로  $L_{eff}-L_m$ 의 그래프를 얻어낸 후 그것을 이용하여  $L_{eff}$ 를 결정하였다. 그림 4는 추출된  $L_{eff}-L_m$ 의 그래프로 이를 fitting하여  $L_{eff}$ 가 0일 때의  $L_m$ 값, 즉 x절편으로부터  $\Delta L$ 을 구하였다. 방법 2에 의하여 추출된  $\Delta L$ 은 방법 1과 같은 값인  $0.105\mu\text{m}$ 였다. 따라서 두 가지 C-V 방법으로 추출한  $\Delta L$ 값이 일치하므로 실험값의 오차는 매우 작음을 알 수 있다.

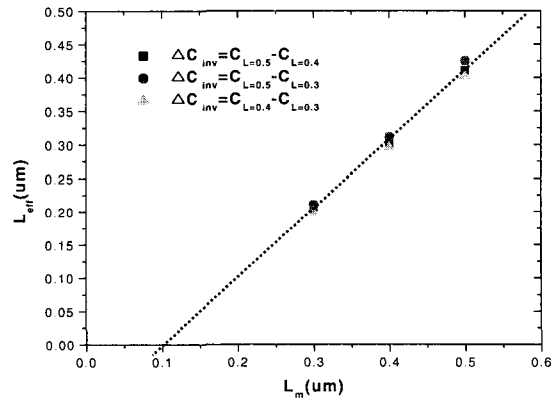


그림 4. 실험으로 얻은  $L_{eff}$  versus  $L_m$   
 Fig. 4.  $L_{eff}$  versus  $L_m$  from the experiment.

#### IV. 시뮬레이션

앞 절에서 C-V 방법으로  $L_{eff}$ 를 추출하였는데 본 절에서는 이러한 C-V방법의 정확도를 분석하기 위하여 소자 시뮬레이션을 수행하였다. 실험에서와 같이 n-channel MOSFET소자를 사용하였다. Mask length가  $0.6\mu\text{m}, 0.8\mu\text{m}, 1\mu\text{m}, 1.5\mu\text{m}, 2\mu\text{m}, 2.5\mu\text{m}$ 이고,

channel doping은  $3 \times 10^{17} / \text{cm}^3$ , source/drain doping은  $2 \times 10^{20} / \text{cm}^3$ , junction depth는  $0.1 \mu\text{m}$ 으로 설정하였다. 시뮬레이션에 사용한 소자의  $\Delta L$ 은 실험 값인  $0.1 \mu\text{m}$ 로 유지하였다. 이러한 소자 구조에 대하여 소자 시뮬레이터로 C-V 시뮬레이션을 수행하였다.<sup>[7,8]</sup> 시뮬레이션으로 구한 C-V 데이터(그림 5) 앞의  $L_{\text{eff}}$  추출 방법을 적용하였다.  $L$

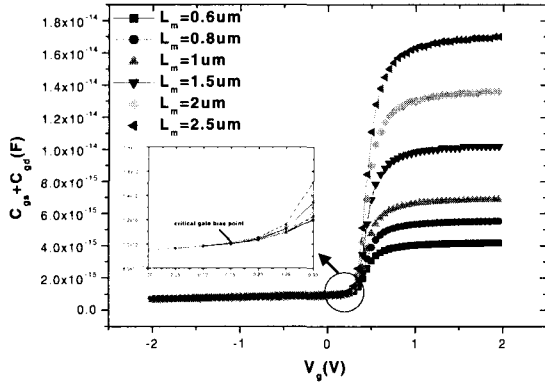


그림 5.  $L_m=0.6, 0.8, 1, 1.5, 2, 2.5 \mu\text{m}$  소자에 대한 C-V 시뮬레이션 결과

Fig. 5. The simulation result of  $C_{gs}+C_{gd}$  for  $L_m=0.6, 0.8, 1, 1.5, 2, 2.5 \mu\text{m}$ .

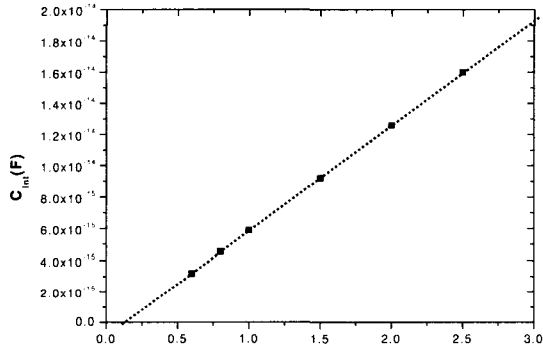


그림 6. 시뮬레이션을 통한 intrinsic gate capacitance versus  $L_m$

Fig. 6. Intrinsic gate capacitance versus  $L_m$  from the simulation.

그림 6은 방법 1을 이용하여  $L_{\text{eff}}$ 를 추출한 그림으로 이 때의  $\Delta L$ 값은  $0.13 \mu\text{m}$ 이고 그림 7은 방법 2를 이용하여  $L_{\text{eff}}$ 를 추출한 그래프로 방법 1과 같이  $\Delta L$ 이  $0.13 \mu\text{m}$ 이다. 결과에서도 볼 수 있듯이 실제 소자의  $\Delta L$  값  $0.1 \mu\text{m}$ 보다 C-V 시뮬레이션을 통해 추출된  $\Delta L$  값이 큰 값으로 추출된다. 따라서 C-V 방법을 이용하여

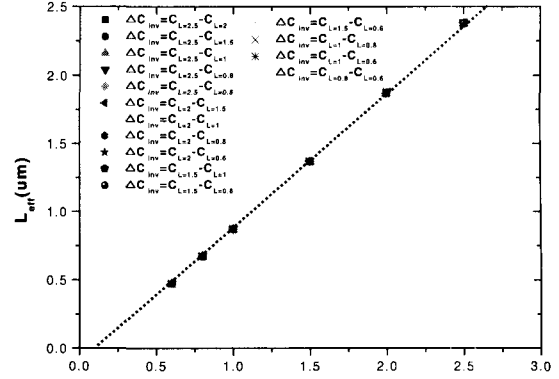


그림 7. 시뮬레이션 통한  $L_{\text{eff}}$  versus  $L_m$

Fig. 7.  $L_{\text{eff}}$  versus  $L_m$  from the simulation.

추출한  $\Delta L$ 은 실제로 S/D overlap 부분뿐만 아니라 그 이상의 length를 측정하고 있다는 것을 추정할 수 있다.

## V. Discussion

실험과 시뮬레이션에서 보았듯이 소자에서 실제로 overlap되는 영역과 C-V 방법에 의해 결정되는  $\Delta L$ 과는 차이가 나타난다. 본 논문에서는 이와 같은 현상이 발생하는 원인을 분석하려 한다.

C-V 방법에 의해 시뮬레이션을 할 때 다음의 두 가지 가정이 적용된다. 첫 번째로 quasi-static assumption이 적용된다고 가정하면 total gate charge의 변화량은 S/D에 인가된 ac bias에 의하여  $V_{d-s}$ 가 변할 때 ( $V_{d-s} + \Delta V_{d-s}$ ) gate charge의 차이에 의해서 결정된다. 따라서 게이트 커패시턴스는 다음과 같이 쓸 수 있다.

$$C_G = - \frac{\Delta Q_G}{\Delta V_{d-s}}$$

여기서  $Q_G = W_{\text{eff}} \int_0^{L_{\text{drain}}} C_{\text{ox}} (V_G - V_{fb} - \psi_s(x)) dx$

두 번째 가정은  $V_G$ 와  $V_{fb}$ 가 상수라는 것이다. 따라서  $Q_G$ 는 surface potential에 대해서만 변하게 된다.

$$\Delta Q_G = - W_{\text{eff}} C_{\text{ox}} \int_0^{L_{\text{drain}}} \Delta \psi_s(x) dx$$

그러므로 게이트 커패시턴스는  $\Delta \psi_s$ 의 함수가 되고 그 식은 다음과 같다.

$$C_G = -\frac{\Delta Q_G}{\Delta V_{d-s}} = \frac{W_{eff} C_{ox} \int_0^{L_{d-s}} \Delta \phi_s(x) dx}{\Delta V_{d-s}}$$

따라서 커패시턴스가 측정되는 영역을 알기 위해서는  $\Delta V_{d-s}$ 에 따른 surface potential의 변화를 분석하는 것이 의미가 있게 된다. 그림 8은  $\Delta V_{d-s}$ 를 25mV로 하고 gate에 -2V에서 1.95V까지 인가했을 때의 Si/SiO<sub>2</sub> 경계면의  $\Delta \phi_s$ 를 보여주는 그래프이다. 시뮬레이션에 사용된 소자의  $L_m$ 은 2 $\mu$ m이며 gate는 0~2 $\mu$ m에 위치한다. 이 그림을 이용하여 그림 5의 C-V 그래프를 설명할 수 있다. 식 7에서  $C_G$ 는  $\Delta \phi_s$ 를 x에 대해 적분한 것에 비례하게 된다. 그러므로 그림 8에서의  $\Delta \phi_s$ 를 x에 대해 적분한 값을 보면 gate가 -2V에서 0.15V까지는 거의 증가하지 않다가 0.15V에서 0.6V정도까지는 급격하게 증가하게 된다. 그리고 0.6V 이상이 되면 다시 서서히 증가하게 되고 1.95V에서는 최대 값을 가지는 것을 볼 수 있다. 그림 5의 C-V 그래프 역시 적분한 값과 같은 경향을 보임을 볼 수 있다.

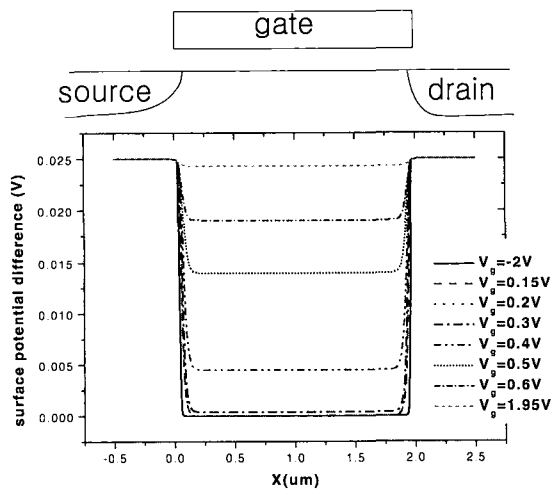


그림 8.  $L_m=2\mu$ m 소자에 대해  $V_{d-s}=0V$ 와 25mV일 때의 surface potential 차이  
 Fig. 8. Surface potential difference between  $V_{d-s}=0V$  and 25mV for  $L_m=2\mu$ m.

C-V 방법으로  $L_{eff}$ 를 추출하기 위해 관심의 대상이 되는 것은  $C_{int}$  값과 그것의 측정 영역이다. 본 논문에서 수행한 시뮬레이션에서  $C_{int}$ 값은 gate가 1.95V일 때의 값을 사용하고  $C_G$ 값은 critical gate bias point인 0.15V에서의 값을 사용하였다. 따라서  $C_{int}$ 는 gate가

1.95V일 때의  $\Delta \phi_s$ 에서 0.15V일 때의  $\Delta \phi_s$ 를 빼준 차이를 x에 대해 적분한 값에 비례하게 된다. 그림 9는 gate가 1.95V일 때와 0.15V일 때의  $\Delta \phi_s$ 를 source 쪽에서 본 것이다. 그림에서 gate edge는 x가 0um일 때이고 junction edge는 x가 0.05um일 때이다. 원하는  $\Delta \phi_s$ 의 profile은 gate가 0.15V일 때 junction edge에서 급격하게 0으로 감소하고 따라서  $C_{int}$ 가 정확히 intrinsic 영역만을 측정하는 경우이다. 그러나 실재는 그림 9와 같이  $\Delta \phi_s$ 가 완만한 기울기를 갖고 감소함을 볼 수 있다. 따라서  $C_{int}$ 이 측정되고 있는 영역을 알아보기 위해서 gate가 1.95V일 때의  $\Delta \phi_s$ 와 0.15V일 때의  $\Delta \phi_s$ 의 차이부분을 적분한 값(그림 9의 A면적)과 0.15V일 때의  $\Delta \phi_s$ 를 적분한 값(그림 9의 B면적) 같아지는 점을 찾았다. 이 점이 C-V 방법에 의해 구한  $\Delta L$ 값에 해당하게 된다. 그 값은 약 0.065um 정도로 source와 drain쪽을 모두 합하면 약 0.13um의 값을 얻게 된다. 따라서 시뮬레이션을 통해 얻었던 값과 일치하는 것을 볼 수 있다.

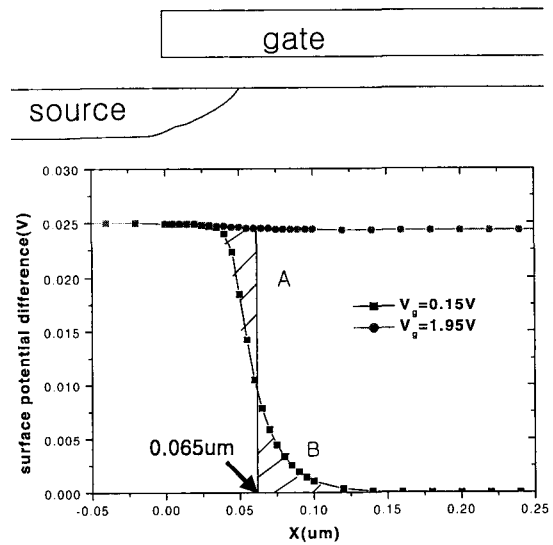


그림 9.  $L_m=2\mu$ m 소자에 대해  $V_{d-s}=0V$ 와 25mV일 때의 surface potential 차이( $V_g=0.15V, 1.95V$ )  
 Fig. 9. Surface potential difference between  $V_{d-s}=0V$  and 25mV for  $L_m=2\mu$ m ( $V_g=0.15V, 1.95V$ ).

따라서 C-V 방법을 이용해 추출된  $L_{eff}$ 는  $\Delta \phi_s$  profile에 영향을 받음을 알 수 있다. 그런데  $\Delta \phi_s$ 는 doping profile에 영향을 받으므로 C-V 방법에 의해 추출된  $L_{eff}$ 는 doping profile에 영향을 받는다고 할 수 있

다. 본 연구에서는 S/D doping profile에 의한 영향을 분석하기 위하여 doping profile이 다른 소자들에 대하여 시뮬레이션을 수행하였다. 그림 10은 서로 다른 두 소자의 doping profile을 나타낸 것이다. 하나는 앞서 수행했던 시뮬레이션과 같은 doping profile을( $2 \times 10^{20}$ ) 가지고 있으며 다른 하나는 S/D doping이  $3 \times 10^{19} / \text{cm}^3$  이고 완만한 profile을 갖도록 한 소자이다. 두 소자에 대하여 C-V 시뮬레이션 결과로부터  $\Delta L$ 을 추출하였다. S/D doping이  $2 \times 10^{20}$ 인 소자에서 추출된  $\Delta L$ 은  $0.13 \mu\text{m}$  이었고  $3 \times 10^{19}$ 인 소자에서 추출된  $\Delta L$ 은  $0.115 \mu\text{m}$ 이었으므로 doping profile의 변화에 따라 추출되는  $\Delta L$ 값이 변화하는 것을 확인할 수 있다. 그림 11은 그림10의 두 소자에 대한  $\Delta\phi_s$ 를 나타낸 것으로 그림9에서와 같이 적분하여 A, B면적이 같은 점을 찾으면 S/D doping이  $2 \times 10^{20}$ 인 소자에 비해  $3 \times 10^{19}$ 인 소자에서  $0.008 \mu\text{m}$ 정도 source 쪽으로 근접한 위치의 값을 얻는다. 이는  $\Delta L$ 이  $0.015 \mu\text{m}$  감소한 것을 의미한다. 이와 같은 결과로 볼 때 doping profile은  $\Delta\phi_s$ 에 영향을 미치고 따라서  $C_{\text{int}}$ 가 측정하고 있는 영역의 길이를 변화시키므로 추출된  $\Delta L$ 이 변화하는 것을 알 수 있다.

C-V 방법에 의해  $L_{\text{eff}}$ 를 추출함에 있어서  $C_a$ 값을 critical gate bias point에서 얻는다. Critical gate bias point에 이르러야 비로소 fully overlap된 영역의 커패

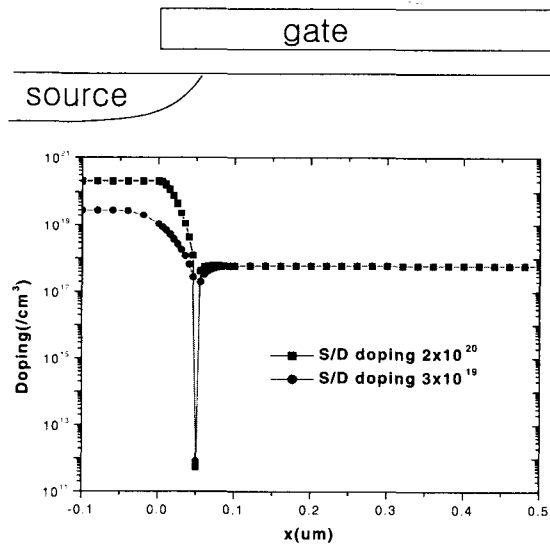


그림 10. Source/drain doping이  $3 \times 10^{19} / \text{cm}^3$ 와  $2 \times 10^{20} / \text{cm}^3$ 인 경우의 profile  
Fig. 10. Source/drain doping profile  $3 \times 10^{19} / \text{cm}^3$  and  $2 \times 10^{20} / \text{cm}^3$ .

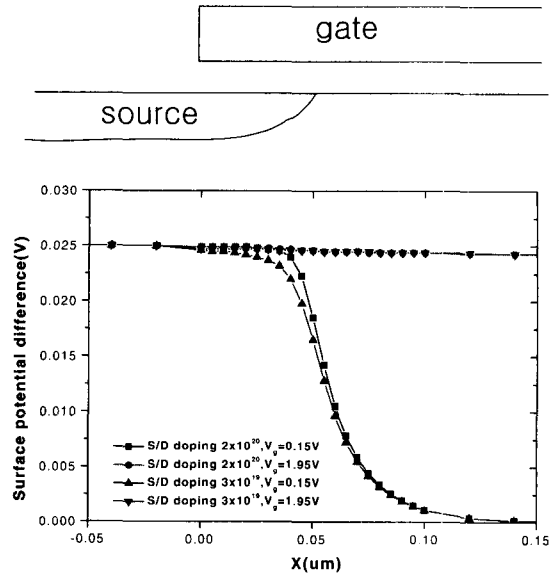


그림 11. S/D doping이  $2 \times 10^{20}$ ,  $3 \times 10^{19} / \text{cm}^3$ 인 소자에 대한 surface potential difference  
Fig. 11. Surface potential difference for S/D doping =  $2 \times 10^{20}$ ,  $3 \times 10^{19} / \text{cm}^3$ .

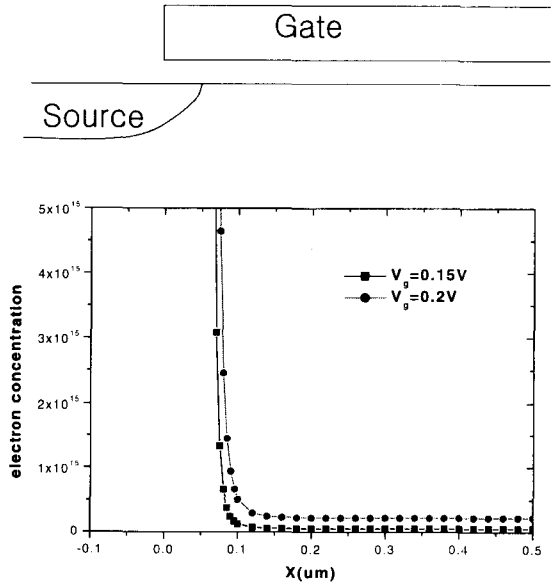


그림 12.  $L_m=2 \mu\text{m}$  소자에 대한 Si/SiO<sub>2</sub> 경계면의 carrier concentration ( $V_g=0.15\text{V}$ ,  $0.2\text{V}$ )  
Fig. 12. Carrier concentration at Si/SiO<sub>2</sub> interface for  $L_m=2 \mu\text{m}$  ( $V_g=0.15\text{V}$ ,  $0.2\text{V}$ ).

시턴스를 측정하게 된다는 것이다. 그림 5와 같이 critical gate bias point가 지나서 측정된 커패시턴스가  $L_m$ 에 따라 다른 값을 가지는 원인을 물리적인 특성으

로 알아보기 위해 carrier concentration에 대해서 시뮬레이션 하였다. Critical gate bias point에 이를 때까지 커패시턴스가  $L_m$ 의 영향을 받지 않는 이유는 channel에 아직 충분한 carrier가 존재하지 않기 때문이다. 따라서 source/drain에 AC bias를 인가해줘도 channel은 영향을 받지 않는다.  $V_g$ 가 critical gate bias point를 지나면서 channel이 충분히 inversion이 되어 channel의  $\phi_s$ 가 source/drain에 인가된 ac bias의 영향을 받게 되므로  $L_m$ 에 비례하여 커패시턴스가 증가한다. 그림 12는 gate가 0.15V일 때와 0.2V일 때 Si/SiO<sub>2</sub> 경계면의 carrier concentration을 나타낸 것이다. 그림에서 보듯이 critical gate bias point인 0.15V일 때는 channel에 carrier가 거의 존재하지 않다가 0.2V에서 channel에 carrier가 증가하기 시작하는 것을 볼 수 있다. 그림 13은  $\Delta V_{d-s}$ 가 25mV일 때 channel 중앙에서의  $\Delta\phi_s$ 를 gate bias에 따라 시뮬레이션 한 결과이다. Gate voltage가 0.15V를 지나 0.2V가 되면서 channel 중간에서  $\Delta\phi_s$ 가 증가하는 것을 볼 수 있다. 이것은 channel에 충분한 carrier가 존재하기 때문에  $V_{d-s}$ 의 변화에 따라 channel에서 surface potential이 변화하기 시작하는 것을 나타낸다.

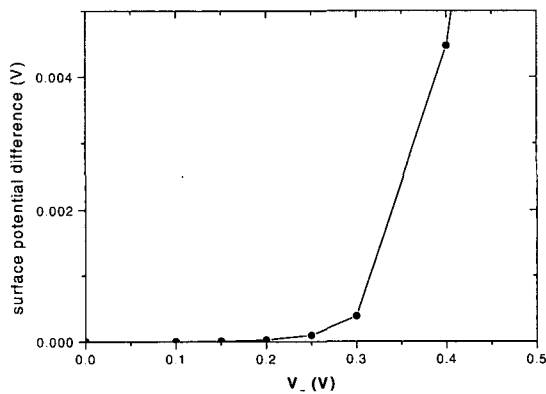


그림 13.  $L_m=2\mu\text{m}$  소자에 대해 channel 중간에서  $V_{d-s}=0\text{V}$ 와 25mV사이의  $\Delta\phi_s$   
 Fig. 13.  $\Delta\phi_s$  between  $V_{d-s}=0\text{V}$  and 25mV at the middle of channel for  $L_m=2\mu\text{m}$ .

VI. 결 론

$L_{eff}$ 를 추출하기 위한 직접적인 방법으로는 C-V 방법이 있다. 시뮬레이션과 실험을 통하여 C-V 방법으로 추출된  $L_{eff}$ 는  $\Delta\phi_s$ 에 영향을 받고,  $\Delta\phi_s$ 는 doping

profile에 의해 영향을 받는다는 사실을 알 수 있었다. 따라서 C-V 방법에 의해 추출된  $L_{eff}$ 는 doping profile에 의해 영향을 받으며 실제  $L_{eff}$ 보다 C-V로 추출되는  $L_{eff}$ 가 작게 추출되는 것을 알 수 있었다.

참 고 문 헌

[1] B.J. Sheu and P.K. Ko, "A Capacitance Method to Determine Channel Lengths for Conventional and LDD MOSFET's" *IEEE Electron Device Lett.*, Vol. EDL-5, p. 491, 1984.  
 [2] P. Vitanov, U. Schwabe and I. Eisele, "Electrical Characterize of Feature Sizes and Parasitic Capacitances Using a Single Test Structure" *IEEE Trans. Electron Devices*, Vol. ED-31, p. 96, 1984.  
 [3] C.T. Yao, I.A. Mack and H.C. Lin, "Accuracy of Effective Channel-Length Extraction Using the Capacitance Method" *IEEE Electron Devices Lett.*, Vol. EDL-7, p. 268, 1986.  
 [4] P. Vitanove, T. Dimitrova, R. Kamburova and K. Filljov, "Capacitance Method for determination of LDD MOSFET Geometrical Parameters", *Solid-state Eletronics*, Vol. 35, p. 985, 1992.  
 [5] J.-C. Guo, S. S.-S. Chung, and C. C.-H. Hsu, "A New Approach to Determine the Effective Channel Length and the Drain-and-Source Series Resistance of Miniaturized MOSFET's" *IEEE Trans. Electron Devices*. Vol. 41, p. 403, 1994.  
 [6] L. Selmi, E. Sangiori and B. Ricco, "Parameter extraction from I-V characteristics of single MOSFET's", *IEEE Trans. Electron Devices*. Vol.36, p.1094, 1989.  
 [7] R. Narayanan, "Two-dimensional numerical analysis for extracting the effective channel length of shor-channel MOSFETs", *Solid-state Eletronics*, Vol. 38, p. 1155, 1995.  
 [8] MEDICI Manual (version 4.0.0).

## 저 자 소 개



李 晟 源(正會員)

2000년 2월 이화여자대학교 전자공학과 졸업(학사). 2002년 2월 이화여자대학교 정보통신학과 졸업(석사). 2002년~현재 삼성전자



李 丞 晔(正會員)

1986년 서울대학교 전자공학과 학사. 1989년 University of California, Berkeley 전자공학과 석사. 1993년 University of California, Berkeley 전자공학과 박사. 1992년 1월~1998년 10월 현대전자 시스템IC 연구소. 1999년 3월~현재 이화여자대학교 전자공학과 조교수.  
<주관심분야 : 통신용 반도체 설계, CAD>



申 焜 淳(正會員)

1982년 2월 서울대학교 전자공학과 졸업 (학사). 1984년 12월 미국 University of Texas at Austin 졸업 (석사). 1990년 5월 미국 University of Texas at Austin 졸업 (박사). 1990년~1994년 LG 반도체 근무. 1995년~현재 이화여자대학교 공과대학 전자공학과 근무. 현재 교수. <주관심분야 : 반도체 소자 구조, 모델링, RF CMOS.>