

論文2002-39SD-12-1

펜타센 박막의 두께와 전극위치가 펜타센 TFT 성능에 미치는 영향

(Effects of Pentacene Thickness and Source/Drain Contact Location on Performance of Penatacene TFT)

李明源*, 金光賢*, 宋政根*

(Myungwon Lee, KwangHyun Kim, and Chungkun Song)

요약

본 논문에서는 펜타센을 활성층으로 사용하는 유기박막트랜지스터(OTFT)의 펜타센의 두께, 그리고 소오스 및 드레인 전극의 위치에 따른 소자의 성능 변화에 대하여 연구하였다. 펜타센 박막의 두께가 증가하면 그레인 상태가 박막상태에서 벌크상태로 변화하면서 결정도가 악화되어 성능이 열화하였고, 소오스와 드레인 전극을 펜타센 위에 제작한 소자의 경우 접촉저항은 감소하였으나 누설전류가 증가하여 전류 점멸비가 감소하였다. 그러므로, 펜타센의 두께는 300Å-700Å 내외, 그리고 전극은 펜타센 아래에 위치하는 것이 적합한 것으로 확인되었다.

Abstract

In this paper we analyzed the effects of pentacene thickness and the location of source/drain contacts on the performance of pentacene TFT. Above a certain thickness of pentacene thin film the pentacene grain was turned from the thin film phase into the bulk phase, resulting in degrading the crystallinity and then performance as well. For the top contact structure in which source/drain contacts are located above pentacene film, the contact resistance decreased comparing with the bottom contact structure. However, the leakage current in the off-state became large and then the related parameters such as on/off current ratio were deteriorated. We found that the thickness of around 300Å-700Å was suitable, and that the bottom contact was more feasible for hig performance pentacene OTFT.

Keyword : TFT, pentacene, field effect mobility

I. 서론

유기박막트랜지스터(Organic Thin Film Transistor: OTFT)는 기존의 고체 실리콘 트랜지스터로써 실현할

수 없는 두루마리 디스플레이, 스마트카드, RF 태그 등의 응용분야의 핵심소자로 활용될 수 있기 때문에 활발한 연구가 수행되고 있다.^[1-3]

OTFT의 성능은 주로 유기 활성박막의 결정도에 좌우된다. 결정도는 유기박막의 성장공정과 유기박막이 성장될 게이트 절연층의 표면상태에 큰 영향을 받기 때문에 박막성장공정 및 표면상태의 최적화에 연구가 집중되었다.^[4-6] 박막성장공정의 경우 표면에 도달할 유기분자는 다음 분자가 도달하기 전에 가능한 멀리 이동할 수 있어야 결정도가 양호해짐이 밝혀졌기 때문에 성장물은 가능한 작고^[7] 확산거리는 크게 해야 그레인

* 正會員, 東亞大學校, 電氣電子컴퓨터工學部
(Dept. of Electrical & Electronics & Computer Engineering Dong-A University)

※ 21세기 프론티어 연구사업 “차세대 디스플레이 개발 사업”의 지원으로 연구되었음.

接受日字:2001年8月1日, 수정완료일:2002年11月19日

이 커지고, 그레인 경계농도가 작아지며, 이로인한 산란이 감소하여 이동도가 증가한다. 표면확산거리 또한 표면상태의 영향을 지배적으로 받기 때문에 이를 개선하기 위하여 거친 게이트 절연층의 표면을 유기 단분자막으로 도포하여 확산 에너지 장벽을 줄이는 방법이 사용되고 있다.^[8] 이러한 다양한 방법으로 펜타센 OTFT의 성능은 초기 전계이동도가 10-3cm²/V.sec로서 활용도가 의심스러웠으나,^[9] 최근 2cm²/V.sec로 급격히 개선되어 α -Si TFT의 성능을 능가하게 되었다.^[10]

OTFT의 성능은 유기박막의 결정도 외에 전극의 위치와 유기활성박막의 두께에도 영향을 받는다. 펜타센 OTFT의 소오스와 드레인 전극으로 Au를 사용하는데, 이것은 Au의 일함수(5.1eV)가 펜타센의 HOMO (5.2eV, Highly Occupied Molecular Orbital로서 반도체의 가전자대 최고 에너지에 해당함)와 유사하므로 전극으로부터 펜타센으로의 정공 주입이 원활하기 때문이다. 그런데, 펜타센 분자와 Au 간에는 어떤 화학적 결합이 이루어지지 않기 때문에 상당히 큰 접촉저항이 항상 존재하게 된다. 그러나, 펜타센과 Au 전극의 증착 순서에 따라 펜타센과 Au 간의 물리적 결합정도가 달라질 수 있고, 따라서 접촉저항도 변할 수 있다. 그리고, 펜타센 박막은 게이트 전압이 인가되어 채널에 정공이 주입되지 않으면 절연체에 가까우므로 유기박막의 두께 또한 성능에 영향을 미치게 된다.

유기박막의 두께와 전극의 위치가 OTFT의 성능에 영향을 미칠 수 있지만 이에 관한 보고가 된 적이 없기 때문에, 본 논문에서는 펜타센 박막의 두께별 OTFT의 성능을 분석하였고, 소오스와 드레인 전극 형성 후 펜타센 박막을 증착하는 하부전극구조와 펜타센 박막 증착 후 전극을 형성하는 상부전극구조의 소자를 제작하여 성능을 비교하였다.

II. 소자제작 및 실험

Si에 열산화막을 600Å 성장시킨 웨이퍼를 기판으로 사용하였다. 펜타센은 Aldrich에서 구입한 분말을 정제하지 않고 OMBD(Organic Molecular Beam Deposition)시스템으로 증착하였다. 펜타센은 약 180°C에서 증발하기 시작하였다. 펜타센 박막의 증착 과정을 시간별로 AFM으로 관찰하여 <그림 1>에 나타내었다. <그림 1>에서 보듯이 펜타센 분자는 초기에 핵을 형성하고

그 핵을 중심으로 그레인이 마치 나뭇가지 형태로 성장하였으며, 그레인이 맞닿는 곳에서 그레인 경계가 형성되었다. 이것은 Volmer-Weber 성장 메커니즘과 유사하다.^[11] 이러한 성장 메커니즘에서 큰 그레인을 얻으려면 성장률은 가능한 작아야 하고, 기판에서 분자의 확산거리는 커야 한다. 확산거리는 식 (1)과 같이 표기되며, 여기서 Q_{des} 는 탈착에너지이고, Q_{diff} 는 분자의 확산을 방해하는 기판 표면의 확산에너지장벽이며, a 는 확산에너지장벽의 폭이다. 확산거리를 증가시키려면 Q_{des} 는 커야하고, Q_{diff} 는 작아야 한다. 기판온도를 증가시켜서 Q_{des} 를 증가시킬 수 있다. Q_{diff} 를 줄이기 위하여 표면 에너지가 작은 유기 단분자막 예를들면 OTS (octadecyltrichlorosilane) 단분자막을 자기조립 (Self Assembly) 방법으로 도포하여 확산에너지장벽을 감소시킬 수 있고, 큰 그레인을 얻을 수 있다.^[10] 본 논문에서도 펜타센을 증착하기 전에 OTS 단분자막을 도포하여 소자를 제작하였다. 증착조건은 최소 성장률과 최대 확산거리를 확보하기 위하여 성장률과 기판온도 등 공정조건을 변화시키면서 실험한 결과 성장률 0.3Å/sec과 기판온도 80°C가 최적 공정조건으로 산출되었다.^[12]

$$X = \sqrt{2a} \exp\left[-\frac{Q_{des} - Q_{diff}}{2kT}\right] \quad (1)$$

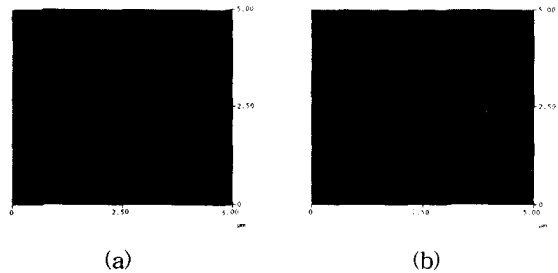


그림 1. 펜타센 박막 성장의 시간별 AFM 사진 (a) 5분 성장, (b) 10분 성장

Fig. 1. AFM pictures of pentacene thin film after (a) 5min, and (b) 10min growth.

소자의 제작은 RCA Si 표준공정을 사용하였고, 전극은 Au를 진공증착하여 lift-off 공정으로 형성하였다. 전극의 두께는 약 600Å 정도 되었다. 전극의 위치는 소오스와 드레인 전극을 형성한 후 펜타센을 증착하는 <그림 2(a)>의 하부전극구조와 펜타센 증착 후 전극을 형성하는 <그림 2(b)>의 상부전극구조 두 가지 구조로 제작하였다. 하부전극구조 소자는 lithography 공정으로

동일한 칩에 다양한 길이의 채널을 갖는 소자들을 제작하였으나, 상부전극구조 소자의 경우 펜타센이 유기 용매에 용해되기 때문에 lithography 공정을 사용하지 못하고 shadow mask로 단일 채널길이 100 μm 의 소자만 제작하였다. 각 전극구조의 소자에 대해서 펜타센 박막은 300Å, 650Å-700Å, 900Å-1000Å 세 가지 두께로 제작하였다. 소자의 전기적 특성은 HP4155A로 측정하였다.

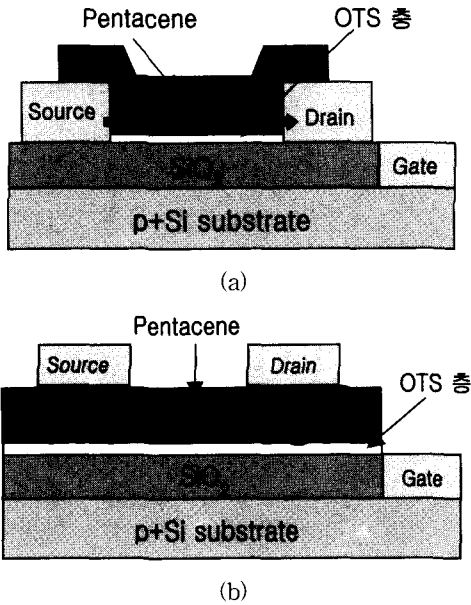


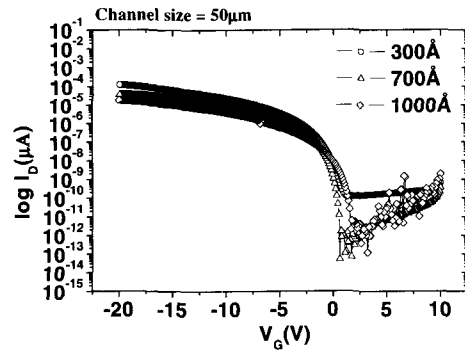
그림 2. 펜타센 OTFT의 (a) 하부전극구조 및 (b) 상부전극구조

Fig. 2. (a) The Bottom contact, and (b) the top contact structure of pentacene OTFT

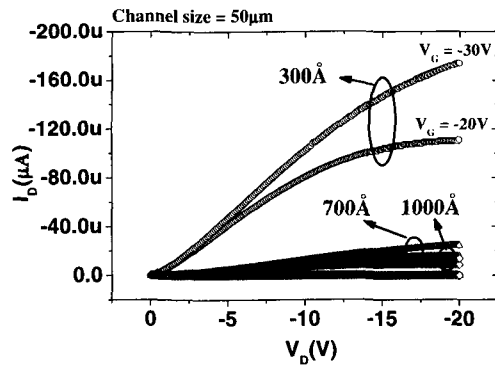
III. 결 과

펜타센 OTFT는 <그림 3>과 <그림 4>와 같이 p형 FET의 특성을 나타내고 있다. <그림 3(b)>의 하부전극구조에서 펜타센 박막의 두께가 증가함에 따라 700Å에서 전류가 급감하고 1000Å에서는 큰 감소를 보이지 않는다. <그림 4(b)>의 상부전극구조에서는 박막의 두께가 증가함에 따라 전류는 두께에 반비례하여 점진적으로 감소하였다. 소자내부에서 전류의 전송을 살펴 보면, 정공은 소오스에서 주입되어 드레인으로 전송되는데 전송로는 저항이 작은 채널영역과 저항이 큰 벌크영역으로 구성된다. 상부전극구조는 소오스 전극과 채널 사이에 벌크 영역이 있기 때문에 정공은 <그림

2(b)>에서 보듯이 소오스에서 벌크로 주입된다. 주입된 정공은 채널의 전위가 소오스와 드레인 사이의 전위보다 낮기 때문에 대부분의 정공은 소오스에서 드레인으로 이어지는 벌크영역을 통하여 직접 전송되지 않고, 저항이 작은 채널을 통하여 드레인으로 전송하게 되므로 채널과 벌크 영역의 영향을 모두 받지만 두께가 증가할수록 벌크영역이 증가하여 전송로의 길이가 길어지고 저항이 증가하므로 전류가 반비례하여 감소하게 된다. 반면에 하부전극구조는 소오스 전극이 채널과 직접 맞닿아 있기 때문에 정공은 벌크 보다는 <그림 2(a)>에서 보듯이 주로 채널로 직접 주입되므로 벌크의 두께의 영향은 크게 받지 않고 채널의 결정상태의 영향을 받는다. 따라서, 박막의 두께가 증가하여 박막의 결정상태가 thin film phase에서 bulk phase로 변하는 두께에서 전류가 급감하게 되고, 일단 bulk phase로 변



(a)



(b)

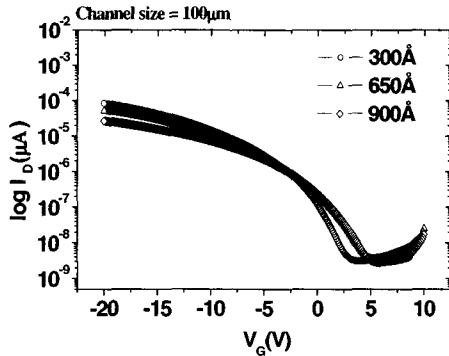
그림 3. 하부전극구조의 펜타센 OTFT의 펜타센 박막 두께에 따른 (a) ID-VG 및 (b) ID-VD 관계 그래프

Fig. 3. (a) ID-VG, and (b) ID-VD of pentacene OTFT with bottom contact according to the thickness of pentacene thin film.

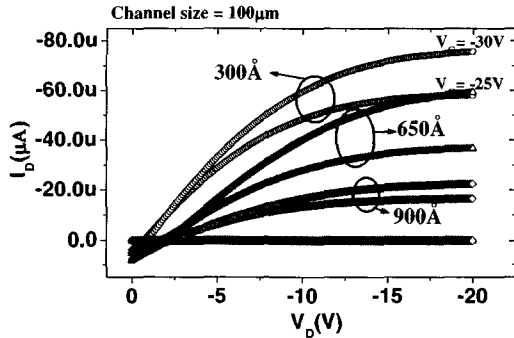
한 후 두께의 영향은 크게 받지 않는 것으로 생각된다. 결정상태의 변화에 대해서는 뒤에 자세히 설명하도록 한다.

측정한 I-V 관계 그래프와 식 (2)의 FET 전류-전압 관계식으로부터 OTFT의 성능을 나타내는 지수들 즉 전계이동도(μ_{FET} , $\text{cm}^2/\text{V}\cdot\text{sec}$), 전류점멸비(ION/OFF), 문턱전압(V_T , V), sub-threshold slope(SS, V/dec), 차단상태의 소오스와 드레인 전극간 누설전류(I_{OFF} , A) 등을 추출하였다. 제작한 모든 소자에 대해서 성능지수들을 추출하였고, 이들을 <표 1>에 정리하였다.

$$I_D = -\frac{WC_{OX}}{2L} \mu (V_G - V_T)^2 \quad (2)$$



(a)



(b)

그림 4. 상부전극구조의 펜타센 OTFT의 펜타센 박막 두께에 따른 (a) ID-VG 및 (b) ID-VD 관계 그래프

Fig. 4. (a) ID-VG, and (b) ID-VD of pentacene OTFT with top contact according to the thickness of pentacene thin film.

모든 하부전극구조의 소자에서 공통적으로 나타나는 현상으로 채널길이가 가장 짧은 $10\mu\text{m}$ 소자가 다른 소자에 비하여 전계이동도가 가장 작게 나타났다. 이러한

원인으로는 Au 전극과 펜타센 분자간 상호간의 관계에서 기인하는 것으로 <그림 5(a)>의 AFM 사진에서 보듯이 Au 전극 위와 가장자리 주변에 증착된 펜타센의 그래인이 채널 중심부의 그래인에 비하여 상대적으로 작음을 볼 수 있다. 금속의 표면은 전하가 자유롭게 이동하기 때문에 어떤 분자든지 쉽게 흡착하여 그래인이 커질 것 같으나 펜타센의 경우는 다르다. 펜타센은 기판으로부터 반발력이 있어야 분자정렬이 양호해 지므로 금속 위에서는 그래인이 오히려 작아진다.^[13] 금속 위에서는 펜타센 분자가 옆으로 누워 위치하기 때문에 측면으로 정렬되지 못하여 결정도가 떨어진다. 따라서, Au 전극 표면과 주변에서 펜타센 박막의 그래인이 작아지고^[14] 이것은 전계이동도를 감소시키는 원인이 된다. 이러한 현상을 고려하면 전체 이동도는 식 (3)과 같이 모서리 그래인에 의한 모서리 이동도 μ_m 와 채널 중심부 그래인에 의한 중심부 이동도 μ_c 으로 표기할 수 있다. 그러므로, 채널길이가 짧을수록 모서리 이동도가 전체 이동도에 미치는 영향이 커지기 때문에 채널 길이가 짧은 소자의 전계이동도가 채널길이가 큰 소자에 비하여 작아진다. 이것을 전극의 “모서리 효과”라고 이름 붙인다.

$$\frac{1}{\mu_{FET}} = \frac{1}{\mu_m} + \frac{1}{\mu_c} \quad (3)$$

모서리 효과가 크게 나타나는 소자들을 제외하면, 펜타센 박막의 두께가 300Å일 때 전계이동도의 평균값이 $0.28\text{cm}^2/\text{V}\cdot\text{sec}$ 이고 700Å과 1000Å일 때 각각 $0.086\text{cm}^2/\text{V}\cdot\text{sec}$ 과 $0.094\text{cm}^2/\text{V}\cdot\text{sec}$ 이었다. 즉 펜타센 박막의 두께가 작을 때 이동도는 양호하였다. 펜타센 박막이 두꺼워질수록 그래인 내부의 응력이 증가하여 박막상태(thin film phase)에서 벌크상태(bulk phase)로 변화하는데 이러한 상태의 변화가 전계이동도 감소의 원인이 된다.^[8] 박막이 두꺼워질수록 분자간격이 박막상태의 14.5Å에서 벌크상태의 15.3Å으로 증가하고, 따라서 분자의 π -궤도 중첩도가 감소하여 전계이동도는 감소한다.^[8] 또한 <그림 6>과 같이 박막상태에서는 펜타센 박막과 게이트 절연층 표면과의 밀착상태가 양호한 반면에 벌크상태에서는 펜타센 그래인의 응력이 상승함에 따라 그래인과 절연층 표면 사이에 공극이 발생하는 것으로 알려져 있다.^[8] 이러한 계면의 공극이 전계이동도 감소의 원인이라고 추정된다.

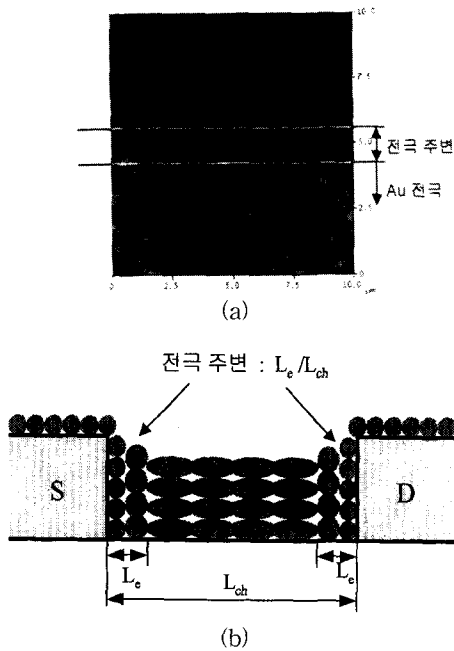


그림 5. (a) Au 전극 주변의 펜타센 박막 AFM 사진과 (b) 전극의 모서리 효과 개념도
 Fig. 5. (a) AFM figure of pentacene around Au contact, and (b) the model of contact edge effect.

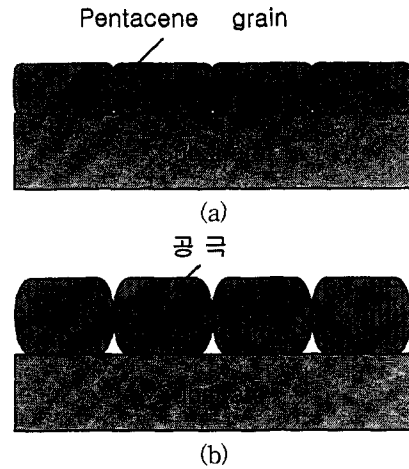


그림 6. (a) 박막상태와 (b) 벌크상태 때 펜타센 그레인
 인과 절연층 표면과의 밀착상태
 Fig. 6. (a) The superior adhesion of pentacene grain to gate I nsulator in thin film phase and (b) the formation of voids at the grain boundaries in the bulk phase

Sub-threshold slope는 게이트 전압의 변화에 대하여 정공이 얼마나 민첩히 채널로 공급되는지를 나타내는 지수로서 전류가 10배 변화하는데 필요한 게이트 전압

표 1. 펜타센 OTFT의 성능지수

Table 1. Performance parameters of pentacene OTFTs.

		Parameters						
	두께 (Å)	채널길이 (μm)	$\mu_{FET}(cm^2/Vs)$	SS(V/dec)	$V_T(V)$	I_{on}/I_{off}	Off-state current(A)	
하부 전극	300	10	0.026	2.94	-2.3	9.11×10^2	4.40×10^{-8}	
		20	0.390	0.52	-0.2	3.19×10^7	9.32×10^{-12}	
		30	0.240	0.40	-1.4	5.28×10^6	2.17×10^{-11}	
		40	0.100	0.82	-1.8	2.93×10^5	1.38×10^{-10}	
		50	0.380	0.65	-2.3	1.04×10^6	1.20×10^{-10}	
	700	10	0.025	2.48	-1.6	7.26×10^3	4.20×10^{-9}	
		20	0.079	6.30	-3.5	0.091×10^3	5.48×10^{-7}	
		50	0.092	0.30	-1.8	2.34×10^7	1.62×10^{-12}	
	1000	10	0.062	0.89	0.7	2.90×10^5	2.89×10^{-10}	
		20	0.066	0.67	-0.9	8.59×10^5	5.22×10^{-11}	
		30	0.120	0.94	-3.1	1.25×10^5	4.30×10^{-10}	
		40	0.083	2.04	-2.8	4.42×10^3	6.40×10^{-9}	
		50	0.077	0.53	-2.2	3.61×10^6	5.30×10^{-12}	
	상부 전극	300	100	0.180	2.7	-2.9	9.60×10^3	4.48×10^{-9}
		650	100	0.190	2.5	-2.2	1.45×10^4	3.55×10^{-9}
900		100	0.078	2.5	0.8	9.23×10^3	2.89×10^{-9}	

의 크기로 표시하고, 작은 값일수록 우수한 성능을 나타낸다. <표 1>에서 보듯이 펜타센의 두께가 증가할수록 SS의 평균값은 300Å의 0.6V/dec에서 1000Å의 1.05V/dec로 증가하였다. 즉 펜타센 박막이 두꺼울수록 같은 크기의 전류를 흘리는데 더 큰 게이트 전압이 필요하게 된다. 이것은 채널에 충분한 정공이 공급되지 않기 때문인데, <그림 6(b)>의 두꺼운 박막의 경우 벌크상태의 절연층 표면에 형성되는 공극이 정공포획 역할을 하기 때문이다.^[15]

전류 점멸비도 300Å일 때 평균 10^7 에서 1000Å일 때 10^6 으로 감소하였다. 이것은 누설전류가 300Å일 때 평균 7.2×10^{-11} A에서 1000Å일 때 10^{-9} A로 증가하였기 때문이다. 이러한 누설전류의 증가도 벌크상태 때 발생하는 공극에 기인하는 것으로 추정된다.

상부전극구조의 펜타센 OTFT에서 전계이동도는 하부전극과 비교하여 비교적 양호한 것으로 나타났다. 이것은 전극이 펜타센 위에 증착되므로 전극의 모서리 효과가 발생하지 않았기 때문이다. 그리고 펜타센이 두꺼울수록 전계이동도는 감소하였는데, 이것은 벌크상태의 공극 외에도 정공의 흐름이 <그림 2(b)>와 같이 상부 소오스 전극에서 하부의 채널로, 다시 상부 드레인 전극으로 이동하기 때문에 상부전극과 채널 사이에 형성되어 있는 그레인 경계 산란도 한 원인이 된다. 상부전극과 채널과의 간격 때문에 정공의 공급이 원활하지 못하여 SS도 증가한 것으로 나타났다. 그리고, 누설전류가 평균 3.64×10^{-9} A로 상당히 크게 나타났다. 이것은 전극의 모서리 효과가 발생하지 않아서 접촉저항이 하부전극의 $10^6 \Omega$ 에서 상부전극의 $10^5 \Omega$ 으로 감소한 것이 그 원인으로 생각된다. 저항이 감소함으로써 게이트 전압이 인가되지 않은 차단상태에서도 소오스와 드레인 사이에 흐르는 누설전류는 증가한다. 이러한 현상은 펜타센에 요오드를 도핑하여 펜타센의 전도도를 증가시킨 경우, 그리고 하부전극 구조에서 전극 부분에만 선택적 도핑을 하여 접촉저항을 감소시킨 경우에도 발생하였다.^[10] 따라서, 단순히 저항의 감소가 성능 개선에 직결되는 것이 아니고, on/off 시 채널의 전도도 변화가 성능에 더 큰 영향을 준다.

IV. 결 론

펜타센 OTFT에서 펜타센 활성층의 두께가 소자의

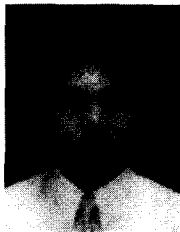
성능에 영향을 미치는 것을 확인하였다. 펜타센의 두께가 증가할수록 성능이 열화되었다. 주된 원인으로 펜타센 박막이 두꺼워지면서 그레인 상태가 박막상태에서 벌크상태로 변이하면서 π -밴드 중첩도가 감소하고, 또한 그레인 내부 응력이 증가하면서 그레인과 게이트 절연층 표면의 계면에서 공극이 발생한 것을 들 수 있다. 이러한 상태변이가 발생하는 두께는 300Å과 700Å 사이인 것으로 추정된다. 상부전극구조의 경우 전극의 모서리효과가 발생하지 않기 때문에 전극의 접촉저항은 감소하였으나, 이로 인하여 누설전류가 증가하여 전류 점멸비는 감소하였다. 그리고, 상부전극구조는 shadow mask를 사용해야 하므로 미세구조 제작에는 어려움이 있다. 결론적으로 펜타센 박막의 두께는 300Å 정도, 그리고 하부전극 구조가 적합한 것으로 확인되었다.

참 고 문 헌

- [1] H.Klauk, D.J.Gundlach, J.A.Nichols, and T.N. Jackson, "Pentacene organic thin-film transistors for circuit and display applications" IEEE Trans. Electro Devices, Vol. 46, p. 1258, 1999.
- [2] J.H.Schon, Ch.Kloc, E. Bucher, and B. Batlogg, "Efficient organic photovoltaic diodes based on doped pentacene" Nature, Vol. 403, p. 408, 2000.
- [3] C.D.Dimitrakopoulos, B.K.Furman, T.Graham, S.Hedge, S.Purushothaman, "Field-effect transistors comprising molecular beam deposited, α, ω -di-hexyl-hexathienylene and polymeric insulator" Synth. Met., Vol. 92, p. 47, 1998.
- [4] A.R.Brown, C.P.Jarret, D.M. de Leeuw, M.Matters, "Field-effect transistors made from solution-processed organic semiconductors" Synth. Met., Vol. 88, p. 37, 1997.
- [5] Y.Lin, D.J.Gundlach, S.F.Nelson, and T.N. Jackson, "Stacked pentacene layer organic thin-film transistors with improved characteristics" IEEE Elect. Dev. Lett., Vol. 18, p. 606, 1997.
- [6] C.D.Dimitrakopoulos, A.R.Brown, and A.Pomp, "Molecular beam deposited thin films of pentacene for organic field effect transistor

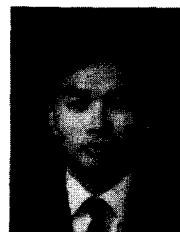
- applications" J. Appl. Phys., Vol. 80, p. 2501, 1996.
- [7] F. Heringdorf, M.C.Reuter, and R.M.Tromp, "Growth dynamics of pentacene thin films" Nature, Vol. 412, p. 517, 2001.
- [8] C.K.Song, B.W.Koo, S.B.Lee, and D.H.Kim, "Characteristics of pentacene organic thin film transistors with gate insulator processed by organic molecules" Jpn. J. Appl. Phys., Vol. 41, p. 2730, 2002.
- [9] G.Horowitz, X.Peng, D.Fichou, and F.Garnier, "Role of Semiconductor/Insulator Interface in the Characteristics of π -Conjugated-Oligomer-Based Thin-Film Transistors" Synth. Met., Vol. 51, p. 419, 1992.
- [10] D.J.Gundlach, H.Klaok, C.D.Sheraw, C.C.Kuo, J.Huang, and T.N. Jackson, "High-Mobility, Low Voltage Organic Thin Film Transistors" IEDM, pp. 111~114, 1999.
- [11] 최시영 외, 박막공학의 기초, p. 74, 일진사, 2001.
- [12] C.K.Song, M.K.Jung, and B.W.Koo, "Pentacene thin film transistor improved by thermal annealing" J. Korean Phys. Soc., Vol. 39, p. S271, 2001.
- [13] I.Kymissis, C.D.Dimitrakopoulos, and S.Purushothaman, "High-performance bottom electrode organic thin-film transistors" IEEE Tran. Elect. Dev., Vol. 48, p. 1060, 2001.
- [14] R.B.Campbell, J.M.Robertson, and J.Trotter, "The crystal and molecular structure of pentacene" Acta Crystal, vol. 14, p. 705, 1961.
- [15] J.H.Schon, Ch.Kloc, and B.Batlogg, "On the intrinsic limits of pentacene field-effect transistors" Organic Electronics, Vol. 1, p. 57, 2000.

저 자 소 개



李明源(正會員)

2002년 2월 동아대학교 전자공학과 졸업 (공학사). 2002년 1월~현재, 동아대학교 전자공학과 석사과정, <주관심분야 : Organic TFT를 기반으로 하는 EL 및 TFT-LCD display 응용>



宋政根(正會員)

1980년 2월 서울대학교 전자공학과 졸업 (공학사). 1984년 2월 서울대학교 전자공학과 대학원 졸업 (공학석사). 1992년 2월 University of Cincinnati Electrical & Engineering 졸업 (공학박사) 1993~ 현재 동아대학교 전자전기컴퓨터공학부 부교수. <주관심분야 : 나노유기소자, 분자전자소자, MMIC >



金光賢(正會員)

2002년 2월 동아대학교 전자공학과 졸업 (공학사). 2002년 1월 ~현재, 동아대학교 전자공학과 석사과정, <주관심분야 : Organic TFT를 기반으로 하는 EL 및 TFT-LCD display 응용>