

論文2002-39SD-12-7

# 안정적인 고속동작을 위한 다이내믹 D Flip-Flop

## (Dynamic D Flip-Flop for Robust and High Speed Operation)

宋明洙\*, 許峻豪\*\*, 金壽遠\*\*

(Myoung Su Song, Jun Ho Huh, and Soo Won Kim)

### 요 약

기존 TSPC D 플립플롭<sup>[1]</sup>은 한 종류의 클럭 신호만을 사용 함으로서 고속 동작을 제한하던 레이싱(racing) 문제를 제거하고, 구조 자체도 매우 간단하기 때문에 고속 동작이 용이한 장점을 가지고 있다. 또한 한 종류의 클럭을 사용하기 때문에 클럭 드라이버 및 클럭 네트워크가 간단해 진다는 장점이 있다. 하지만 이러한 구조는 글리치나 비대칭적인 전파 지연 시간과 같은 단점을 가지고 있다. 본 논문에서는 이러한 단점을 개선한 새로운 동적 플립플롭을 설계하였다. 제안된 구조는 출력의 불필요한 방전을 막기 위한 방전 억제 방식(Discharge Suppression Scheme)을 이용하여 출력의 글리치 현상을 완전히 제거하였으며, 최대 클럭 경사 민감도를 0.25ns에서 1ns로 4배 이상 향상시킬 수 있었다. 또한 기존 구조를 개선하여 트랜지스터 수를 줄이고, 비대칭적인 전파 지연 시간을 대칭적으로 만들어 줌으로서 기존 구조에 비해서 약 30%의 속도 향상 효과를 얻을 수 있었다.

### Abstract

Conventional TSPC D flip-flop has the advantages of high speed, simple clock distribution, and no racing because of the single phase clocking strategy and its simple structure. But, it suffers from glitch, clock slope sensitivity and unbalanced propagation delay problems. Therefore, a new dynamic D flip-flop, which improves these disadvantages, is proposed. The main idea of this paper is DS(Discharge Suppression) scheme, which suppresses unnecessary discharge. As a result, the proposed structure is free from glitch problem and it improves maximum clock slope immunity from 0.25ns to 1ns. Also, it uses only 8 transistors and it is demonstrated that high speed operation is feasible by balancing propagation delay time.

**Keyword** : flip-flop, glitch-free, CLOCK slope immunity, discharge suppression

### I. 서 론

플립플롭은 파이프라인 구조를 사용하는 마이크로프로세서나 클럭에 맞추어 동작하는 모든 싱크로너스

(synchronous) 디지털 시스템에서 가장 많이 사용되는 기본 블록이다. 이러한 플립플롭은 신호를 저장하기 위한 기본 요소를 무엇으로 사용하느냐에 따라 정적 플립플롭과 동적 플립플롭으로 나눌 수 있다.

동적 플립플롭의 대표적인 예로 J. Yuan 에 의해 제안된 TSPC(True Single Phase Clocking) 방식을 사용한 다이내믹 D 플립플롭을 들 수 있다.<sup>[1]</sup> TSPC D 플립플롭은 이전의 동적 플립플롭과 다르게 한 종류의 클럭만을 사용 함으로서 이전의 구조에서 고속 동작을 제한하던 레이싱(racing) 문제를 완전히 제거할 수 있

\* 正會員, 三星電子株式會社

(Samsung Electronics Co., Ltd)

\*\* 正會員, 高麗大學校 電子工學科

(Dept. of Electronics Engineering, Korea University)

接受日字:2001年9月12日, 수정완료일:2002年11月27日

있을 뿐만 아니라, 구조 자체가 매우 간단하기 때문에 고속 동작이 용이한 장점을 가지고 있다. 또한 한 종류의 클럭을 사용하기 때문에 클럭 드라이버 및 클럭 네트워크가 매우 간단해 질 수 있다는 점도 큰 장점이라 볼 수 있다.

그러나 TSPC D 플립플롭은 구조적으로 글리치, 비대칭적인 전파 지연 시간 뿐 아니라 클럭 경사에 민감하다는 단점을 가지고 있다. 이러한 단점들 중 글리치 문제와 클럭 경사 민감도 문제는 출력 노드의 전하가 원하지 않는 시점에서 순간적으로 방전된다는 것에 근본적인 원인을 두고 있다.<sup>[2]</sup> 이러한 방전을 막기 위해서 본 논문에서는 방전 억제 방식을 적용하여 글리치 및 클럭 경사 민감도 문제를 개선한 새로운 플립플롭을 제안하였다. 이러한 방전 억제 방식을 적용한 결과 비대칭적인 전파 지연 시간을 대칭적으로 만들 수 있었고 결과적으로 기존 플립플롭의 지연 시간(total delay time)에서 가장 큰 부분을 차지했던 전파 지연 시간(propagation delay time)을 감소시키는 효과를 얻을 수 있었다.

본문 내용은 다음과 같은 순서로 구성되어 있다. 제 2 절에서는 기존 TSPC D 플립플롭의 모의 실험 결과와 timing parameter를 통해 단점을 분석하고, 이전의 논문에서 제안되었던 glitch-free D 플립플롭<sup>[2]</sup>에 대해서 간단히 설명하였다. 제 3 절에서는 기존 구조의 단점을 개선한 새로운 다이내믹 D 플립플롭을 소개하고 마찬가지로 모의 실험 결과를 설명하였다. 마지막으로 제 4 절에서는 간단한 결론과 함께 두 플립플롭의 모의 실험 결과를 요약하였다.

본 논문의 모의 실험은 HSPICE CMOS 0.18um 공정을 이용하여 수행되었다.

## II. 기존 TSPC D 플립플롭

<그림 1>은 J. Yuan에 의해 제안된 positive-edge triggered TSPC D 플립플롭의 구조를 나타낸 그림이다. 서론에서 설명한 바와 같이 한 종류의 클럭을 사용함으로써 레이싱 문제를 완전히 제거할 수 있으며, 단지 9개의 트랜지스터로 회로가 구성됨에 따라 내부 노드의 기생 커패시턴스가 현저하게 줄어들게 되고, 따라서 고속 동작에 매우 적합한 구조이다.

하지만 TSPC D 플립플롭은 서론에서 설명한 바와 같이 세가지 단점을 가지고 있다.

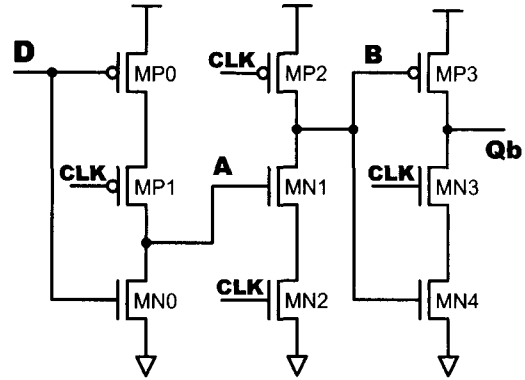
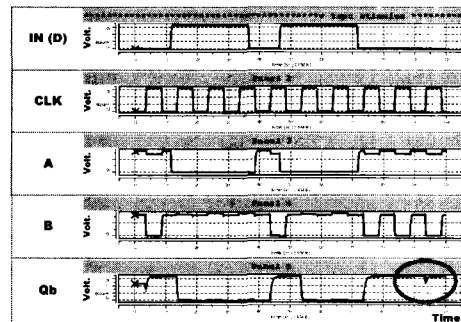


그림 1. 기존 TSPC D 플립플롭 구조  
Fig. 1. Original TSPC D FF configuration.

### 1. 글리치

글리치 현상이 발생하는 원인을 살펴보면 다음과 같다. <그림 1>에서 입력 데이터가 계속해서 low 값을 유지하고 있을 때 클럭이 low인 구간에서 내부의 A, B node가 high로 충전된다. 이후 클럭이 high로 천이(transition)하는 순간 B node는 low로 방전되고 따라서 출력 Qb node는 계속해서 high 값을 유지해야만 한다. 그런데 클럭이 high 값으로 천이 하면서 B node가



(CMOS 0.18, 1.65V, @1GHz, 40% transition activity)

그림 2. TSPC D 플립플롭의 모의 실험 파형  
Fig. 2. Simulation waveform of TSPC D F/F.

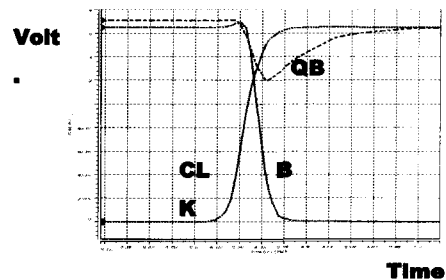


그림 3. 글리치 문제  
Fig. 3. Glitch problem.

방전되는데 얼마간의 시간이 걸리기 때문에 결과적으로 B node의 전압과 clock 신호가 high 값으로 중복되는 경우가 발생하고 따라서 MN3와 MN4가 동시에 켜지는 구간이 발생하게 된다.

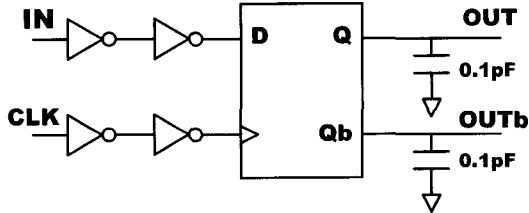


그림 4. 모의 실험 모델  
Fig. 4. Simulation model.

이러한 원리로 인해 Qb node가 순간적으로 방전되었다가 다시 충전되는 글리치(glitch) 현상이 발생하게 된다. 글리치 현상은 플립플롭 자체의 불필요한 전력소모를 발생시킬 뿐만 아니라 다음 단의 로직 블록에 부가적인 전력 소모를 유발하게 하는 원인을 제공한다. 이러한 글리치 현상이 <그림 2>에 보여지고 있으며 <그림 3>은 글리치 현상의 원인을 보여주고 있다. 이러한 모의 실험은 <그림 4>와 같은 모델을 가지고 수행되었다.

2. 클럭 경사 민감도 (clock slope sensitivity)

<그림 5>는 100MHz 클럭 주파수에 클럭 경사 (slope)를 0.3ns로 유지하였을 때의 출력 파형을 보여주고 있다. 여기서 출력 QB 신호가 일부 구간동안 잘못된 값을 전달하는 것을 확인할 수 있다. 이러한 원인은 TSPC D 플립플롭이 클럭 경사에 매우 민감하기 때문인데, 그 원인을 자세히 살펴보면 다음과 같다. 입력이 low 값을 유지하고 있는 상태에서 클럭 신호가 low에서 high로 천이하는 순간 Qb node는 high인 값으로 결정된다. 이후 클럭이 high에서 다시 low로 천이할 때 MP2에 의해서 B node가 high값으로 결정되는 시간은 매우 빠른 반면 클럭의 경사가 완만하다면 MN3는 어느 정도 켜져 있는 상태가 되어 있다. 따라서 두 node의 전압이 high로 중복되는 구간이 발생하게 되고 Qb 노드는 순간적으로 방전되게 된다. 이 잘못된 Qb 신호는 다음 충전(precharge)까지 계속 그 값을 유지하고 있고 다음 단의 로직 블록에 잘못된 값을 전달하게 된다. <그림 6>은 그 원인을 보여주고 있다.

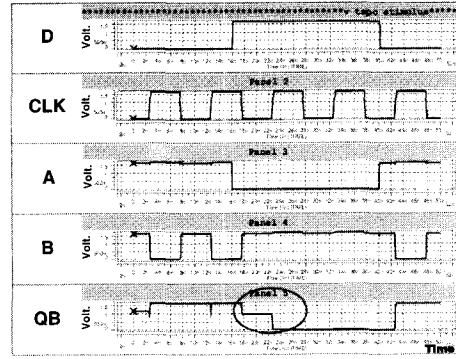


그림 5. 모의 실험 결과 (0.3ns 클럭 경사)  
Fig. 5. Simulation waveform at 0.3ns clock slope.

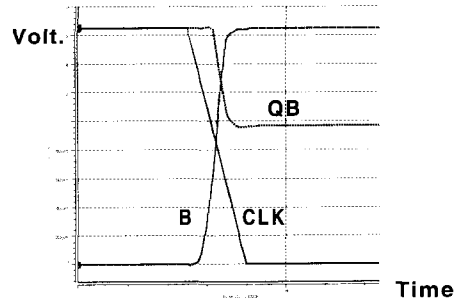


그림 6. 클럭 경사 민감도 문제  
Fig. 6. Clock slope sensitivity problem.

3. 전파 지연 시간

플립플롭의 동작 속도를 분석하기 위해서는 critical delay path에 대한 분석을 통해 propagation delay time( $T_P$ )과 setup time( $T_{su}$ ), hold time( $T_h$ )의 타이밍 파라미터들을 찾아야 한다. <그림 7(a)>는 기존 TSPC D 플립플롭의  $T_{su}$ 의 critical path를 나타낸 것으로 입력 D에서 A node까지 신호가 전달되기 위해 필요한 최소의 시간을 의미한다. <그림 7(b)>는 클럭이 low에서 high로 천이할 때 Qb 신호가 출력되기 위한  $T_P$ 의 critical path를 나타낸다.

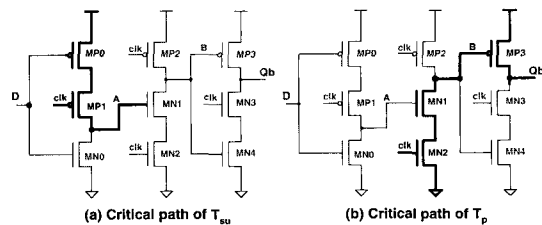


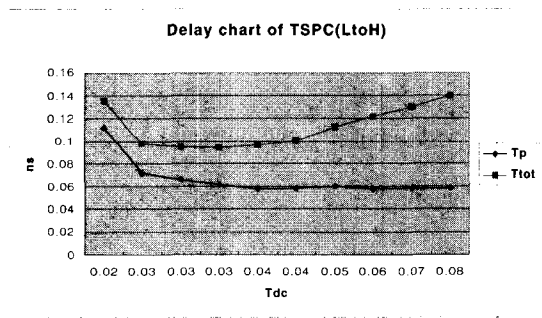
그림 7. 기존 TSPC D 플립플롭의 경로  
(a)  $T_{su}$  critical path (b)  $T_P$  critical path  
Fig. 7. (a)  $T_{su}$  critical path (b)  $T_P$  critical path of conventional TSPC D F/F.

위와 같이 critical path를 결정한 후 입력과 클럭 신호의 천이 사이의 시간( $T_{dc}$ )을 변화시키면서 TP를 측정하게 되면, 그 플립플롭의 전체 지연 시간  $T_{tot}(T_{dc} + T_p)$ 을 결정할 수 있다. 이  $T_{tot}$ 이 최소일 때의  $T_{dc}$ 가 그 플립플롭의  $T_{su}$ 라 정의할 수 있다. 그리고 이 플립플롭의 최대 속도는

$$T_{tot(intrinsic)} = T_{su} + T_p \quad [3]$$

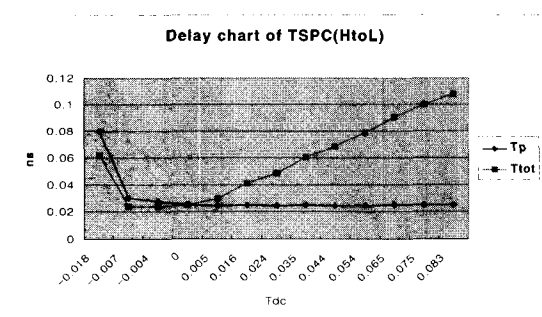
으로 결정된다. <표 1>은 TSPC D 플립플롭의  $T_{dc}$ 에 따른  $T_p$  및  $T_{tot}$ 을 나타낸 것으로  $T_{dc}$ 가 0.034ns 이하에서는  $T_p$ 가 0.062ns의 상수 값에서 증가하는 형태를 가지게 된다. D 플립플롭의 최대 속도는  $T_{tot}$ 가 최소일 때이므로, 이 때의  $T_{dc}$ 가 TSPC D 플립플롭의  $T_{su}$ 라 할 수 있다. 그러므로 TSPC D 플립플롭의  $T_p$  및  $T_{su}$ 를 0.034ns와 0.62ns로 결정할 수 있게 된다.

표 1. L to H 천이시의 지연 시간 차트  
Table 1. Delay chart of L to H tran.



	$T_{su}$	$T_p$	$T_{tot}$
Low to High tran.	0.03364	0.06154	0.09518

표 2. H to L 천이시의 지연 시간 차트  
Table 2. Delay chart of H to L tran.



	$T_{su}$	$T_p$	$T_{tot}$
High to Low tran.	-0.00425	0.02781	0.02356

동일한 방법으로 출력 Qb가 high에서 low로 천이할 경우의  $T_{su}$ ,  $T_p$ ,  $T_{tot}$ 을 표 2 와 같이 결정할 수 있다. <표 1>과 <표 2>는 TSPC D 플립플롭이 매우 비대칭적인 전파 지연 시간을 갖는다는 보여주고 있으며, 이러한 현상은 출력의 low to high 천이 경로와 high to low 천이 경로가 틀린 것에 그 원인을 두고 있다.

4. 기존 glitch-free D 플립플롭

<그림 8>은 Q. Huang 에 의해 제안되었던 Glitch-free TSPC D 플립플롭의 구조이다.<sup>[2]</sup> 이 구조는 출력의 원하지 않는 방전을 막기 위해서 내부에서 GR이라는 신호를 만들어 줌으로서 글리치 문제와 클럭 경사 민감도 문제를 제거한 회로이다. 하지만 TSPC D 플립플롭이 9개의 트랜지스터로 구성된 반면, 이 구조는 12개의 트랜지스터로 구성됨에 따라 회로가 복잡해지는 단점이 있다.

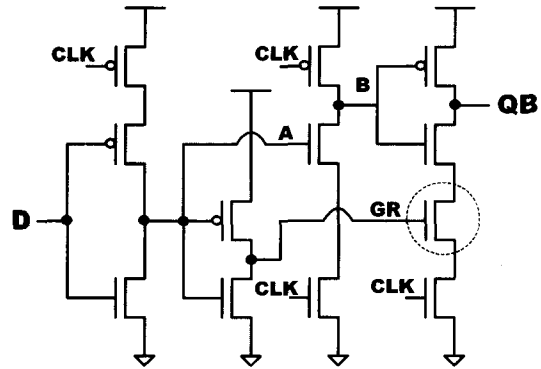


그림 8. 글리치 없는 플립플롭  
Fig. 8. Glitch - free D F/F.

또한 내부의 기생 커패시턴스가 증가함에 따라 속도가 느려지는 단점을 가지게 된다.

III. 제안된 다이내믹 D 플립플롭

<그림 9>는 본 논문에서 제안된 TSPC D 플립플롭의 구조를 나타내고 있다. 외형적으로 기존 TSPC D 플립플롭이 9개의 트랜지스터로 구성된 반면, 제안된 구조는 8개의 트랜지스터로 구성됨을 알 수 있다.

제안된 구조는 기존 TSPC D 플립플롭의 입력 단이 두개의 PMOS stack으로 구성되어 A 노드를 충전시키던 것에 반해서, PMOS 트랜지스터 하나에 의해 A와 B 노드를 동시에 충전하고 클럭이 low에서 high로 천

이하의 순간 출력 신호(Qb 노드)를 결정하는 구조로 설계되었다. 즉, 제안된 구조는 master-slave 구조의 기존 TSPC D 플립플롭과 다르게 sense amplifier처럼 입력 D에 따라 A 노드와 B 노드 중 어느 쪽 전하가 먼저 빠지는지에 따라 출력 Qb가 결정되므로 매우 짧은 셋업 타임( $T_{su}$ )을 가지도록 설계되어 있다.

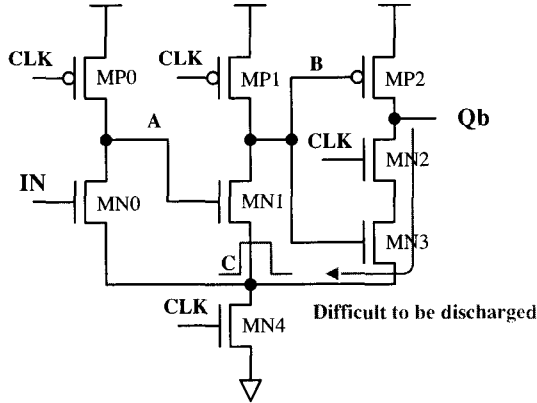


그림 9. 제안된 TSPC D 플립플롭  
Fig. 9. Proposed TSPC D F/F.

1. 방전 억제 방식(Discharge Suppression scheme)

출력에 글리치와 클럭 경사 민감도 문제가 발생하는 원인은 원하지 않는 시점에서 순간적으로 출력 노드의 전하가 방전되기 때문이다. 제안된 TSPC D 플립플롭은 C 노드의 전하가 이러한 잘못된 방전을 막아주는 역할을 한다. 즉 불필요하게 출력 노드가 방전될 때마다 C 노드에 일정한 전하가 충전되어 있고 C 노드의 전하가 방전된 후에야 비로소 출력 노드의 전하가 방전될 수 있기 때문이다. 결과적으로 출력 노드의 불필요한 방전을 억제 함으로서 글리치 문제와 클럭 경사 민감도 문제를 제거할 수 있게 된다.

이러한 방전 억제 방식은 속도 측면에서도 장점을 가지고 있다. 출력이 low에서 high로 천이하는 순간, C 노드의 전하가 출력이 low로 방전되는 것을 막아주는 역할을 하기 때문이다. 즉, 기존 구조에서는 출력이 low에서 high로 천이하는 순간 순간적으로 방전 상태가 되었다가 high로 천이하지만, 제안된 구조에서는 초기 상태부터 high로 충전될 수 있기 때문이다. 이러한 방전 억제 방식은 파이프라인 스테이지를 구성하는 레지스터(latch)에서 제안되었던 예가 있다.<sup>[11]</sup>

2. 모의 실험 결과

A. 글리치

<그림 10>은 제안된 TSPC D 플립플롭의 모의 실험 파형을 나타낸 그림이다. 기존 구조에서는 입력이 low인 상태에서 클럭이 low에서 high로 천이하는 순간 글리치가 발생하였다. 하지만 방전 억제 방식을 사용하는 제안된 구조에서는 출력 노드에 글리치가 발생하지 않음을 확인할 수 있었다.

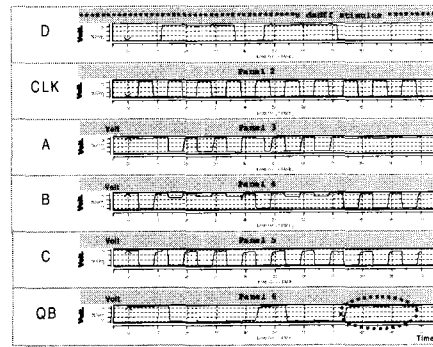


그림 10. 제안된 구조의 모의 실험 파형  
Fig. 10. Simulation waveform of proposed structure.

B. 클럭 경사 민감도

<그림 11>은 <그림 5>와 똑같은 조건을 가지고 모의 실험하였을 때의 파형을 나타낸 그림이다. 기존 구조에서는 0.25ns의 클럭 경사까지 동작할 수 있었던 반면, 제안된 구조에서는 약 1ns 정도의 클럭 경사에서도 안정적으로 동작함을 확인할 수 있었다. 이러한 클럭 경사 민감도 문제는 트랜지스터의 집적도가 높아지면, 특히 마이크로프로세서와 같이 수백만개의 트랜지스터가 한 칩 안에 집적화 되는 시스템에서, 클럭 드라이버가 드라이브해야 할 클럭 로드가 점점 더 커지면

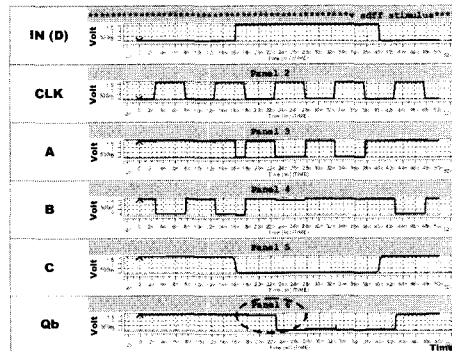


그림 11. 모의 실험 파형 (0.3ns clock slope)  
Fig. 11. Simulation waveform at 0.3ns clock slope.

서 그 중요성이 점점 더 대두되고 있는 실정이다. 즉, 칩의 크기가 커짐에 따라 클럭 로드가 점점 증가하게 되고 원하는 조건에 맞는 (rising, falling slope) 클럭의 공급이 점점 더 힘들어지게 되면서 클럭 경사가 완만해지더라도 올바르게 동작하는 회로 설계 기술은 안정된 동작을 위해서 반드시 고려해져야 될 부분이기 때문이다.

C. 전파 지연 시간

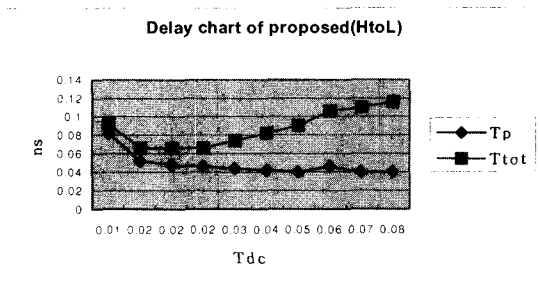
Qb 노드가 high에서 low로 방전되어야 할 경우에도 C 노드의 전하가 Qb 노드가 방전되는 것을 막는 역할을 할 뿐더러, 기존의 구조에서 2개의 NMOS 트랜지스터를 거쳐 방전되던 것에 비해서 3개의 NMOS 트랜지스터를 거쳐 방전되기 때문에 출력 Qb가 방전되는데 기존의 TSPC 플립플롭의 경우보다 더 많은 시간이 걸리게 된다. 즉, 출력이 high에서 low로 천이하는 시간이 길어지게 되는 것이다. 하지만 low에서 high로 천이하는 시간은 줄어들게 되는데, 이러한 이유는 low에서

high로 천이하는 순간 발생하는 초기의 불필요한 방전을 C 노드의 전하가 막아주기 때문이다. 결과적으로 low에서 high로 천이하는 시간은 늘어나지만 high에서 low로 천이하는 시간은 줄어들게 되면서 대칭적인 전파 지연 시간을 가지게 된다. <표 3>과 <표 4>는 이러한 결과를 보여주고 있다. <표 3>과 <표 4>의 전파 지연 시간은 각각 0.04828ns와 0.04285 ns로서 매우 대칭적임을 확인할 수 있다. 또한  $T_{tot}$ 이 0.09518ns에서 0.06552ns로 줄어들면서 약 30%의 속도 향상 효과를 얻을 수 있었다.

IV. 결 론

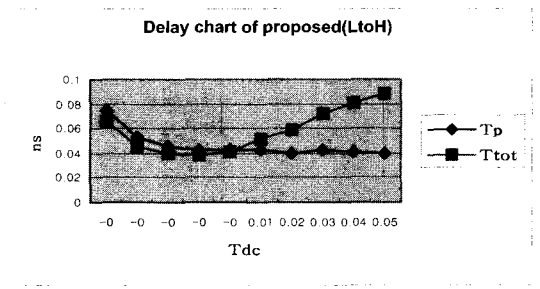
본 논문에서는 기존 TSPC D 플립플롭의 단점을 개선한 새로운 플립플롭을 제안하였다. 제안된 구조는 방전 억제 방식을 이용하여 글리치 문제를 완전히 제거하였으며, 클럭 경사 민감도를 0.25ns에서 1ns로 4배 이상 향상시킬 수 있었다.

표 3. H to L 천이시의 지연 시간 차트  
Table 3. Delay chart of H to L tran.



	Tsu	Tp	Ttot
Low to High tran.	0.01724	0.04828	0.06552

표 4. L to H 천이시의 지연 시간 차트  
Table 4. Delay chart of L to H tran.



	Tsu	Tp	Ttot
High to Low tran.	-0.00394	0.04285	0.03891

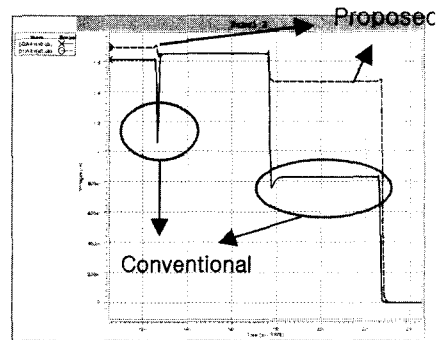


그림 12. 모의 실험 파형 비교

Fig. 12. Comparison of simulation waveforms of two F/F.

표 5. 두 플립플롭의 특성 비교

Table 5. Comparison of characteristics of two F/F.

	Conventional	Proposed
No. of transistor	9	8
Glitch	Yes	No
Clock slope immunity	0.25ns	1ns
Propagation delay	0.06154ns	0.04828ns
Setup time	0.03364ns	0.01724ns
Total delay	0.09518	0.06552
Power consumption	161uW	159uW
Power delay product	15.3fJ	10.4fJ

(CMOS 0.18 , 1.65V, @1GHz, 40% input transition activity)

또한 전파 지연 시간을 대칭적으로 만들어 줌으로서 약 30%의 속도 향상 효과를 얻을 수 있었다. 이러한 성능 향상은 면적이나 전력 소모 측면에서 어떠한 상호관계 없이 설계되었다. <표 5>는 두 플립플롭의 특성을 보여주고 있으며, 제안된 구조는 모든 면에서 기존 구조보다 뛰어난 성능을 보인다는 것을 확인할 수 있다.

제안된 플립플롭은 고속 동작을 요구하는 모든 디지털 시스템에 광범위하게 사용될 수 있을 것이며, 특히 고속동작을 요하는 프리스케일러 등에 적용될 수 있을 것이다.

### 참 고 문 헌

- [1] Jiren Yuan and C. Svensson "High-Speed CMOS Circuit Technique" IEEE J. of Solid-State Circuits, Vol. 24, No. 1, pp. 62~70, Feb. 1989.
- [2] Q. Huang et all "Speed Optimization of Edge-Triggered CMOS Circuits for Gigahertz Single-Phase Clocks" IEEE J. of Solid-State Circuits, Vol. 31, No. 3, pp. 456~465, March 1996.
- [3] Vladimir Stojanovic and Vojin G. Oklobdzija "Comparative Analysis of Master-Slave Latches and Flip-Flops for High-Performance and Low-Power Systmes" IEEE J. Solid-State Circuits, Vol. 34, No. 4, pp. 536~548, Apr. 1999.
- [4] Jan M. Rabaey, *Digital Integrated Circuits*, Prentice Hall, 1996, pp. 333~355.
- [5] Kwan-Yeob Chae et all "New dynamic D Flop-Flops for High-speed and Low-power digital system" 7<sup>th</sup> Korean conference on semiconductors, pp. 161~162, jan. 2000.

### 저 자 소 개

宋 明 洙(正會員)

1974년 8월 19일생. 2000년 2월 서울 산업 대학교 학사. 2002년 2월 고려대학교 전자공학과 석사. 2002년 2월~현재 삼성전자 연구원

許 峻 豪(正會員)

1969년 9월 18일생. 1992년 2월 고려 대학교 전자공학과 학사. 1994년 2월 고려대학교 전자공학과 석사. 1994년 2월~현재 삼성전자 책임 연구원. 2000년 9월 고려대학교 전자공학과 박사과정

金 壽 遠 (正會員) 第 36卷 D編 第2號 參照

현재 고려대학교 전기전자전파공학부 정교수