

論文2002-39TC-12-7

RFIC를 위한 실리콘 기판에서의 고품질 본드와이어 인덕터 구현

(Implementation of High-Q Bondwire Inductors on Silicon RFIC)

崔根瑛*, 宋炳旭*, 金成鎮*, 李海英**

(Geun-Young Choi, Byung-Wook Song, Sung-Jin Kim, and Hai-Young Lee)

요약

현재 RFIC를 위해 실리콘 기판상에 구현되는 인덕터의 Q 값은 12 이하로 알려져있기 때문에, 고성능 회로설계를 위해서는 더욱 높은 Q 값을 갖는 인덕터의 구현이 필수적이다. 본 논문에서는 본드와이어를 이용하여 높은 Q 값을 가지는 두 개의 인덕터를 제안하였고, 동일한 인덕터에 PGS를 적용하여 총 4가지 형태의 인덕터를 구현하였다. 제안된 본드와이어 인덕터는 일반적인 금속선로보다 넓은 단면적 때문에 상대적으로 작은 도체 손실을 갖고, 인덕터의 상당부분이 공기 중에 위치하므로 기생 캐패시턴스 성분을 줄일 수 있다. 해석 및 측정결과 1.5 GHz 에서 기존의 나선형 인덕터보다 상당히 개선된 15이상의 Q 값을 가짐을 확인하였다. 또한 자동 본딩 머신을 사용하여 구현하기 때문에, 동일한 형태의 인덕터를 반복적으로 쉽게 만들 수 있다.

Abstract

Today, because a quality factor of the inductor fabricated on silicon substrate for RFIC is under 12, the realization of inductor having high-Q is essential. In this paper, two inductors having improved Q-factor are proposed and fabricated using a bondwire on silicon substrate. Also for the PGS is applied to the same inductors, four inductors are fabricated finally. The bondwire inductors have the relatively low conductor loss due to wide cross-section area and they can reduce the parasitic capacitance very much because they are located in the air. Simulation and measurement results show that the proposed inductors have much more improved Q-factor, 15, than a conventional spiral inductor at 1.5 GHz. Because of the use of an automatic bonding machine, we can fabricate the high-Q inductors very easily, repeatedly.

Keywords : inductor, bondwire, high-Q

I. 서론

* 學生會員, ** 正會員, 亞洲大學校 電子工學部
(Department of Electronics Engineering, Ajou Univ.)

※ 본 연구는 KAIST IDEC의 MPW 10th 지원에 의한 하이닉스 공정에 의해 수행되었습니다.

接受日字:2002年8月26日, 수정완료일:2002年11月13日

최근 폭발적으로 증가하는 이동통신 시장에서 통신기는 점차 저가격, 고집적화 되고 있으며, 이를 위해 실리콘 기판의 RFIC(Radio Frequency Integrated Circuit)에 대한 관심이 증가하고 있다^[1]. 현재 RFIC에 대한 기술적 문제 중 하나는 실리콘 기판(silicon substrate)위에

제작되는 수동 소자의 설계이다^[2]. 특히 인덕터를 설계할 경우, 전체 집적회로 내에서 원하는 인덕턴스 값을 갖기 위해 다른 소자보다 상대적으로 큰 면적을 차지하며^[3], 고유한 기판 손실로 인하여 낮은 Q 값을 갖는 문제점들이 있다^[4]. 이러한 문제점들 중 낮은 Q 값을 보완하기 위해 35층의 다층 금속배선, thick metal을 이용한 방법 등을 통해 Q 값을 향상시키는 노력을 하고 있으나 12 이상의 값을 얻기는 어려운 실정이다^[5].

본 논문에서는 실리콘 기판의 RFIC에 적용되는 인덕터의 성능을 개선하기 위해 반도체의 패키징에 사용되는 와이어 본딩 기술을 이용하여 높은 Q 값을 갖는 두 가지 인덕터를 제안하였다. 즉, 인덕터를 구성하는 본드와이어(bondwire)의 대부분을 손실 없는 공기 중에 위치시켜, 기판에 의한 유전손실과 도체의 직렬저항을 줄인 구조이다^[6]. 또한, 나선형 인덕터에서 Q 값을 높이기 위해 이용되는 PGS(Patterned Ground Shield)를 동일한 두 인덕터에 적용하였다^[3, 7-8]. PGS를 적용하지 않은 경우, 금속선로를 포함한 본드와이어 인덕터(bondwire inductor)는 측정결과 1.5 GHz에서 최대 15의 Q 값을 가지며, 전체가 본드와이어로 구성된 All-본드와이어 인덕터는 내부의 금속선로도 본드와이어로 대체하여 직렬저항을 더욱 낮춘 구조로써 1.3 GHz에서 최대 20의 Q 값을 가진다. PGS를 적용한 경우에는, 본드와이어 인덕터가 2.0 GHz에서 최대 18, All-본드와이어 인덕터가 1.8 GHz에서 25의 Q 값을 가진다.

또한, 일반적으로 알려진 Q 값의 계산법은 자기공진 주파수(self resonance frequency)에서 Q 값이 0 이 되어 발진기(Oscillator)나 증폭기(Amplifier)등에 그대로 적용하기가 적절하지 못하다. 따라서 공진부, 정합부등 인덕터의 Q 값이 설계에 중요한 영향을 미치는 분야에서 적용될 수 있는 다른 계산법을 이용하여 Q 값을 계산하였고, 그 결과 자기공진 주파수에서도 높은 Q 값을 가짐을 확인하였다^[9].

본 논문에서 제안된 높은 Q 값을 갖는 인덕터는 VCO(voltage controlled oscillator), 전력 증폭기(power amplifier), 저잡음 증폭기(LNA : low noise amplifier)등의 RF 전단(front-end)에 사용되어 시스템의 성능을 향상시키는데 중요한 역할을 할 것으로 기대된다.

II. 구조 및 해석방법

1. 해석 구조 및 방법

<그림 1(a)>에 제안된 두 가지 본드와이어 인덕터의 해석구조를 나타내었다. <그림 1(a)>의 본드와이어 인덕터는 본드와이어(bondwire)와 금속선로(metal line)를 이용하여 구성하였고 <그림 1(b)>의 All-본드와이어 인덕터 구조는 내부의 금속선로도 본드와이어로 대체한 구조이다. <그림 1(a)>의 본드와이어 인덕터의 경우 90 $\mu\text{m} \times 90\mu\text{m}$ 의 본딩패드(bonding pad)에 20 μm 선폭의 금속선로를 대각선 방향으로 연결한 후, 와이어 높이를 450 μm 로 유지하면서 세 번 본딩한 구조이며, <그림 1(b)>의 All-본드와이어 인덕터는 내부 금속선로를 높이가 50 μm 인 본드와이어로 대체한 구조로 설정하였다. 또한 실리콘 기판은 10 $\text{m}\Omega \cdot \text{Cm}$ 의 도전율을 가지고, 400 μm 의 두께를 갖는 것으로 설정하였다. 본 논문에서는 제안된 동일한 두 인덕터에 PGS를 적용하여 총 4가지 형태의 인덕터를 제안하였다.

PGS는 RFIC를 위한 인덕터에서 주로 쓰이고 기판으로 신호가 전달되는 문제점을 해결하기 위해 고안된 설계 방법이다. 신호가 기판으로 도달하는 에너지의 손실을 막기 위해서는 인덕터의 전기장이 실리콘 기판에 도달하기 전에 소멸되어야 하는데, 이것은 금속선과 기판 사이에 있는 옥사이드(oxide)층 내부에 폴리실리콘(poly silicon)을 이용한 Ground Shield(GS)를 삽입하여 해결

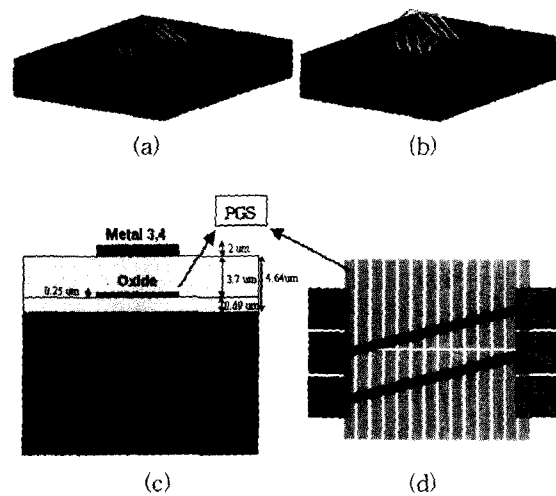


그림 1. (a) 본드와이어 인덕터의 구조; (b) All-본드와이어 인덕터의 구조; (c) 본드와이어 인덕터의 측면 구조; (d) 본드와이어 인덕터의 PGS 구조

Fig. 1. (a) Structure of the bondwire inductor; (b) Structure of the All-bondwire inductor; (c) Side view of the bondwire inductor; (d) PGS structure of the bondwire inductor

할 수 있다. 또한 와류전류(eddy current)로 인한 손실을 막기 위해서는 삽입한 Ground Shield에 패턴을 만들면 해결된다. 즉, 기판에 유도되는 와류전류의 흐름을 방해하도록 폴리실리콘을 기판위의 금속선로에 직각방향으로 배치하여 와류전류로 인한 손실을 줄임으로써 제안된 인덕터의 Q 값을 높일 수 있다^[3-4, 7].

2. 해석방법

해석은 유한 요소법(FEM: finite element method)을 사용하는 상용 시뮬레이션 툴을 이용하여 S-파라미터를 추출하였고, 추출된 S-파라미터로부터 Q 값을 계산하였다. 또한 실제의 인덕터의 Q 값을 추출하기 위해서 개방패턴(open pattern)을 추가 제작하여 측정결과를 보정하였다.

III. 제작 및 측정방법

1. 제작

<그림 2>는 제작된 본드와이어 인덕터 패턴구조로서 하이닉스 CMOS Standard 0.35 μm 공정을 이용하였다. <그림 3>은 실제 본드와이어를 이용해 구현한 두 가지 인덕터의 구조이고, 자동 본딩머신을 이용하여 원하는 높이, 모양을 쉽게 재현할 수 있다. 본딩패드와 금속선로는 3번과 4번의 메탈을 함께 이용하여 약 2 μm 의 두께로 하였고, 두 메탈을 비아(via)로 연결하여 직렬저항을 줄였다. 제작된 본드와이어 인덕터 구조는 해석 구조와 같이 20 μm 선폭의 금속선로와 연결된 본딩패드에

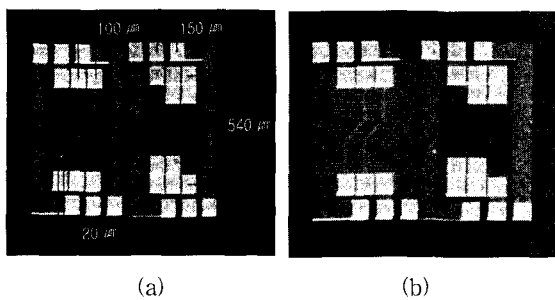


그림 2. (a) PGS가 없는 본드와이어와 All-본드와이어 인덕터의 패턴구조; (b) PGS가 적용된 본드와이어와 All-본드와이어 인덕터의 패턴구조
Fig. 2. (a) Pattern structure of the bondwire and All-bondwire inductor without PGS; (b) Pattern structure of the bondwire and All-bondwire inductor with PGS

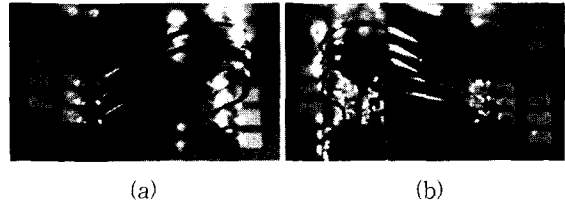


그림 3. (a) 구현된 본드와이어 인덕터 구조; (b) 구현된 All-본드와이어 인덕터 구조
Fig. 3. (a) Structure of the fabricated bondwire inductor; (b) Structure of the fabricated All-bondwire inductor

와이어를 본딩한 후, 와이어의 높이를 450 μm 로 유지하면서 540 μm 떨어진 맞은편 패드로 본딩하여 제작되었다. All-본드와이어 인덕터는 내부에 90 $\mu\text{m} \times 90 \mu\text{m}$ 크기의 패드가 4개 더 추가되어 있다. PGS는 폭 5 μm 에, 간격을 1 μm 로 하였고, 한쪽 단자를 모두 접지시켜 와류전류의 흐름을 방해하도록 하였다.

2. 측정방법

On-wafer probe 측정을 위해서 150 μm 간격의 GSG(Ground-Signal-Ground) 타입의 패턴을 추가하였고, HP 8510C 벡터회로망분석기(VNA: vector network analyzer)를 이용하여 S-파라미터를 측정하였다. 해석의 경우와 같이 순수한 인덕터의 Q 값을 추출하기 위해 개방패턴을 추가 제작하여 측정결과를 보정하였다.

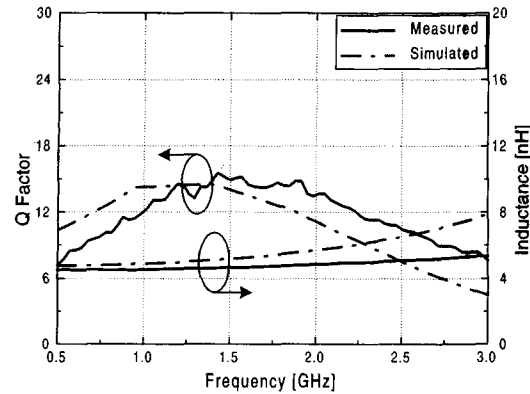
IV. 해석결과

1. PGS를 적용하지 않은 제안된 인덕터

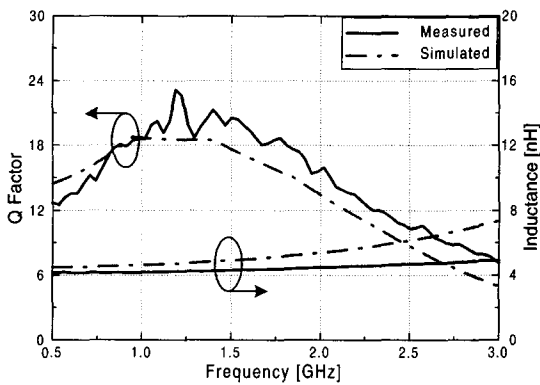
<그림 4>에 제안된 두 가지 인덕터의 Q, L 값의 해석 및 측정결과를 도시하였다. 실선은 측정결과를, 점선은 해석결과를 나타내었다. 측정된 본드와이어 인덕터의 Q 값은 1.5 GHz에서 최대 15의 값을 가지며, All-본드와이어 인덕터의 경우, Q 측정값은 1.3 GHz에서 최대 20이다. 또한 인덕턴스는 5nH 정도의 값을 나타내었다. 두 인덕터 모두 해석된 결과와 거의 유사한 값을 갖는다.

2. PGS를 적용한 제안된 인덕터

<그림 5>에 PGS를 적용한 두 인덕터의 Q, L 값의 해석 및 측정결과를 도시하였다. 측정된 본드와이어 인덕터의 Q 값은 2 GHz에서 최대 18의 값을 가지며, All-본드와이어 인덕터의 경우, Q 측정값은 2 GHz에서 최대 25이다. PGS를 적용하지 않은 인덕터보다 최소 3



(a)



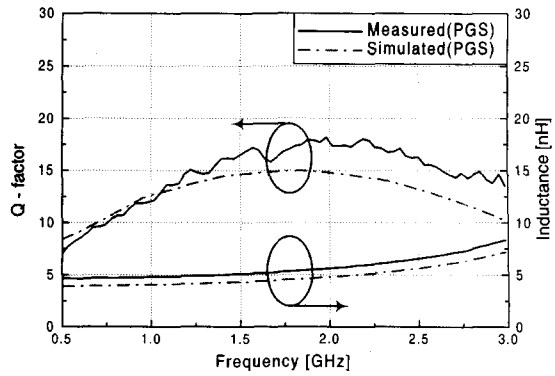
(b)

그림 4. (a) 본드와이어 인덕터의 Q, L 값; (b) All-본드와이어 인덕터의 Q, L 값

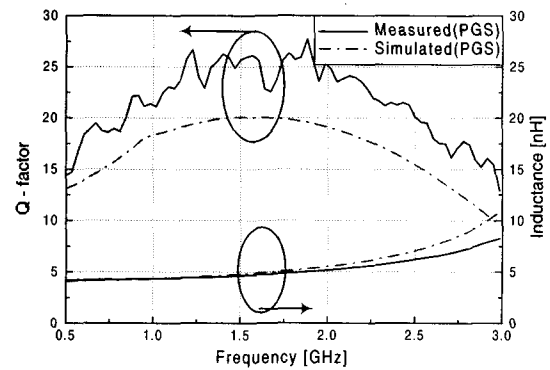
Fig. 4. (a) Q - factor and Inductance of the bond-wire inductor; (b) Q - factor and Inductance of the All-bondwire inductor

이상의 Q 값이 향상됨을 확인할 수 있다. 길이가 중요한 요소인 인덕턴스 값은 PGS를 적용하지 않은 경우와 마찬가지로 약 5nH를 나타내었다.

<그림 4, 5>에서의 측정 및 해석결과에 보이는 특이한 점은 All-본드와이어 인덕터의 Q 값이 더 급격히 증가하고 공진주파수는 더 낮다는 것이다. <그림 2>의 두 인덕터의 패턴구조에서 알 수 있듯이, 본드와이어 인덕터에서 한 개의 금속선로는 All-본드와이어 인덕터에서 두 개의 본딩패드로 대체되었다. 금속선로의 총 면적이 두 개의 본딩패드보다 작으므로 금속선로와 기판과의 캐패시턴스가 더 작다. 따라서 금속선로를 포함한 본드와이어 인덕터의 공진주파수가 더 높게 된다. 하지만 All-본드와이어 인덕터는 금속선로보다 단면적이 훨씬 큰 본드와이어를 사용하므로, 인덕터 자체의 직렬



(a)



(b)

그림 5. (a) PGS를 갖는 본드와이어 인덕터의 Q, L 값; (b) PGS를 갖는 All-본드와이어 인덕터의 Q, L 값

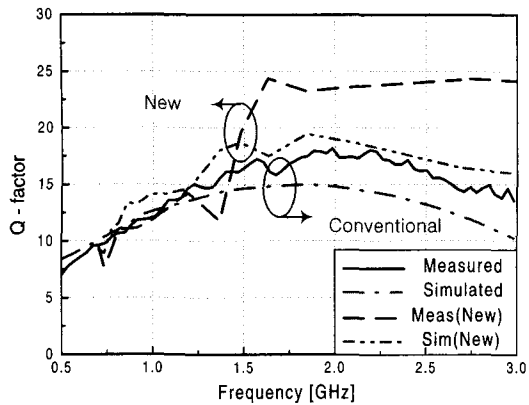
Fig. 5. (a) Q - factor and Inductance of the bond-wire inductor with PGS; (b) Q - factor and Inductance of the All-bondwire inductor with PGS

저항이 줄어들어 Q_{MAX} 이전의 Q 값은 훨씬 더 급격히 증가하는 경향을 보인다. 즉, Q_{MAX} 이전의 주파수에서는 식 (1)에 의해 Q 값이 결정되고, 주로 인덕터 자체의 직렬 저항성분이 Q 값에 주요한 영향을 미친다. 그리고 Q_{MAX} 이후의 주파수에서는 인덕터와 기판 간, 인덕터 간의 기생 캐패시턴스 성분이 Q 값에 주요한 영향을 미친다. <그림 4, 5>는 식 (1)에 의해 계산되었다.

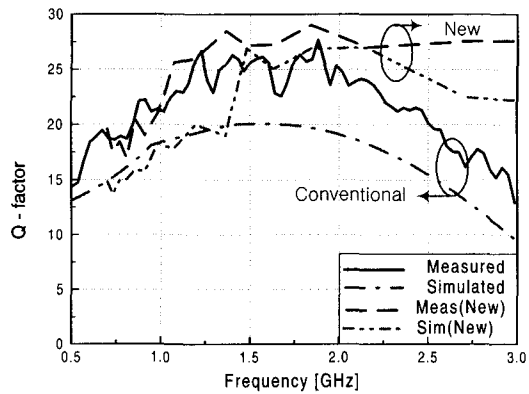
$$Q_{Conventional} = \frac{\text{Im}(Y_{11})}{\text{Re}(Y_{11})} \quad (1)$$

3. 3-dB 대역폭을 이용한 Q 값의 추출방법

기존에 해석된 인덕터의 Q 값은 식 (1)에 의해서 계산된다. 하지만 공진주파수 이후에는 음의 Q 값을 가져



(a)



(b)

그림 6. (a) 3-dB 대역폭을 이용한 본드와이어의 Q 값 ;(b) 3-dB 대역폭을 이용한 All-본드와이어의 Q 값

Fig. 6. (a) Q - factor using 3-dB bandwidth of the bondwire inductor ;(b) Q - factor using 3-dB bandwidth of the All-bondwire inductor

서 더 이상 인덕터로서 동작을 하지 못하므로, 다른 방식의 Q 추출방법이 제안되었다.^[9] 고주파에서의 Q 값은 매칭 회로의 경우 손실에 의해 결정되고, 대역통과 여파기(bandpass filter)의 경우 3-dB 대역폭에 의해 결정된다. 이 중 3-dB 대역폭은 공진 주파수에서만 정의되는데, 측정된 인덕터의 공진주파수는 자기공진 주파수(self resonance frequency)에서만 정의된다. 그러나 인덕터가 실제 회로에 장착되어 사용될 때 기생적으로 생겨나는 캐패시턴스 성분이 많아지므로, 단순히 자기공진 주파수 한 지점에서 3-dB 대역폭에 의한 Q 값의 추출은 의미가 없다. 추출된 인덕터의 Y11 데이터에 병렬로 캐패시터를 달고 그 값을 증가시키면, 공진주파수가 계속해서 낮아지고, 또한 3-dB 대역폭 또한 변화한다. 식 (2)는

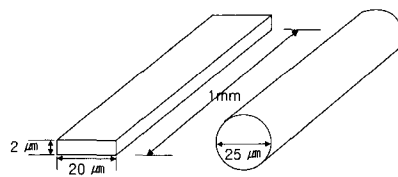
3-dB 대역폭을 이용한 제안된 Q 값의 계산방법은 식 (2)로 주어졌다. (ω_0 는 중심주파수, $\Delta\omega$ 는 3dB 대역폭)

$$Q_{new} = \frac{\omega_0}{\Delta\omega} \quad (2)$$

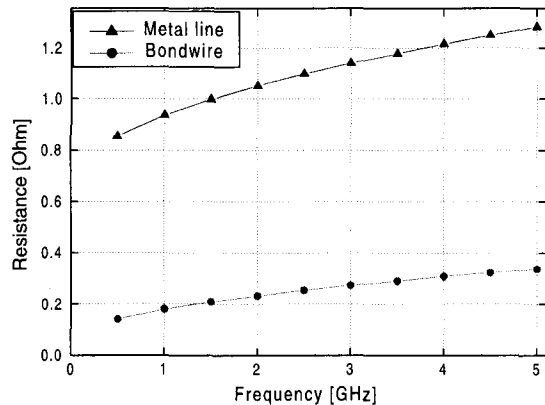
<그림 6>에 PGS가 적용된 인덕터의 일반적인 Q 값과 3-dB 대역폭을 이용한 Q 값을 동시에 나타내었다. 후자의 그래프에는 (New)라는 범례가 삽입되어있다. 두 Q 값을 비교해보면 3-dB 대역폭을 이용한 Q 값의 그래프가 자기공진 주파수에서도 높은 Q 값을 가짐을 확인할 수 있다^[9].

4. 결과의 고찰

본드와이어를 이용한 인덕터의 Q 값이 높은 이유는 본드와이어 자체의 작은 직렬저항 때문이다. 금속선로와의 직렬저항을 비교하기 위해 <그림 7(a)>와 같은 본드와이어와 금속선로를 설정하였다. 해석에 사용된 본드와이어의 재질은 금이며, 25.4 μm (1 mil)의 직경을 갖는 와이어이고, 일반적인 실리콘 공정에서 사용하는 인덕터의



(a)



(b)

그림 7. (a) 본드와이어와 금속선로 구조 ;(b) 본드와이어와 금속선로의 주파수에 따른 저항값

Fig. 7. (a) Structure of the bondwire and metal line ;(b) AC resistance of the bondwire and metal line versus frequency

금속선로의 구조는 폭 20 μm , 두께 2 μm 인 알루미늄 재질로 설정하였다.

<그림 7(b)>는 해석된 본드와이어와 금속선로의 주파수에 따른 저항값이다. 그림에서 보는 바와 같이, 동일한 길이의 금속선로와 본드와이어를 비교했을 때 해석된 전 주파수에 걸쳐 본드와이어의 교류저항이 상대적으로 작음을 알 수 있다. 이러한 이유는 본드와이어를 이용하면 도체의 단면적이 넓어져서 주파수에 따른 교류저항(AC resistance)이 실리콘 기판에서 쓰이는 금속선로보다 훨씬 작기 때문이다^[10]. 또한 본드와이어를 이용하면 인덕터의 절반 이상이 공기 중에 위치하기 때문에 금속선로와 실리콘 기판사이의 기생 캐패시턴스를 줄일 수 있으므로 높은 Q 값을 갖는 인덕터를 구현할 수 있다^[6, 11].

V. 결 론

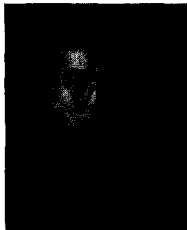
본 논문에서는 RFIC를 위한 본드와이어를 이용한 두 가지 새로운 구조의 인덕터를 제안하였다. 또한 동일한 인덕터에 PGS를 적용하여, 총 4가지의 인덕터를 제안하였고, 실제 실리콘 기판상에서 제작하여 그 값을 비교하였다. 해석 및 측정결과 PGS를 적용하지 않은 본드와이어 인덕터의 경우 1.5 GHz에서 Q 값이 최대 15, All-본드와이어 인덕터의 경우 1.3 GHz에서 최대 20의 값을 가졌고, PGS를 적용한 경우, 전자의 Q 값은 2 GHz에서 최대 18, 후자의 경우 Q 측정값은 2 GHz에서 최대 25를 나타내었다. 결과적으로, 기존의 RFIC에 적용되는 인덕터에 비해 우수한 Q 값을 가짐을 확인하였다. 이러한 본드와이어를 이용한 인덕터는 패키징에 사용되는 와이어 본딩 기술을 이용한 것으로, 본딩 장비를 사용해서 쉽게 구현할 수 있다. 실제 10개 device를 측정한 결과 L과 Q가 5% 미만의 차이를 갖는 재현성을 보였다. 제안된 본드와이어 인덕터는 VCO, 전력증폭기 등의 RF 전단에 적용되어 시스템의 성능 향상에 기여할 수 있을 것으로 기대된다.

참 고 문 헌

- [1] N. Camiller, J. Costa, D. Lovelace, D. Ngo, "Silicon MOSFETs, the microwave device technology for the 1990s" IEEE MTT-S International, Microwave Symposium Digest, pp. 545~548, 1993.
- [2] K. B. Ashby, I. A. Koullias, W.C. Finley, J. J. Bastek, S. Moinian, "High Q inductors for wireless applications in a complementary silicon bipolar process", IEEE Journal of Solid-State Circuits, Vol. 31, pp. 4~9, Jan. 1996.
- [3] C. P. Yue, S. S. Wong, "On-chip spiral inductors with patterned ground shields for Si-based RF Ics" IEEE Journal of Solid-State Circuits, Vol. 33, Issue. 5, pp. 743~752, May 1998.
- [4] Y. E. Chen, D. Bien, D. Heo, J. Laskar, "Q-enhancement of spiral inductor with N/sup +/-diffusion patterned ground shields", IEEE MTT-S International Microwave Symposium Digest, Vol. 2, pp. 1289~1292, 2001.
- [5] Min Park, Seong hearn Lee, Cheon Soo Kim, Hyun Kyu Yu, Kee Soo Nam, "The detailed analysis of high Q CMOS-compatible microwave spiral inductors in silicon technology", IEEE Transactions on Electron Devices, Vol. 45, pp. 1953~1959, Sept. 1998.
- [6] 이용구, 이해영, "플라스틱 패키징되는 MMIC를 위한 저가격 고품질의 수직형 본드와이어 인덕터" 대한전자공학회지, 35(D 7), pp. 17~24, 1998년 6월
- [7] K. Murata, T. Hosaka, Y. Sugimoto, "Effect of a ground shield of a silicon on-chip spiral inductor" Asia-Pacific Microwave Conference, pp. 177~180, 2000.
- [8] C. P. Yue, S. S. Wong, "A study on substrate effects of silicon-based RF passive components" IEEE MTT-S International Microwave Symposium Digest, Vol. 4, pp. 1625~1628, 1999.
- [9] K. O, "Estimation methods for quality factors of inductors fabricated in silicon integrated circuit process technologies", IEEE Journal of Solid-State Circuits, Vol. 33, pp. 1249~1252, Aug. 1998.
- [10] 송병욱, 이해영, "고품질 본드와이어 집적형 트랜스포머" 대한전자공학회지 39(TC 2), pp. 23~33, 2002년 2월

- [11] Sung-Jin Kim, Yong-Goo Lee, Sang-Ki Yun, Hai-Young Lee, "Novel high-Q bondwire inductors for RF and microwave monolithic integrated circuits" IEEE MTT-S International Microwave Symposium Digest, Vol. 4 , pp. 1621 ~1624, 1999.

저 자 소 개



崔 根 瑛(學生會員)

2001년 : 아주대학교 전자공학부 졸업, 현재 아주대학교 대학원 전자공학부 석사과정, 주관심 분야는 초고주파 수동소자 개발 및 RFIC

金 成 鎮(學生會員) 第36卷 D編 第11號 參照

현재 : 아주대학교 전자공학부 박사과정

宋 炳 旭(學生會員) 第39卷 TC編 第2號 參照

현재 : 아주대학교 전자공학부 박사과정

李 海 英(正會員) 第36卷 D編 第11號 參照

현재 : 아주대학교 전자공학부 교수