

## 출력 버퍼형 $a \times a$ 스위치로 구성된 다단 연결 망의 성능 분석

(Performance Evaluation of a Multistage Interconnection Network with Output-Buffered  $a \times a$  Switches)

신태지<sup>†</sup> 양명국<sup>‡</sup>

(Tae-zi Shin) (Myung-kook Yang)

**요약** 본 논문에서는,  $a \times a$  출력 버퍼 스위치로 구성된 다단 연결 망(Multistage Interconnection Network, MIN)의 성능 예측 모형을 제안하고, 스위치에 장착된 버퍼의 개수 증가에 따른 성능 향상 추이를 분석하였다. Buffered 스위치 기법은 다단 연결 망 내부의 데이터 충돌 문제를 효과적으로 해결할 수 있는 방법으로 널리 알려져 있다. 제안한 성능 예측 모형은 먼저 네트워크 내부 임의 스위치 입력 단에 유입되는 데이터 패킷이 스위치 내부에서 전송되는 유형을 확률적으로 분석하여 수립되었다. 제안한 모형은 스위치에 장착된 버퍼의 개수와 무관하게 출력 버퍼를 장착한  $a \times a$  스위치의 성능, 즉 네트워크 성능 평가의 두 가지 주요 요소인 네트워크 정상상태 처리율(Normalized Throughput, NT)과 네트워크 지연시간(Network Delay)의 예측이 가능하고, 나아가서 이들로 구성된 모든 종류의 다단 연결 망 성능 분석에 적용이 용이하다. 제안한 수학적 성능 분석 연구의 실효성 검증을 위하여 병행된 시뮬레이션 결과는 상호 미세한 오차 범위 내에서 모형의 예측 데이터와 일치하는 결과를 보여 분석 모형의 타당성을 입증하였다. 또한, 분석 결과 스위치 내부에 많은 버퍼를 장착할수록 정상상태 처리율의 증가율은 감소하고, 네트워크 지연시간은 증가하는 것으로 나타났다.

**키워드 :** 다단 연결 망, 출력 버퍼, 정상상태 처리율, 네트워크 지연시간, 해석

**Abstract** In this paper, a performance evaluation model of the Multistage Interconnection Network(MIN) with the multiple-buffered crossbar switches is proposed and examined. Buffered switch technique is well known to solve the data collision problem of the MIN. The proposed evaluation model is developed by investigating the transfer patterns of data packets in a switch with output-buffers. The performance of the multiple-buffered  $a \times a$  crossbar switch is analyzed. Steady state probability concept is used to simplify the analyzing processes. Two important parameters of the network performance, throughput and delay, are then evaluated. To validate the proposed analysis model, the simulation is carried out on a Baseline network that uses the multiple buffered crossbar switches. Less than 2% differences between analysis and simulation results are observed. It is also shown that the network performance is significantly improved when the small number of buffer spaces is given. However, the throughput elevation is getting reduced and network delay becomes increasing as more buffer spaces are added in a switch.

**Key words :** Multistage Interconnection Network, Buffer, Throughput, Delay, Analysis, Simulation

### 1. 서론

· 이 논문은 2001년 울산대학교 연구비와 정보통신 우수 사범 학교 연구비에 의하여 연구되었음.

<sup>†</sup> 정회원 : 울산대학교 전기전자정보시스템공학부

shintaezi@korea.ac.kr

<sup>‡</sup> 종신회원 : 울산대학교 전기전자정보시스템공학부 교수

mkyang@mail.ulsan.ac.kr

논문접수 : 2002년 3월 18일

심사완료 : 2002년 9월 30일

다단 연결 망(Multistage Interconnection Network : MIN)은 NYU Ultracomputer[1], IBM RP3[2], BBN Butterfly GP1000[3], 그리고 TC2000[4]와 같은 각종 병렬 컴퓨터의 상호 연결 기법으로 잘 알려져 있다. 다단 연결 망은 스위치 연결 방식에 따라 Data manipulator[5], Flip network[6], Omega network[7],

Banyan network[8], Butterfly network[3-4], 그리고 Baseline network[9] 등으로 구분되어 각각의 특성에 따른 용용 분야와 함께 연구, 발표되었다. 최근, 넓은 대역폭과 네트워크 유연성 등의 장점으로 인해 고성능 컴퓨터 네트워크의 스위칭 소자 및 B-ISDN의 기본이 되는 ATM 스위칭 소자로 사용되어지고 있다.

다단 연결 망을 통한 데이터 이동에는 다단 연결 망의 구조상 각 스테이지에서 스위치마다 제어가 요구되고, 데이터 이동 경로에 따라 특정 스위치에서 두 개 이상의 데이터가 하나의 경로로 진행하고자 하는 데이터 충돌 현상이 초래되기도 한다. 데이터 충돌 현상은 네트워크 성능 저하를 유발함은 물론이고 전체 네트워크의 신뢰도에도 큰 영향을 미치게 된다. 이러한 다단 연결 망 내부의 데이터 충돌로 인한 문제를 해결하고 네트워크 성능 향상을 위하여 다중 MIN 모듈의 사용[2], 변형 스위치 소자 설계[10], 추가 스테이지 삽입, 그리고 스위치 소자에 Buffer 장착[11-19] 등 다각도에서 연구가 진행되고 있다. 또한 Network clock cycle을 개선[20-21]하여 다단 연결 망의 성능 향상에 관한 연구도 발표되었다. 이들 가운데 스위치 소자에 버퍼를 장착하는 기법은 각 스위칭 소자 터미널에 버퍼를 장착하여 데이터 충돌로 인하여 소실될 데이터 패킷을 버퍼의 여유공간에 저장함으로써, 다단 연결 망 내부의 데이터 충돌 문제를 효과적으로 해결하고 네트워크의 성능을 증가시키는 방법으로 널리 알려져 있다.

Dias와 Jump[12]는 한 개의 버퍼를 장착한 스위치들로 구성된 단일 buffered(single buffered) Delta network의 성능을 분석하였다. 수학적 분석과 시뮬레이션 결과를 통하여 Dias와 Jump는 buffered 다단 연결 망이 crossbar 네트워크와 유사한 수준의 대역폭을 제공하는 것으로 보고하였다. Jenq[13]는 단일 buffered Banyan network을 대상으로 분석 모형을 제시하고, 네트워크 throughput, delay, 및 internal blocking probability 등을 분석하였다. 또한, Krusal과 Snir[14]는 unbuffered 및 무한 buffered (infinite buffered) Banyan network의 성능 분석 모형을 제시하고, 시뮬레이션과 수학적 모형 해석을 통하여 각 단(stage) 별 대기시간 등 데이터 패킷 이동에 버퍼가 제공하는 영향을 연구하였다.

앞서 기술한 기존의 연구는 단일 버퍼 혹은 무한 버퍼의 경우만을 대상으로 분석 모형을 제안하고 수학적 분석을 수행한 반면 복수 버퍼(multiple buffers) 환경에 관한 부분에 대하여는 분석의 난이성으로 인하여 시뮬레이션을 통한 성능 예측을 시도하였다. Yoon, Lee,

그리고 Liu[15]는 이와 같은 기존 연구의 문제점을 보완하여 임의 크기의 버퍼를 장착한 복수 buffered  $N \times N$  Delta network의 분석 모형을 제안하였다. 단일 buffered 네트워크의 해석 모형을 확장하는 개념으로 제안된 Yoon 등의 모형은 실제 네트워크 상의 데이터 이동 패턴을 그대로 상태 변환도로 전환하고 이를 수식화하여 설계되었으나, 적체된 패킷(blocked packet)을 고려하지 않아 네트워크 트래픽이 증가될수록 예측 값의 정확도가 떨어지는 결과를 보이고 있다. Mun과 Youn[16]은 단일 버퍼를 가진 스위치의 버퍼 상태를 3가지 유형: 버퍼가 비어 있는 상태, 정상상태 패킷을 포함한 경우, 적체상태 패킷을 포함한 경우로 구분하고 이를 마코브 체인으로 분석한 후, 다중 버퍼형 성능 분석 모델로 확장하였다. 제안된 분석 모형은  $2 \times 2$  스위치들로 구성된 다단 연결 망의 성능 예측을 가능하게 하며, 네트워크 입력 단을 출발한 데이터 패킷이 목표 출력 단에 도달할 확률을 수식화하여 작성되었다. Das와 Mohapatra[17]는 버퍼를 장착한 비동기식 다단 연결 망을 M/D/1/L queueing center로 보고, M/D/1/L queueing 모델 분석 결과를 이용하여 해석을 시도하였으나, 연산 과정이 복잡하고 모형의 이해가 난해하다. B. Zhou와 M. Atiquzzaman[18]은 출력 buffer를 장착한  $2 \times 2$  스위치들로 구성된 Omega Network 성능 분석 모델을 제안하였다. 특정 사이즈 스위치들로 구성된 네트워크 내부의 데이터 흐름을 분석하고 수식화 하여 제안된 분석 모형은, 임의의 사이즈 스위치들로 구성된 네트워크로 확대 적용에 한계를 노출하고 있다. S. H. Byun과 D. K. Sung[19]은 출력 buffered DN(Distributed Network)을 기본으로 한 UniMIN(Universal multistage interconnection network) 스위치 구조를 제안하고 성능을 분석하였다. 확장성을 고려하여 제안된 Buffered DN은 fair virtual FIFO 개념을 이용하여 output buffered 스위치 네트워크를 구현하였다.  $n \times n$  DN은  $n/2$  links를 하나의 그룹으로 묶어 공유함으로써, 가상적으로  $2 \times 2$  스위치처럼 동작하도록 하여 전체 네트워크 분석에 적용하였다.

본 논문에서는 출력 단에 복수 Buffer를 장착한  $a \times a$  스위치로 구성된 다단 연결 망의 분석 모형을 제안하고, 네트워크 성능 평가의 두 가지 주요 요소로 알려진 네트워크의 정상상태 데이터 처리율(Normalized Throughput, NT)과 네트워크 지연시간(Network Delay)을 분석하였다. 본 논문에 제안된 성능 분석 모형은 스위치 크기 및 스위치에 장착된 버퍼의 개수와 무관하게 적용 가능하고, 분석 과정에서 정상상태 확률(Steady state probability) 개념을 도입하여 모형의 수식 이해가 용이하도록 하였

다. 제안한 수학적 성능 분석 연구의 실효성 검증을 위하여 병행된 시뮬레이션 처리 결과는 상호 미세한 오차 범위 내에서 모형의 예측 데이터와 일치하는 결과를 보여 분석 모형의 타당성을 입증하였다.

본 논문의 구성은 다음과 같다. 먼저, 서론에 이어 2 절에서는 Buffered 다단 연결 망의 버퍼 크기에 따른 네트워크 정상 상태 처리율과 네트워크 지연시간 등의 변화 추이를 예측할 수 있는 새로운 성능 분석 모형을 제시하고, 모형의 실효성을 검증하였다. 끝으로 본 연구의 성과와 결과를 마지막 절에 요약 기술하였다.

## 2. 성능 분석 모형

다단 연결 망은 각 스위치 스테이지간의 독특한 연결 방식에 따라 다양한 네트워크로 구분된다. Wu와 Feng [18]은 이들 다단 연결 망들의 연결 구조와 특성을 분석 하여, 각각 다른 형태로 설계된 기존의 네트워크들이 연결 패턴의 차이에도 불구하고, 구조적으로 동일함을 입증하고, 성능의 차이가 없음을 밝혔다. 따라서 본 논문에서는  $a \times a$  출력 버퍼 스위치들로 구성된  $N \times N$  Baseline network의 정상상태 처리율(Normalized Throughput, NT)과 네트워크 지연시간(Network Delay)을 분석하였다. 정상 상태 처리율 분석을 위하여 먼저  $a \times a$  출력 버퍼 스위치의 데이터 처리 패턴을 확률적으로 분석하여 단일 스위치의 데이터 처리율을 구하고, 이를 다단 연결 망에 적용하여 전체 네트워크의 데이터 처리율을 계산하였다. 또한 네트워크 지연시간 분석 모형은 데이터 패킷이 스위치의 임의 버퍼에 저장될 확률을 구하고, 이에 따른 각 데이터 패킷의 스위치 체류 시간을 계산하여 설계하였다.

본 논문 해석에 사용될 세부적인 가정은 2.1절에 서술하였다.

### 2.1 네트워크 환경에 대한 일반적인 가정

복수 buffered 다단 연결 망의 분석 모형 개발과 시뮬레이션을 위해 본 논문에 적용된 일반적인 가정을 정리하면 다음과 같다.

- 네트워크는 스위치 클러스터를,  $\Delta t$ 에 따라 동기적으로 작동한다.
- 스위치에 장착된 버퍼는 스위치 출력 단에 위치하고, 버퍼 공간 하나는 한 개의 데이터 패킷을 수용 할 수 있다.
- 데이터 패킷은 네트워크 입력 단의 각 source 노드에서 같은 확률로 발생한다. 네트워크 내부 임의 스위치  $i$ 에 위치한 스위치 입력 단으로 데이터 유입될 확률은  $\zeta_{stage,i}$ 라 한다. 따라서 매 사이클마다

네트워크 각 입력 단에 한 개씩의 데이터 패킷이 유입될 경우,  $\zeta_{stage,0}$ 는 1이 된다.

- 네트워크 입력 단으로 유입되는 데이터 패킷의 네트워크 최종 출력 단 행선지는 무작위 선택 방식으로 주어진다.
- 데이터 충돌 발생 시 무작위 중재 방식에 의거 데이터 처리 우선 순위를 결정한다.

본 논문에서는  $a \times a$  출력 버퍼 스위치들로 구성된  $N \times N$  Baseline network의 성능을 분석하였다. 제안된 본 연구의 분석 모형은 모든 다단 연결 망의 성능 분석에 확대 적용 가능하다.

### 2.2 스위치 내부에서의 데이터 이동 패턴

네트워크 내부 임의  $a \times a$  출력 버퍼 스위치 입력 단에 유입된 데이터 패킷은 데이터가 지향하는 행선지에 따라 스위치의  $a$  개 출력 단 중 어느 한 출력 단으로 향하게 된다. 2.1의 가정에 의거, 네트워크 입력 단에 처음 데이터 패킷이 유입될 때 최종 출력 단 행선지가 무작위 선택 방식에 의해 주어짐으로, 네트워크 스테이지  $i$ 에 위치한 임의 스위치 입력 단에 데이터 패킷이 유입될 확률이  $\zeta_{stage,i}$ 로 주어지면 해당 스위치의 어느 한 출력 단으로 데이터 패킷이 향할 확률은  $\frac{\zeta_{stage,i}}{a}$ 가 된다. 그림 1은 네트워크 내부 임의 스위치에서 데이터 패킷이 이동하는 패턴을 확률적으로 해석하여 도식화한 것이다.

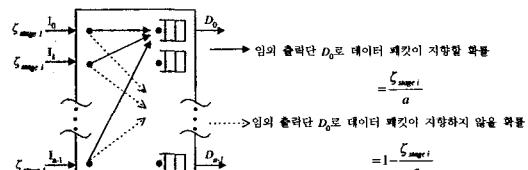


그림 1 네트워크 내부 임의 스위치에서 데이터 이동 패턴

네트워크 내부 스테이지  $i$ 에 위치한 임의 스위치 입력 단  $I_0$ 에 데이터 패킷이 유입될 확률이  $\zeta_{stage,i}$ 로 주어지면, 그로 인하여 해당 스위치의 특정 출력 단  $D_0$ 로 데이터 패킷이 향할 확률은  $\frac{\zeta_{stage,i}}{a}$ 가 되고, 특정 출력 단  $D_0$ 로 데이터 패킷이 향하지 않을 확률은  $\left(1 - \frac{\zeta_{stage,i}}{a}\right)$ 가 된다. 따라서, 스테이지  $i$ 에 위치한 임의 스위치 출력 단  $D_0$ 로  $r$ 개의 데이터 패킷이 지향할 확률,  $P(h=r)_i$ 은

$$P(h=r)_i = \binom{a}{r} \times \left(\frac{\zeta_{stage,i}}{a}\right)^r \times \left(1 - \frac{\zeta_{stage,i}}{a}\right)^{a-r} \quad (1)$$

로 계산된다. 여기서  $0 \leq r \leq a$ 이다.

### 2.3 정상 상태 처리율 분석

네트워크 내부 스테이지  $i$ 에 위치한 임의  $a \times a$  출력 버퍼 스위치 내부 데이터 이동 패턴의 확률적 분석을 통하여 buffered 다단 연결 망의 성능 분석을 위하여 사용될 변수는 다음과 같다.

- $b$  : 스위치에 장착된 버퍼가 저장할 수 있는 데이터 패킷 수
- $\epsilon$  : 버퍼에 저장된 데이터 패킷 수
- $P(\epsilon=k)_i$  : 버퍼에 저장된 데이터 패킷 수가  $k$ 개 일 확률
- $P(D_d=1)_i$  : 출력단  $D_d$ 로 데이터 패킷이 출력될 확률
- $P(D_d=0)_i$  : 출력 단  $D_d$ 로 데이터 패킷이 출력되지 않을 확률

네트워크 성능 분석의 두 가지 주요 요소는 네트워크 정상 상태 처리율과 네트워크 지연시간이다. 네트워크 정상상태 처리율은 네트워크 마지막 스테이지의 스위치 출력 단으로 데이터 패킷이 출력될 확률,  $P(D_d=1)_{last\ stage}$ , 을 네트워크 첫 번째 스테이지의 스위치 입력 단으로 데이터 패킷이 유입될 확률을 나누어서 식 (2)와 같이 계산된다.

$$NT = \frac{P(D_d=1)_{last\ stage}}{\zeta_{stage\ 0}} \quad (2)$$

그리고, 네트워크 지연시간(Network Delay,  $\tau$ )은 데이터 패킷이 네트워크를 통과하는데 소요되는 스위치 클럭 개수의 평균치로 나타낼 수 있다.

임의의 싸이클  $j$ 에 스테이지  $i$ 에 대한 스위치 출력 단  $D_d$ 로 데이터 패킷이 출력되는 경우를 살펴보면, 먼저 싸이클  $(j-1)$  종료시 해당 출력 단 버퍼가 데이터 패킷을 저장하고 있는 경우, 혹은 스위치 입력 단으로 새로이 유입된 데이터 패킷이 해당 출력 단으로 지향할 경우이다. 반대로 스위치 출력 단  $D_d$ 로 데이터 패킷이 출력되지 않는 경우는 싸이클  $(j-1)$ 에 해당 출력 단 버퍼가 데이터 패킷을 저장하지 않은 상태에서, 스위치 입력 단에서 해당 출력 단으로 지향하는 데이터 패킷이 없을 경우이다. 따라서 임의의 싸이클  $j$ 에 스테이지  $i$ 에 위치한 스위치 출력 단  $D_d$ 로 데이터 패킷이 출력되지 않을 확률,  $P(D_d=0)_{i, cycle\ j}$ , 을 구하면

$$P(D_d=0)_{i, cycle\ j} = P(\epsilon=0)_{i, cycle(j-1)} \times P(\zeta=0)_{i, cycle(j-1)} \quad (3)$$

이 된다. 여기서  $j \geq b$ 이다. 또한, 임의의 싸이클  $j$ 에 스위치 출력 단  $D_d$ 로 데이터 패킷이 출력 될 확률,

$$P(D_d=1)_{i, cycle\ j},$$

$$\begin{aligned} P(D_d=1)_{i, cycle\ j} &= 1 - P(D_d=0)_{i, cycle\ j} \\ &= 1 - \{ P(\epsilon=0)_{i, cycle(j-1)} \times P(\zeta=0)_{i, cycle(j-1)} \} \end{aligned} \quad (4)$$

로 계산된다. 식 (4)에서  $P(\zeta=0)_{i, cycle(j-1)}$ 은 식 (1)에서 얻을 수 있고,  $P(\epsilon=0)_{i, cycle(j-1)}$ , 즉 싸이클  $(j-1)$  종료 시점에 버퍼가 비어있을 확률은 다음과 같이 계산된다.

① 싸이클  $(j-2)$  종료 시 버퍼에 저장된 데이터 패킷의 수가 하나이고, 싸이클  $(j-1)$ 에 해당 출력 단으로 향하는 데이터 패킷이 없는 경우

② 싸이클  $(j-2)$  종료 시 버퍼에 저장된 데이터 패킷이 없고, 싸이클  $(j-1)$ 에 해당 출력 단으로 향하는 데이터 패킷이 하나인 경우

③ 싸이클  $(j-2)$  종료 시 버퍼에 저장된 데이터 패킷이 없고, 싸이클  $(j-1)$ 에 해당 출력 단으로 향하는 데이터 패킷이 없는 경우

따라서, 임의의 싸이클  $(j-1)$ 에 버퍼에 저장된 데이터 패킷의 수가 0일 확률,  $P(\epsilon=0)_{i, cycle(j-1)}$ , 은

$$\begin{aligned} P(\epsilon=0)_{i, cycle(j-1)} &= \\ &P(\epsilon=1)_{i, cycle(j-2)} \times P(\zeta=0)_{i, cycle(j-1)} \\ &+ P(\epsilon=0)_{i, cycle(j-2)} \times P(\zeta=1)_{i, cycle(j-1)} \\ &+ P(\epsilon=0)_{i, cycle(j-2)} \times P(\zeta=0)_{i, cycle(j-1)} \end{aligned} \quad (5)$$

로 계산된다. 여기서,  $b \geq 1$ 이고,  $a \geq 2$ 이다. 식 (5)의  $P(\epsilon=1)_{i, cycle(j-2)}$ 는 싸이클  $(j-2)$  종료 시 버퍼에 1개의 데이터 패킷이 저장될 확률은  $P(\epsilon=0)_{i, cycle(j-1)}$  분석과 유사한 과정을 거쳐 확률 식으로 표현하면,

$$\begin{aligned} P(\epsilon=1)_{i, cycle(j-2)} &= \\ &P(\epsilon=2)_{i, cycle(j-3)} \times P(\zeta=0)_{i, cycle(j-2)} \\ &+ P(\epsilon=1)_{i, cycle(j-3)} \times P(\zeta=1)_{i, cycle(j-2)} \\ &+ P(\epsilon=0)_{i, cycle(j-3)} \times P(\zeta=2)_{i, cycle(j-2)} \end{aligned} \quad (6)$$

이다. 같은 방법으로, 식 (6)을 일반화하여 임의의 싸이클  $(j-k-1)$ 에 버퍼에 저장된 데이터 패킷의 수가  $k$ 일 확률,  $P(\epsilon=k)_{i, cycle(j-k-1)}$ , 은

$$\begin{aligned} P(\epsilon=k)_{i, cycle(j-k-1)} &= \\ &P(\epsilon=k+1)_{i, cycle(j-k-2)} \times P(\zeta=0)_{i, cycle(j-k-1)} \\ &+ P(\epsilon=k)_{i, cycle(j-k-2)} \times P(\zeta=1)_{i, cycle(j-k-1)} \\ &+ P(\epsilon=k-1)_{i, cycle(j-k-2)} \times P(\zeta=2)_{i, cycle(j-k-1)} \\ &\dots \\ &+ P(\epsilon=k+1-a)_{i, cycle(j-k-2)} \times P(\zeta=a)_{i, cycle(j-k-1)} \\ &= \sum_{x=k+1-a}^{k+1} P(\epsilon=x)_{i, cycle(j-k-2)} \\ &\times P(\zeta=k+1-x)_{i, cycle(j-k-1)} \end{aligned} \quad (7)$$

이다. 여기서  $b \geq 1$ ,  $a \geq 2$ 이고  $1 \leq k \leq b$ 이다. 식 (7)은 싸이클  $(j-k-1)$ 에 버퍼가 저장하고 있는 데이터 패킷의 수가  $k$ 일 경우는 싸이클  $(j-k-2)$ 에 버퍼에 저장된 데이터 패킷의 수와 싸이클  $(j-k-1)$ 에 해당 출력 단

으로 지향하는 데이터 패킷의 수의 합이  $(k+1)$ 임을 보여주고 있다. 이때 싸이클  $(j-k-1)$  동안 하나의 데이터 패킷은 다음 스테이지로 이동하고 나머지  $k$ 개 데이터 패킷은 버퍼에 저장된다. 식 (7)에서  $x$ 가 0보다 적게 되면,  $P(\varepsilon=x)_{i, \text{cycle}(j-b-1)}|_{x<0}=0$ 가 된다. 마지막으로 싸이클  $(j-b-1)$ 에서 버퍼에 저장된 데이터 패킷의 수가  $b$ 일 확률,  $P(\varepsilon=b)_{i, \text{cycle}(j-b-1)}$ 을 구하면,

$$\begin{aligned} P(\varepsilon=b)_{i, \text{cycle}(j-b-1)} &= \\ P(\varepsilon=b)_{i, \text{cycle}(j-b-2)} &\times \sum_{y=1}^a P(\hbar=y)_{i, \text{cycle}(j-b-1)} \\ &+ P(\varepsilon=b-1)_{i, \text{cycle}(j-b-2)} \times \sum_{y=2}^a P(\hbar=y)_{i, \text{cycle}(j-b-1)} \\ &\dots \\ &+ P(\varepsilon=b+1-a)_{i, \text{cycle}(j-b-2)} \\ &\times \sum_{y=a}^b P(\hbar=y)_{i, \text{cycle}(j-b-1)} \\ &= \sum_{x=b+1-a}^b \left\{ P(\varepsilon=x)_{i, \text{cycle}(j-b-2)} \right. \\ &\quad \left. \times \sum_{y=b+1-x}^a P(\hbar=y)_{i, \text{cycle}(j-b-1)} \right\} \quad (8) \end{aligned}$$

이 된다. 여기서, 만약 이전 사이클에서 버퍼에 저장된 데이터 패킷의 수와 현재 사이클에서 해당 출력 단으로 지향하는 데이터 패킷의 합이  $(b+1)$ 보다 큰 경우 데이터 충돌에 연루된 모든 데이터 패킷을 저장할 버퍼 공간이 부족하므로 데이터 패킷의 손실이 일어난다. 즉, 버퍼의 최대저장 할 수 있는 데이터 패킷의 수가  $b$ 이므로,  $(x+y+1-b)$ 개의 데이터 패킷은 손실된다.

식 (5), (6), (7) 그리고 (8) 등의 식에서, 확률적으로 임의의 버퍼가 싸이클  $j$ 에  $k$ 개의 데이터 패킷을 저장할 확률과 싸이클  $(j+1)$ 에  $k$ 개의 데이터 패킷을 저장할 확률은 같다 고 볼 수 있다. 즉, 이들 식에 정상 상태 확률(steady state probability) 개념 적용이 가능하고,  $P(\varepsilon=k)_{i, \text{cycle } j} = P(\varepsilon=k)_{i, \text{cycle}(j+1)}$ , 그리고  $P(\hbar=x)_{i, \text{cycle } j} = P(\hbar=x)_{i, \text{cycle}(j+1)}$ 이 된다. 정상 상태 확률 개념을 도입하여 버퍼에 관한 상태 변환도는 그림 2와 같다. 정상상태 확률 개념을 이용하여 식 (5)를 다시 쓰면

$$\begin{aligned} P(\varepsilon=0)_i &= P(\varepsilon=1)_i \times P(\hbar=0)_i \\ &\quad + P(\varepsilon=0)_i \times P(\hbar=1)_i \\ &\quad + P(\varepsilon=0)_i \times P(\hbar=0)_i \quad (9) \end{aligned}$$

이 된다.  $P(\varepsilon=0)_i$ 를 얻기위해 식 (9)를 정리하여  $P(\varepsilon=1)_i$ 를  $P(\varepsilon=0)_i$ 의 식으로 구하면

$$P(\varepsilon=1)_i = P(\varepsilon=0)_i \times \frac{(1 - P(\hbar=0)_i - P(\hbar=1)_i)}{P(\hbar=0)_i}$$

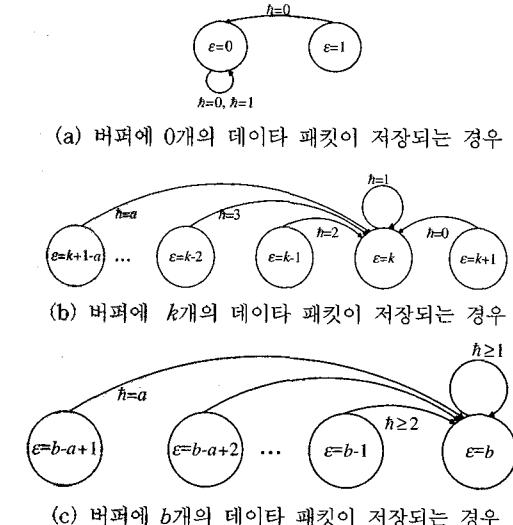


그림 2 버퍼에 저장될 데이터 패킷의 수와 해당 버퍼로 진행하고자 하는 데이터 패킷수의 관계

$$\begin{aligned} &= P(\varepsilon=0)_i \times \frac{1}{P(\hbar=0)_i} \times \sum_{y=2}^a P(\hbar=y)_i \\ &= P(\varepsilon=0)_i \times \Omega_0 \\ &= P(\varepsilon=0)_i \times \Phi_1 \quad (10) \end{aligned}$$

이다. 여기서  $\Omega_0 = \frac{1}{P(\hbar=0)_i} \times \sum_{y=2}^a P(\hbar=y)_i$ 이고,  $\Phi_1 = \Omega_0$ 이다.  $P(\hbar=y)_i$ 는 식 (1)에서 구할 수 있다. 또한,  $P(\varepsilon=1)_i$ 는 다음과 같이 나타낼 수도 있다.

$$\begin{aligned} P(\varepsilon=1)_i &= P(\varepsilon=0)_i \times \sum_{y=2}^a P(\hbar=y)_i \\ &\quad + P(\varepsilon=1)_i \times \sum_{y=1}^a P(\hbar=y)_i \quad (11) \end{aligned}$$

같은 방법으로 식 (6)의  $P(\varepsilon=1)_i$ 는 다음과 같이 나타내고

$$\begin{aligned} P(\varepsilon=1)_i &= P(\varepsilon=2)_i \times P(\hbar=0)_i \\ &\quad + P(\varepsilon=1)_i \times P(\hbar=1)_i \\ &\quad + P(\varepsilon=0)_i \times P(\hbar=2)_i \quad (12) \end{aligned}$$

와 같이 정리된다.

여기서  $P(\varepsilon=2)_i$ 는 식 (11)과 식 (12)를 이용하여 다음과 같이 두 가지 형태로 정리할 수 있다.

$$\begin{aligned} P(\varepsilon=2)_i &= P(\varepsilon=0)_i \times \frac{1}{P(\hbar=0)_i} \times \sum_{y=3}^a P(\hbar=y)_i \\ &\quad + P(\varepsilon=1)_i \times \frac{1}{P(\hbar=0)_i} \times \sum_{y=2}^a P(\hbar=y)_i \\ &= P(\varepsilon=0)_i \times \Omega_1 + P(\varepsilon=1)_i \times \Omega_0 \\ &= P(\varepsilon=0) \times \{\Omega_1 + \Phi_1 \times \Omega_0\} = P(\varepsilon=0) \times \Phi_2 \quad (13) \end{aligned}$$

또는

$$\begin{aligned} P(\varepsilon=2)_i &= P(\varepsilon=0)_i \times \sum_{y=3}^a P(\hbar=y)_i \\ &\quad + P(\varepsilon=1)_i \times \sum_{y=2}^a P(\hbar=y)_i \\ &\quad + P(\varepsilon=2)_i \times \sum_{y=1}^a P(\hbar=y)_i \end{aligned} \quad (14)$$

여기서  $\Omega_0 = \frac{1}{P(\hbar=0)_i} \times \sum_{y=2}^a P(\hbar=y)_i$ ,  $\Omega_1 = \frac{1}{P(\hbar=0)_i} \times \sum_{y=3}^a P(\hbar=y)_i$ ,  $\Phi_1 = \Omega_0$ ,  $\Phi_2 = \Omega_1 + \Phi_1 \times \Omega_0$ 이다. 같은 방법으로 식 (9)~(14)를 일반화하여 버퍼가 임의 싸이클 종료 시  $(k-1)$ 개의 데이터 패킷을 저장하고 있을 확률,  $P(\varepsilon=k-1)_i$ 은

$$P(\varepsilon=k-1)_i = \sum_{x=k-a}^k P(\varepsilon=x)_i \times P(\hbar=k-x)_i \quad (15)$$

이 되고, 이 식으로부터 버퍼가 임의 싸이클 종료 시  $k$  개의 데이터 패킷을 저장하고 있을 확률,  $P(\varepsilon=k)_i$ 는 구하면

$$\begin{aligned} P(\varepsilon=k)_i &= P(\varepsilon=0)_i \times \frac{1}{P(\hbar=0)_i} \times \sum_{y=k+1}^a P(\hbar=y)_i \\ &\quad + P(\varepsilon=1)_i \times \frac{1}{P(\hbar=0)_i} \times \sum_{y=k}^a P(\hbar=y)_i \\ &\quad \cdots \\ &\quad + P(\varepsilon=k-1)_i \times \frac{1}{P(\hbar=0)_i} \times \sum_{y=2}^a P(\hbar=y)_i \\ &= \sum_{x=0}^{k-1} \left\{ P(\varepsilon=x)_i \times \frac{1}{P(\hbar=0)_i} \times \sum_{y=k+1-x}^a P(\hbar=y)_i \right\} \\ &= P(\varepsilon=0)_i \times \Omega_{k-1} + P(\varepsilon=1)_i \times \Omega_{k-2} \\ &\quad + \cdots + P(\varepsilon=k-1)_i \times \Omega_0 \\ &= P(\varepsilon=0)_i \times \{\Omega_{k-1} + \Phi_1 \times \Omega_{k-2} + \cdots + \Phi_{k-1} \times \Omega_0\} \\ &= P(\varepsilon=0)_i \times \Phi_k \end{aligned} \quad (16)$$

또는

$$P(\varepsilon=k)_i = \sum_{x=0}^k \left\{ P(\varepsilon=x)_i \times \sum_{y=k+1-x}^a P(\hbar=y)_i \right\} \quad (17)$$

로 정리할 수 있다.

$$\begin{aligned} \text{여기서 } \Omega_i &= \frac{1}{P(\hbar=0)_i} \times \sum_{y=i+2}^a P(\hbar=y)_i, \Phi_k = \Omega_{k-1} \\ &\quad + \sum_{x=0}^{k-2} \Phi_{k-x-1} \times \Omega_x \text{이다.} \end{aligned}$$

마지막으로, 버퍼에  $b$ 개의 데이터 패킷이 저장될 확률은, 즉 버퍼가 완전히 차게 될 확률,  $P(\varepsilon=b)_i$ 는 다음과 같이 구할 수 있다.

$$P(\varepsilon=b-1)_i = \sum_{x=b-a}^b P(\varepsilon=x)_i \times P(\hbar=b-x)_i \quad (18)$$

이고,

$$\begin{aligned} P(\varepsilon=b)_i &= \sum_{x=0}^{b-1} \left\{ P(\varepsilon=x)_i \times \frac{1}{P(\hbar=0)_i} \right. \\ &\quad \times \left. \sum_{y=b+1-x}^a P(\hbar=y)_i \right\} \\ &= P(\varepsilon=0)_i \times (\Omega_{b-1} + \Phi_1 \times \Omega_{b-2} + \cdots \end{aligned}$$

$$\begin{aligned} &\quad + \Phi_{b-2} \times \Omega_1 + \Phi_{b-1} \times \Omega_0) \\ &= P(\varepsilon=0)_i \times \Phi_b \end{aligned} \quad (19)$$

이다. 여기서  $\Omega_i = \frac{1}{P(\hbar=0)_i} \times \sum_{y=i+2}^a P(\hbar=y)_i$ ,  $\Phi_b = \Omega_{b-1} + \sum_{x=0}^{b-2} \Phi_{b-x-1} \times \Omega_x$ 이다. 식 (10), (13), (16), 그리고 (19)식으로부터 임의의  $k$ 에 대한  $P(\varepsilon=k)_i$ 는  $P(\varepsilon=0)_i$ 와  $\Omega_i, \Phi_k$ 를 이용하여 계산이 가능하다. 이때  $P(\varepsilon=0)_i$ 는 다음과 같이 계산할 수 있다. 스위치에 장착한 버퍼의 개수가  $b$ 개인 경우 임의의 싸이클 종료 시 버퍼에 저장된 데이터 패킷의 개수는 0에서  $b$ 개 중 하나가 된다. 즉,

$$\sum_{x=0}^b P(\varepsilon=x)_i = 1. \text{ 따라서,}$$

$$\sum_{x=0}^b P(\varepsilon=x)_i = P(\varepsilon=0)_i \times \sum_{x=0}^b \Phi_x = 1 \quad (20)$$

이 된다. 따라서, 정상 상태 처리율 계산의 주요 변수로 정의된  $P(\varepsilon=0)_i$ 은

$$P(\varepsilon=0)_i = \frac{1}{\sum_{x=0}^b \Phi_x} \quad (21)$$

로 얻어진다. 여기서  $\Phi_x = \Omega_{x-1} + \sum_{k=0}^{x-2} \Phi_{x-k-1} \times \Omega_k$ ,  $\Omega_i = \frac{1}{P(\hbar=0)_i} \times \sum_{y=i+2}^a P(\hbar=y)_i$ 이다.

일단 다단 연결 망 내부 스테이지  $i$ 에 위치한 임의  $a \times a$  출력 버퍼 스위치 입력 단의 데이터 패킷이 유입율이 주어지면 식 (1), (21), 그리고 (4)를 이용하여 출력 단  $D_d$ 로 데이터 패킷이 출력될 확률,  $P(D_d=1)_i$ 를 구하게 된다. 네트워크 구조 상 스테이지  $i$ 에 위치한 스위치 출력 단은 스테이지  $(i+1)$ 에 위치한 임의 스위치의 입력 단으로 연결됨으로, 스테이지  $i$ 의 임의 스위치 출력 단으로 데이터 패킷이 출력될 확률,  $P(D_d=1)_i$ 는 그림 3에서와 같이  $stage(i+1)$ 에 위치한 해당 스위치 입력 단으로 데이터 패킷이 유입될 확률,  $\zeta_{stage(i+1)}$ , 이 된다. 즉  $P(D_d=1)_i = \zeta_{stage(i+1)}$  된다. 따라서 네트워크 입력 단의 데이터 유입율,  $\zeta_{stage(0)}$ , 이 주어지면 식 (1), (21), 그리고 (4)를 이용하여  $P(D_d=1)_0$ 을 구하고, 다시  $P(D_d=1)_0$ 을  $\zeta_{stage(1)}$ 로 하여  $P(D_d=1)_1$ 을 구하는 과정을 반복하여 다단 연결 망 최종 스테이지의 스위치 출력 단으로 데이터 패킷이 출력될 확률,  $P(D_d=1)_{last stage}$ 을 계산하게 된다. 마지막으로, 네트워크 정상상태 처리율은  $\zeta_{stage(0)}$ 와  $P(D_d=1)_{last stage}$ 을 이용하여 식 (2)에 의해 구할 수 있다.

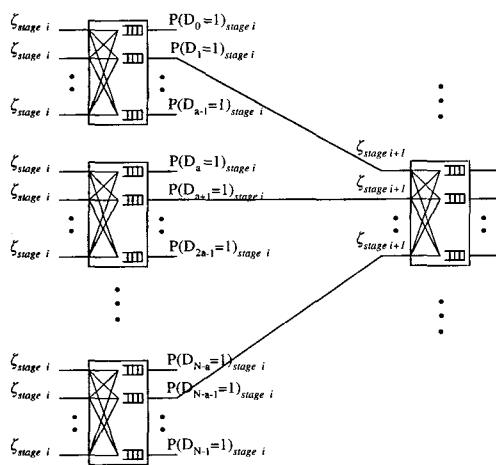


그림 3 다단 연결 망 내부 스위치 입출력 확률의 관계

#### 2.4 네트워크 지연 시간 분석

네트워크 성능 평가에 있어 정상상태 처리율과 함께, 다른 주요 평가 지표로 네트워크 지연시간(Network Delay,  $\tau$ )을 들 수 있다. 임의 데이터 패킷이 네트워크 입력 단에 유입된 후, 각 스위치 스테이지를 지나, 최종 출력 단을 통과하기까지 소요되는 스위치 클럭의 평균 개수로 측정되는 네트워크 지연시간은 데이터 패킷 이동 경로의 트래픽에 따라 결정된다. 임의 데이터 패킷의 이동 경로에 위치한 버퍼의 데이터 저장 상태, 그리고 함께 도착된 데이터 패킷의 개수에 따라 데이터 패킷을 특정 위치의 버퍼에 저장하게 되고, 일정 기간 동안 스위치에 머무르도록 한다. 문제는 “임의 데이터 패킷이 스위치 버퍼의 어느 위치에 저장되는가?”이다. 일단, 스위치 버퍼  $k$ 번째 위치에 저장되면, 이는 해당 스위치에서  $(k+1) \times \Delta t$ 의 시간만큼 머물고 다음 스위치로 이동하게 된다.

먼저, 네트워크 스테이지  $i$ 에 위치한 스위치 소자를 성공적으로 통과한 데이터 패킷  $\delta$ 가 해당 스위치의  $k$ 번째 버퍼에 저장 될 경우를 살펴보면 다음과 같다: ‘이전 싸이클 종료 시  $\rho$ 개 데이터 패킷이 저장된 스위치 버퍼에 현 싸이클에 데이터 패킷  $\delta$ 를 포함한  $(y+1)$ 개의 새로운 데이터 패킷들이 도착한다. 이들 새로 도착한 데이터 패킷 가운데 패킷  $\delta$ 가  $(k-\rho+1)$ 번째 순서로 버퍼에 저장될 경우, 데이터 패킷  $\delta$ 는 해당 스위치의  $k$ 번째 버퍼에 저장된다.’ 여기서,  $0 \leq \rho \leq k \leq b$ , 그리고  $(k-\rho+1) \leq (y+1) \leq a$ 이다.

따라서, 네트워크 내부 스테이지  $i$ 에 위치한 스위치를

통과하여 다음 스테이지로 이동에 성공한 데이터 패킷이 해당 스위치에 체류한 시간,  $\tau_{s, stage i}$ , 을 구하면

$$\tau_{s, stage i} = \sum_{k=0}^b \left[ \sum_{\rho=k+1-a}^k \left\{ P(\varepsilon=\rho)_{i, cycle(j-1)} \right. \right. \\ \times \sum_{y=k-\rho}^{a-1} \frac{1}{y+1} P(h=y)_{i, cycle j}^* \left. \right] \\ \times (k+1)\Delta t \quad (22)$$

으로 얻어진다. 여기서,  $P(h=y)^* = \binom{a-1}{y} \times \left( \frac{\zeta_{stage i}}{a} \right)^y$

$$\times \left( 1 - \frac{\zeta_{stage i}}{a} \right)^{a-1-y}$$

그리고,  $P(\varepsilon < 0) = 0$ 이다. 식 (22)는 임의 데이터 패킷  $\delta$ 가 스테이지  $i$ 의 스위치를 성공적으로 통과하는데 요구되는 평균 지연 시간을 수식화한 것이다. 식 (22)의  $\sum_{y=k-\rho}^{a-1} \frac{1}{y+1} \times P(h=y)_{i, cycle j}^*$ 는 데이터 패킷  $\delta$ 를 포함한  $(y+1)$ 개의 데이터 패킷이 해당 버퍼에 새로 도착되고, 이들 가운데 데이터 패킷  $\delta$ 가  $k$ 번째 버퍼 공간에 저장될 확률을 나타낸다.

만약 해당 출력 단 버퍼가 빈 상태에서 새로 도착된  $(y+1)$ 개 데이터 패킷 가운데 스위치를 통과할 첫 번째 패킷으로 선정되어진다면 의심의 여지없이 데이터 패킷  $\delta$ 는 단 하나의 스위치 사이클,  $\Delta t$ , 동안만 해당 스위치에 머무르고 다음 스테이지로 이동 할 것이다. 이를 식 (22)에 적용하여 다시 쓰면

$$\tau_{s, stage i} = \left\{ P(\varepsilon=0)_{i, cycle(j-1)} \times \sum_{y=0}^{a-1} \frac{1}{y+1} \right. \\ \times \left. P(h=y)_{cycle j} \right\} \times \Delta t \quad (22-1)$$

이 된다.

네트워크를 성공적으로 통과한 데이터 패킷의 전체 네트워크 지연시간,  $\tau_s$ , 는 각 스테이지 별 지체시간을 합하여

$$\tau_s = \sum_{i=0}^{n-1} \tau_{s, stage i} \quad (23)$$

과 같이 나타낼 수 있다. 여기서  $n = \lceil \log_a N \rceil$ 이고,  $N$ 은 네트워크 입력 포트의 수를 나타낸다.

한편, 일부 데이터 패킷들은 한정된 버퍼공간으로 인하여 전송 중, 네트워크 내부에서 유실 될 수 있다. 이들 중도 유실된 데이터 패킷들은 소정의 “중도 유실 감지” 과정을 거쳐 최초 데이터 패킷이 유입된 입력 단에서 재전송 되게 된다. 그림 4는 네트워크를 성공적으로 통과한 데이터 패킷들의 네트워크 지연 시간과 함께, 전송 과정에서 중도 소실된 데이터 패킷들의 재전송 시간을 고려한 총 네트워크 지연시간에 관한 상태도이다. 여기서, 임의 데이터 패킷  $\delta$ 가 네트워크를 성공적으로 통과할 확률은 정상상태 처리율( $NT$ )로 볼 수 있고, 이때 네트워크 지연시간은 식 (22)와 (23)에서 얻은 식으로 구할 수 있다.

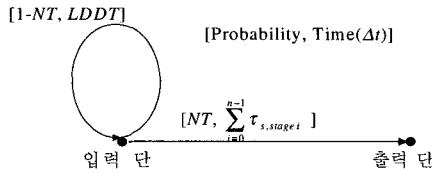


그림 4 네트워크 지연 시간에 관한 상태도

반면에, 데이터 패킷  $\delta$ 가 네트워크 내부에서 유실될 확률은  $(1-NT)$ 로 계산되고, 이를 중도 유실 데이터 패킷은 중도 유실 감지 시간(Lost Data Detection Time,  $LDDT$ ) 만큼의 오류 검사 과정을 거쳐 재전송된다.

따라서, 임의 데이터 패킷이 전체 네트워크를 통과하는 데 걸리는 평균 시간,  $\bar{\tau}$ ,는 그림 4로부터

$$\bar{\tau} = NT \times \tau_s + (1-NT) \times (LDDT + \bar{\tau}) \quad (24)$$

와 같은 식으로 얻어진다. 식 (24)를  $\bar{\tau}$ 에 관하여 풀면

$$\bar{\tau} = \tau_s + \frac{(1-NT)}{NT} \times LDDT \quad (25)$$

과 같이 계산된다. 여기서,  $NT$ 와  $\tau_s$ 는 식 (2), (22) 그리고 (23)로부터 구할 수 있고,  $LDDT$ 는 네트워크 특성에 따라 상수로 주어진다.

표 2 2×2 출력 버퍼 스위치로 구성된 8×8 MIN의 성능 (정상상태 처리율)

데이터 패킷 입력률 $\zeta_{stage 0} = 1$		
buffer size	정상 상태 처리율 (NT, %)	
	해석값	시뮬레이션
0	51.65	51.64
1	75.29	74.69
2	83.46	82.86
4	90.06	89.50
8	94.47	94.04
16	97.07	96.90
32	98.49	98.36

데이터 패킷 입력률 $\zeta_{stage 0} = 0.8$		
buffer size	정상 상태 처리율 (NT, %)	
	해석값	시뮬레이션
0	58.17	58.18
1	85.43	84.62
2	93.81	92.83
4	98.75	98.12
8	99.95	99.82
16	100	100
32	100	100

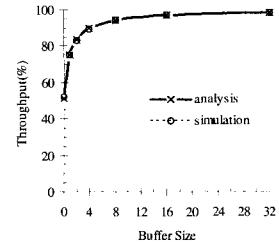
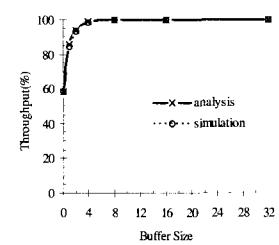
(a) 데이터 패킷 입력률,  $\zeta_{stage 0}=1$ (b) 데이터 패킷 입력률,  $\zeta_{stage 0}=1$ 

그림 5 데이터 패킷 입력률에 따른 성능 분석 결과와 시뮬레이션 결과의 비교

표 2 2×2 출력 버퍼 스위치로 구성된 8×8 MIN의 성능 (네트워크 지연시간)

데이터 패킷 입력률, $\zeta_{stage 0} = 1$			
buffer size	네트워크를 통과한 패킷의 지연 시간( $\Delta t$ )		데이터 패킷 탈락 확률(%)
	해석	시뮬레이션	해석
0	3.000	3.000	48.35
1	4.719	4.457	24.71
2	6.024	5.805	16.54
4	8.572	8.438	9.95
8	13.689	13.693	5.53
16	23.982	24.276	2.93
32	44.620	44.753	1.51

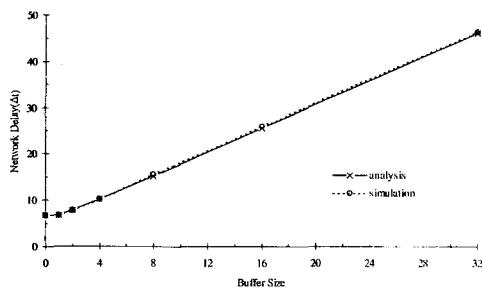
데이터 패킷 입력률, $\zeta_{stage 0} = 0.8$			
네트워크를 통과한 패킷의 지연시간( $\Delta t$ )		데이터 패킷 탈락 확률(%)	
해석값	시뮬레이션	해석값	시뮬레이션
3	3	41.832	41.818
4.126	4.127	14.567	15.381
4.862	4.862	6.186	7.174
5.639	5.816	1.252	1.877
5.975	6.373	0.051	0.176
6	6.432	0.000	0.000
6	6.477	0.000	0.000

표 1과 표 2, 그리고 그림 5와 그림 6은 스위치에 장착된 버퍼의 크기에 따른 네트워크 정상상태 처리율과 지연시간에 관한 분석 결과를 비교한 표와 그래프이다.  $2 \times 2$  스위치들로 구성된  $8 \times 8$  Baseline 네트워크가 시험 대상으로 사용되었다. 시뮬레이션 과정에서는, 초기에 버퍼가 비어있는 상태에서 네트워크 성능 측정을 피하기 위하여, 충분한 예비 동작시간을 준 후 본격적으로 데이터를 수집하여 처리하였다. 표에서 보인 바와 같이, 네트워크 성능 관련 분석 결과는 다양한 버퍼 크기 및 네트워크 트래픽에 대하여 시뮬레이션 결과와 매우 근접한 값을 갖는 것으로 밝혀졌다.

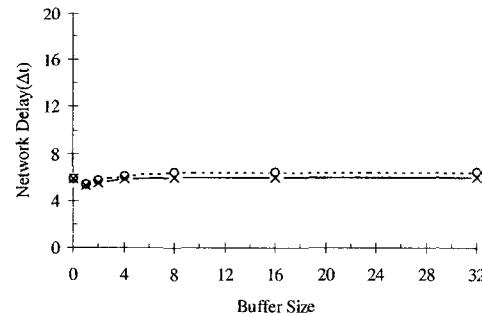
그림 5 그리고 그림 7은 네트워크 정상상태 처리율이 버퍼가 1~4개 데이터 패킷을 저장할 수 있을 때까지 극적인 증가 양상을 보이고, 이후 정상상태 처리율이 포화 상태에 이르게 됨을 보여주고 있다.

또한, 스위치에 장착된 버퍼의 크기의 증가는 전반적인 네트워크 지연시간의 증가를 초래하는 것으로 조사되었다. 그림 6에서 데이터 중도 소실 감지 시간(LDDT)은 최소 소요시간  $(b \times n + 1)\Delta t$ 로 놓고 네트워크 지연시간을 구하였다. 여기서  $b$ 는 스위치에 장착된 버퍼의 크기이고, 성공적으로 네트워크를 통과한 데이터 패킷이 네

트워크에 체류할 수 있는 최대 지연시간은  $(b \times n)\Delta t$ 으로 계산된다. 이때까지 네트워크 출력 단에 데이터 패킷이 도달하지 못하면 패킷이 중도 유실된 것으로 간주하게 된다. 데이터 중도 유실이 확인되면 바로 입력 단으로 사실이 알려지고, 해당 입력 단에서 재 전송되게 된다. 그림 6(a)는 버퍼 공간이 커짐에 따라 네트워크 지연시간이 선형 증가함을 보여 주고 있다. 이는 다음 두 가지 원인으로 인한 결과로 설명된다. 먼저 각 스위치에 장착된 버퍼 공간이 커지면서 데이터 손실은 줄일 수 있으나, 성공적으로 네트워크를 통과한 데이터 패킷이 각 스위치에 체류하는 시간이 증가하게 된다. 두 번째 원인으로 데이터 중도 유실 감지에 소요되는 시간이 버퍼의 크기( $b$ )의 증가와 함께 커지게 됨을 들 수 있다. 그림 6(b)의 경우는 평균 데이터 패킷 입력율이 0.8인 경우를 나타낸

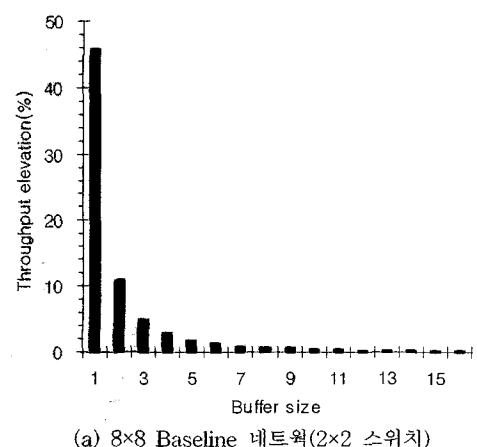


(a) 데이터 패킷 입력률,  $\zeta_{stage\ 0} = 1$

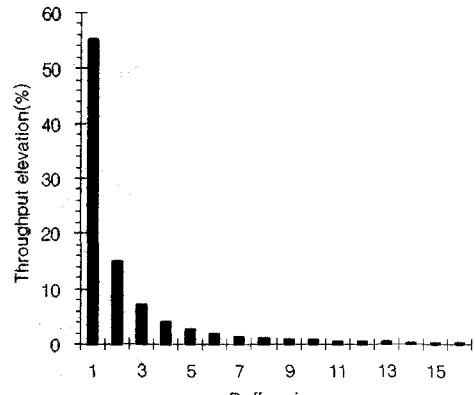


(b) 데이터 패킷 입력률,  $\zeta_{stage\ 0} = 1$

그림 6 데이터 패킷 입력률에 따른 성능 분석 결과와 시뮬레이션 결과의 비교



(a)  $8 \times 8$  Baseline 네트워크( $2 \times 2$  스위치)



(b)  $64 \times 64$  Baseline 네트워크( $4 \times 4$  스위치)

그림 7 버퍼 사이즈에 따른 정상상태 처리율 변화

것이다. 이 경우 버퍼 공간이 증가함에 따라 데이터 패킷의 중도 유실 확률이 급격히 낮아짐으로써, 데이터 소실 감지 시간(LDDT) 증가하더라도 전체 네트워크 지연 시간에는 거의 영향을 미치지 않는 것으로 조사되었다.

그림 7은 네트워크 내부의 각 스위치 소자에 새로운 버퍼가 추가 될 때 정상 상태 처리율의 향상 정도를 그래프로 보여주고 있다. 그림에서 보인 바와 같이 버퍼 공간이 하나씩 추가됨에 따라 얻어지는 정상상태 처리율이 급격하게 감소됨을 알 수 있다.  $2 \times 2$  스위치로 구성된  $8 \times 8$  Baseline 네트워크의 경우를 살펴보면, 스위치에 버퍼가 장착되지 않은 경우 보다 하나의 버퍼 공간을 장착한 경우가 46%의 정상상태 처리율 증가 효과를 얻을 수 있다. 또한, 하나의 버퍼 공간을 장착한 경우와 비교하여 두 개의 버퍼 공간을 장착한 경우 11%의 정상상태 처리율 증가가 조사되었다. 반면, 다섯 개 이상의 버퍼를 장착한 경우는 1% 이내의 정상상태 처리율 증가를 기록하였다. 이와 같은 결과는 스위치의 사용이 커지거나 네트워크의 입력 부하가 변화하더라도 유사한 형태를 보였다.

### 3. 결 론

본 논문에서는 스위치 출력 단에 복수 버퍼를 장착한 스위치들로 구성된 다단 연결 망의 성능을 확률 식으로 분석하는 새로운 성능 분석 모형을 제안하고, 실효성을 입증하였다. 제안된 분석 기법은 네트워크 스위치 내부에서 데이터 패킷의 이동 상태를 관찰하여 확률 식으로 정리하고, 이를 토대로 네트워크 전체의 정상상태 처리율 및 네트워크 지연시간을 예측한다. 분석 모형의 수립 단계에서 정상상태 확률 개념을 도입하여 간단한 근사화(approximation)을 시도하여 모형의 해석과 확률 식 전개를 용이하게 하였다. 또한 본 논문에서는 모형의 이해를 돋기 위하여 네트워크 트래픽 제어 및 중도 소실 패킷에 대한 처리기능 등 최근 개발되는 스위치 네트워크의 부가기능을 배제하고 수식을 정리하였다. 그러나, 제안된 분석모형은 이들 다양한 성능 향상 기술이 적용된 네트워크, 그리고 다양한 크기의 네트워크 성능분석에도 쉽게 적용이 가능하다. 모형의 실효성 검토를 위하여 병행된 시뮬레이션 결과는 분석 모형에 의하여 얻은 결과와 상호 미세한 오차 범위 내에서 일치하여, 제안된 분석 기법의 우수성을 입증하였다.

### 참 고 문 헌

- [1] Allan Gottlieb, Ralph Grishman, et al., "The NYU Ultracomputer - Designing an MIMD Shared

Memory Parallel Computer," *IEEE Trans. on Computers*, Vol. C-32, No. 2, pp175-189, Feb. 1983.

- [2] G. F. Pfister, W. C. Brantley, et al., "The IBM Research Parallel processor Prototype(RP3): Introduction and Architecture," *Proc. Intl. Conf. on Parallel Processing*, pp764-771, Aug. 1985.
- [3] -, "Butterfly GP1000 - Overview," *BBN Advanced Computer Inc.*, Nov. 1988.
- [4] -, "TC2000 Technical Product Summary," *BBN Advanced Computer Inc.*, Jul. 1989.
- [5] T. Feng, "Data Manipulating Functions in Parallel Processors and Their Implementations," *IEEE Trans. on Computers*, Vol. C-23, pp309-318, Mar. 1974.
- [6] K. E. Batcher, "The Flip Network in STARAN," *Proc. Intl. Conf. on Parallel Processing*, pp65-71, Aug. 1976.
- [7] D. K. Lawrie, "Access and Alignment of Data in an Array processor," *IEEE Trans. on Computers*, Vol. C-24, pp1145-1155, Dec. 1975.
- [8] G. J. Lipovski and A. Tripathi, "A Reconfigurable Varistucture Array Processor," *Proc. Intl. Conf. on Parallel Processing*, pp165-174, Aug. 1977.
- [9] M. Lee, C. L. Wu, "Performance Analysis of Circuit Switching Baseline Interconnection Networks," *Proc. 11th Computer Architecture Conf.*, pp82-90, 1984.
- [10] V. P. Kumar and S. M. Reddy, "Augmented Shuffle-Exchange Multistage Interconnection Networks," *IEEE Computer*, Jun. 1987.
- [11] Chuan-Lin Wu and Tse-Yun Feng, "On a class of Multistage Interconnection Networks," *IEEE Trans. on Computers*, Vol. C-29, No. 8, pp108-116, Aug. 1980.
- [12] D. M. Dias and J. R. Jump, "Analysis and Simulation of Buffered Delta Networks," *IEEE Trans. on Computers*, Vol. C-30, No. 4, pp273-282, Apr. 1981.
- [13] Y. C. Jenq, "Performance Analysis of a Packet Switch Based on Single Buffered Banyan Network," *IEEE J. Select. Areas Comm.*, Vol. SAC-3, No. 6, pp1014-1021, Dec. 1983.
- [14] C. P. Krusal and M. Snir, "The Performance of Multistage Interconnection Networks for Multiprocessors," *IEEE Trans. on Computers*, Vol. C-32, No. 12, pp1091-1098, Dec. 1983.
- [15] H. Yoon, K. Y. Lee, and M. T. Liu, "Performance Analysis of Multibuffered Packet-Switching Networks in Multiprocessor Systems," *IEEE Trans. on Computers*, Vol. C-39, No. 3, pp319-327, Mar. 1990.
- [16] Y. Mun and H. Y. Youn, "Performance Analysis

- of Finite Buffered Multistage Interconnection Networks," *IEEE Trans. on Computers*, Vol. 43, No. 2, pp. 153-162, Feb. 1994.
- [17] Chita R. Das and Prasant Mohapatra, "Performance Analysis of Finite-Buffered Asynchronous Multistage Interconnection Networks," *IEEE Trans. on Parallel and Distributed systems*, Vol. 7, NO. 1, pp. 18-25, June 1996.
- [18] B. Zhou and M. Atiquzzaman, "Efficient analysis of multistage interconnection networks using finite output-buffered switching elements," *Tech. Rep.* 15/94, La Trobe University, Melbourne, Department of Computer Science, July 1994.
- [19] S. H. Byun, D. K. Sung, "The UniMIN Switch Architecture for Large-Scale ATM Switches," *IEEE Trans. on Networking*, Vol. 8, NO. 1, pp. 109-120, Feb. 2000.
- [20] J. Ding and L.N. Bhuyan, "Finite Buffer Analysis of Multistage Interconnection Networks," *IEEE Trans. on Computers*, vol. 43, no. 2, pp. 243-247, Feb. 1994.
- [21] H. Y. Youn and H. S. Choo, "Performance Enhancement of Multistage Interconnection Networks with Unit Step Buffering," *IEEE Trans. on Communications*, Vol. 47, No. 4, pp. 618-630, APR. 1999.

#### 신 태 지



1998년 울산대학교 전기전자 및 정보시스템 공학부 졸업(학사). 2000년 울산대학교 전기전자정보시스템공학부 졸업(석사). 2000년 ~ 현재 울산대학교 전기전자정보시스템공학부 박사과정. 관심분야는 컴퓨터 네트워크, 병렬 처리 시스템

#### 양 명 국



1983년 한양대학교 전자 공학과 졸업(학사). 1992년 The Pennsylvania State University, Electrical and Computer Engineering 졸업(공학 박사). 1993년 ~ 현재 울산대학교 전기전자정보시스템공학부 부교수. 관심분야는 컴퓨터 네트워크, 병렬 처리 시스템, 고장 적응 시스템