

## Trap characteristics of charge trap type NVSM with reoxidized nitrated oxide gate dielectrics

Soon-Hyuk Hong and Kwang-Yell Seo<sup>†</sup>

Department of Semiconductor & New material Engineering, Kwangwoon University, Seoul 139-701, Korea

(Received November 4, 2002)

(Accepted November 29, 2002)

**Abstract** Novel charge trap type memory devices with reoxidized oxynitride gate dielectrics made by NO annealing and reoxidation process of initial oxide on substrate have been fabricated using 0.35  $\mu\text{m}$  retrograde twin well CMOS process. The feasibility for application as NVSM memory device and characteristics of traps have been investigated. For the fabrication of gate dielectric, initial oxide layer was grown by wet oxidation at 800°C and it was reoxidized by wet oxidation at 800°C after NO annealing to form the nitride layer for charge trap region for 30 minutes at 850°C. The programming conditions are possible in 11 V, 500  $\mu\text{s}$  for program and -13 V, 1ms for erase operation. The maximum memory window is 2.28 V. The retention is over 20 years in program state and about 28 hours in erase state, and the endurance is over  $3 \times 10^3$  P/E cycles. The lateral distributions of interface trap density and memory trap density have been determined by the single junction charge pumping technique. The maximum interface trap density and memory trap density are  $4.5 \times 10^{10}/\text{cm}^2$  and  $3.7 \times 10^{18}/\text{cm}^3$  respectively. After  $10^3$  P/E cycles, interface trap density increases to  $2.3 \times 10^{12}/\text{cm}^2$  but memory charges decreases.

**Key words** Charge trap-type memories, Nonvolatile memory device, Reoxidized nitrated oxide, Single junction charge pumping technique, 0.35  $\mu\text{m}$  CMOS technology

## 재산화 질화산화 게이트 유전막을 갖는 전하트랩형 비휘발성 기억소자의 트랩특성

홍순혁, 서광열<sup>†</sup>

광운대학교 반도체 및 신소재 공학과, 서울, 139-701

(2002년 11월 4일 접수)

(2002년 11월 29일 심사완료)

**요약** 실리콘 기판 위의 초기 산화막을 NO 열처리 및 재산화 공정방법으로 성장한 재산화된 질화산화막을 게이트 유전막으로 사용한 새로운 전하트랩형 기억소자의 응용가능성과 계면트랩특성을 조사하였다. 0.35  $\mu\text{m}$  CMOS 공정기술을 사용하여 게이트 유전막은 초기산화막을 800°C에서 습식 산화하였다. 전하트랩영역인 질화막 층을 형성하기 위해 800°C에서 30분간 NO 열처리를 한 후 터널 산화막을 만들기 위해 850°C에서 습식 산화방법으로 재산화하였다. 프로그램은 11 V, 500  $\mu\text{s}$ 으로 소거는 -13 V, 1 ms의 조건에서 프로그래밍이 가능하였으며, 최대 기억창은 2.28 V이었다. 또한 11 V, 1 ms와 -13 V, 1 ms로 프로그램과 소거시 각각 20년 이상과 28시간의 기억유지특성을 보였으며,  $3 \times 10^3$ 회 정도의 전기적 내구성을 나타내었다. 단일접합 전하펌핑 방법으로 소자의 계면트랩 밀도와 기억트랩 밀도의 공간적 분포를 구하였다. 초기상태에서 채널 중심 부근의 계면트랩 및 기억트랩 밀도는 각각  $4.5 \times 10^{10}/\text{cm}^2$ 와  $3.7 \times 10^{18}/\text{cm}^3$ 이었다.  $1 \times 10^3$  프로그램/소거 반복 후, 계면트랩은  $2.3 \times 10^{12}/\text{cm}^2$ 으로 증가하였으며, 기억트랩에 기억된 전하량은 감소하였다.

### 1. 서론

NVSM(Non-volatile Semiconductor Memory)에서 EEPROMs(Electrically Erasable Programmable Read-

Only Memories)은 부유게이트형(Floating gate type)과 전하트랩형인 SONOS(Polysilicon-Oxide-Nitride-Oxide-Semiconductor) 구조가 두 축을 이루워 왔다[1]. 부유게이트형은 기억전하가 전도성 다결정 실리콘에 연속적인 공간분포를 갖는 자유전하로서 저장되는 반면, SONOS 소자는 전하가 ONO 산층 게이트 유전막의 질화층막에 공간적으로 고립된 깊은 준위트랩에 저장된다. SONOS 소자는 질화층의 트랩이 메모리를 트랩하고 있기 때문

<sup>†</sup>Corresponding author

Tel: +82-2-940-5163

Fax: +82-2-941-6008

E-mail: kyseo@daisy.gwu.ac.kr

에 부유게이트 형에 비해서 내구성과 기억유지 특성을 향상시킬 수 있다. 또한 셀의 구조가 간단하고 전기적인 특성 및 공정이 기존의 CMOS와 호환하기 때문에 독립형(stand-alone) 및 임베디드(embedded)에 적합하다. 더욱이 SONOS 구조가 0.10 μm 이하에서의 부유게이트 플래시/EEPROM의 한계를 극복할수 있다는 것이 검증되면서[2] 최근 저전압, 고밀도 EEPROMs 구현을 위한 SONOS 구조의 도입속도는 가속화되고 있다.

SONOS 기술에 기초한 NVSM의 성능과 신뢰성의 향상은 1990년대의 초박막 터널산화막 공정기술의 발전에서부터 시작되었다. 현재의 초박막 적층 ONO 게이트 유전막 형성 공정에는 불가피하게 도입되는 자연 산화막에 의한 터널 산화막질의 저하와 질화막 위에 블로킹 산화막을 성장 할 때 질화막의 산화에 따른 질화막 두께의 조절이 어렵다. 이러한 적층 ONO 게이트 유전막의 문제점을 해결하고 공정을 간단히 하기위한 새로운 공정기술을 개발할 필요가 요구된다. 초기산화막을 형성한 후, NO 열처리하면, 질소가 Si-SiO<sub>2</sub> 계면에 축적되면서 질화산화막이 형성되고, 재산화를 실시하면 실리콘표면에 양질의 산화막이 형성되어, 산화막내에 질화산화막이 매몰된 구조를 갖게 된다. 이와 같은 NO 열처리방법과 재산화방법은 인-수트(in-suit) 공정으로 가능하고, 전하트랩형 NVSM용 초박막 게이트 유전막으로 사용할 수 있는 새로운 공정기법이 될 수 있다. 매몰된 재산화 질화산화막의 트랩의 밀도와 분포는 전하트랩형 소자의 기억창을 결정하게 된다. 프로그램/소거반복에 따른 열화와 계면트랩의 증가는 채널의 표면 이동도 감소, 문턱전압 이동, 기억창의 크기감소 및 중심이동 그리고 기억유지 능력 저하 등을 가져오기 때문에[3] 재산화 질화산화막 내의 벌크트랩과 질화막-실리콘 계면트랩에 대한 정보를 얻는 것은 새로운 공정기술의 적용 가능성을 위해서 필수적이다. 트랩정보를 얻기위해서 단일접합 전하펌핑 방법(single junction charge pumping)을 적용하면 복잡한 시뮬레이션이나 수치해석이 없이 측정된 결과로부터 직접 채널길이에 따른 계면트랩 및 기억트랩의 공간적인 분포를 간단히 구할 수 있으며 대칭 구조뿐만 아니라 비대칭 구조를 갖는 소자에 이용할 수 있다[4-6].

본 연구에서 처음으로 재산화와 NO 열처리라는 새로운 공정방법을 이용한 게이트 유전막을 가지는 전하트랩형 비휘발성 기억소자를 제작한 후 전기적 특성 및 기억 특성을 조사하였다. 소자의 동작특성을 예측하기 위하여 단일접합 전하펌핑 방법을 재산화 질화산화막을 게이트 유전막으로 한 전하 트랩형 비휘발성 기억소자에 처음으로 적용하여 게이트의 계면트랩 및 질화산화막에서의 트랩의 분포를 조사하였다. 또한 프로그램/소거 반복에 따른 열화 특성을 조사하기 위하여 계면트랩과 기억된 전하량의 변화도 고찰하였다.

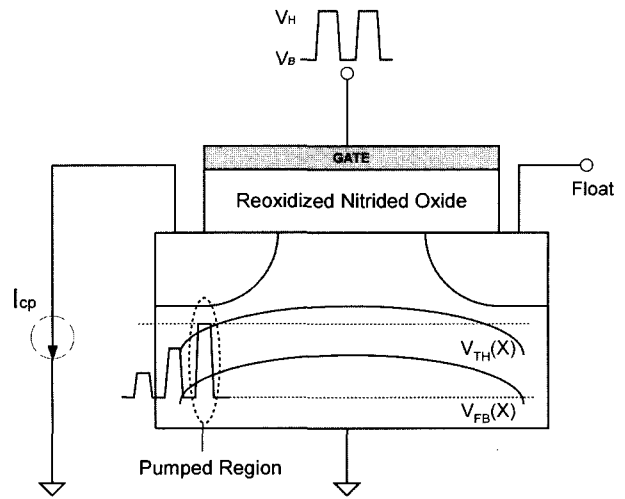


Fig. 1. Schematic diagram for measuring the single junction charge pumping current.

## 2. 이 론

Fig. 1은 단일접합 전하펌핑 전류를 측정하기 위한 개략도이다.

구형파의 펄스를 n-채널 트랜지스터의 게이트에 인가하고 기판은 접지 시킨 상태에서, 한 쪽 접합은 플로팅하고 다른 쪽 접합에서 전하펌핑 전류를 측정한다. 이때 게이트 펄스의 기준전압(V<sub>B</sub>)을 일정하게 고정시키고 최고전압(V<sub>H</sub>)을 기준전압에서 점차 증가시켜가면서 전하펌핑 전류를 측정한다. 계면트랩이 전하펌핑 전류에 기여하기 위해서는 실리콘 표면이 축적과 반전을 반복하여야 한다. 따라서 전하펌핑 전압의 최고전압이 국부 문턱전압(local threshold voltage : V<sub>TH</sub>) 보다 작은 영역에서는 전류가 흐르지 않고 최고전압이 증가하여 국부 문턱전압보다 커지게 되면 계면트랩이 전하펌핑 전류에 기여하여 외부회로에 전류가 흐르게 된다.

계면트랩 밀도, N<sub>it</sub>가 채널을 따라 공간적으로 균일하다고 가정하면 전하펌핑 전류, I<sub>CP, max</sub>는 다음과 같이 주어진다.

$$I_{CP, max} = qfN_{it}WL \quad (1)$$

여기서 q는 전하량, f는 게이트에 인가되는 펄스의 주파수, W는 유효채널 폭, L은 채널 길이이다. 이때 채널 길이 L은 실제로 V<sub>FB</sub> = V<sub>B</sub>인 게이트 양 끝 사이의 거리이다. 기준 전압이 충분히 작으면 L은 물리적인 채널 길이가 된다.

임의의 최고전압에 해당하는 I<sub>CP</sub>(V<sub>H</sub>)는 게이트 끝(실제 V<sub>FB</sub> = V<sub>B</sub>에서의 점)에서 그것의 국부 문턱전압이 최고전압과 같아지는 점 사이의 계면트랩에 의한 전류이다.

$$I_{CP}(V_H) = qfN_{it}W_x \quad (2)$$

여기서  $x$ 는 게이트 끝에서  $V_{TH}(x) \approx V_H$ 인 점까지의 거리로 식 (1)과 식 (2)로부터 다음과 같이 주어진다.

$$x = \frac{LI_{CP}(V_H)}{I_{CP,max}} \quad (3)$$

식 (3)으로부터 SONOS 트랜지스터의 채널길이에 따른 문턱전압의 분포,  $V_{TH}(x)$ 를 얻을 수 있다. 또한 도핑 농도와 문턱전압의 관계로부터 거리  $x$ 에 따른 유효채널 도핑 농도,  $N(x)$ 를 계산할 수 있으며 유효채널 길이  $L_{eff}$ 를 실험적으로 결정할 수 있다. 임의의 최고준위 전압에서 전하펌핑 전류는 게이트 끝에서의  $V_{TH}(x) = V_H$ 인 점  $x$ 까지의 계면트랩의 수에 비례한다. 따라서 전하펌핑 전류는 다음과 같이 주어진다.

$$I_{CP} = qfW \int_0^x N_{it} dx \quad (4)$$

식 (4)로부터 계면트랩 밀도의 공간적인 분포를 구하면

$$N_{it}(x) = \frac{dI_{CP}}{dx} \cdot \frac{1}{qfW} = \frac{dI_{CP}}{dV_H} \cdot \frac{dV_H}{dx} \cdot \frac{1}{qfW} \quad (5)$$

이다.

$$\frac{dV_H}{dx} = \frac{dV_{TH}(x)}{dx} \quad (6)$$

이므로, 계면트랩 밀도의 분포는

$$N_{it}(x) = \frac{dI_{CP}}{dV_H} \cdot \frac{dV_{TH}(x)}{dx} \cdot \frac{1}{qfW} \quad (7)$$

로 표현할 수 있다. 따라서 측정된 전하펌핑 전류곡선의 기울기와 문턱전압 분포곡선의 기울기로부터 계면트랩 밀도의 공간적 분포를 직접 구할 수 있다.

기억트랩의 밀도분포를 결정하기 위하여 기억트랩의 전하를 완전히 비운상태에서 전하펌핑 전류를 측정하고 다시 프로그램에 의해 전하를 주입시켜 트랩을 완전히 채운 후 전하펌핑 전류를 측정한다. 이렇게 측정된 전하펌핑 전류의 최대값은 변화하지 않고 최고준위 전압 축을 따라 수평 이동하게 된다. 측정된 두 곡선의 각 위치  $x$ 에 상응하는  $I_{CP}(x)$ 를 찾고 동일한  $I_{CP}(x)$ 에 대한 최고준위 전압의 변화량,  $\Delta V_H$ 를 구한다. 거리  $x$ 에 따른 주입된 기억 전하 밀도 분포,  $Q_i(x)$ 는 다음과 같이 주어진다.

$$Q_i(x) = \Delta V_H C_{ox} \quad (8)$$

여기서  $C_{ox}$ 는 ONO 게이트 유전막의 전기용량이다.

기억트랩을 완전히 채웠을 경우 기억트랩 밀도,  $N_i(x)$ 는 다음과 같이 표현된다.

$$N_i(x) = \frac{Q_i(x)}{q} = \frac{\Delta V_H C_{ox}}{q} \quad (9)$$

최고준위 전압의 이동량과 캐패시턴스 값으로부터 기억트랩 밀도분포를 구할 수 있다.

### 3. 실험

0.35  $\mu\text{m}$  CMOS 공정기술을 이용하여 재산화 질화산화막을 게이트 유전막으로 사용한 비휘발성 메모리 트랜지스터를 제작하였다. 소자의 제작을 위하여 비저항이 9~12  $\Omega\text{-cm}$ 이고, (100) 방향을 갖는 p형 실리콘웨이퍼를 사용하였다. 80°C에서 10분간  $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 0.2 : 1 : 10$ 의 용액에서 유기물을 제거하고  $\text{HF} : \text{H}_2\text{O}$ 가 1 : 99 비율의 용액에서 60초간 자연산화막을 제거한 후 탈 이온수로 세정하였다. 세척한 웨이퍼는 습식 산화방법으로 1050°C에서 4000 Å의 필드산화막을 형성하고 광식각으로 영역을 설정후 p형 우물을 만들기 위해서 다양한 에너지의  $\text{B}^+$  이온으로 주입하여 비가우시안 분포를 갖도록 하였다. 희생 산화막 230 Å을 성장하고 문턱 조절을 위해서  $\text{BF}_2^+$  이온을 주입하였다. 희생 산화막을 제거하고 게이트 유전막을 성장시켰다. 게이트 유전막은 초기 산화막을 800°C에서 습식산화법으로 67 Å 두께로 성장시키고, 800°C에서 30분간 NO 열처리 공정을 실시하여 실리콘기판과 산화막 사이에 질소층이 존재하는 질화산화막을 형성시켰다. 실리콘 기판과 질화산화막의 질소층 사이에 새로운 산화막이 성장되도록 850°C에서 2분 10초간 재산화 공정을 실시하였다. 펀치 스루우(punch-through) 방지를 위해서 할로(halo) 이온을 주입하였고, 소스와 드레인은 LDD(lightly doped drain) 구조로 하였다. BPSG(borophosphosilicate glass)를 도포한 후 접착층을 형성하고  $\text{Ti}/\text{Al}/\text{Ti}/\text{TiN} = 100/5000/100/800$  Å을 스퍼터링으로 다층구조의 금속배선을 증착하였다. 제작된 트랜지스터의 단면구조를 Fig. 2에 나타내었다.

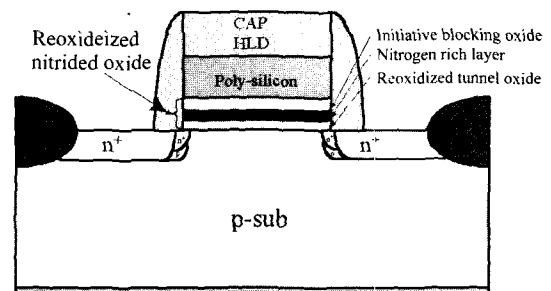


Fig. 2. Cross sectional view of a new charge trap-type memory transistor with reoxidized nitrated oxide.

4. 결과 및 고찰

실리콘 표면에 성장시킨 67 Å의 초기 산화막을 NO 분위기에서 열처리한 후 재산화한 게이트 유전막의 질소 분포를 조사하기 위하여 M-SIMS(Magnetic Secondary Ion Mass Spectrometry) 를 이용하여 깊이분포를 분석 하였으며 그 결과는 Fig. 3과 같다. 800°C에서 30분 동안 NO 열처리를 함으로써 Si-SiO<sub>2</sub> 계면에 질소가 축적 되었음을 보여준다. 850°C에서 2분 10초간의 습식 재산화 후, 질소 피이크는 계면으로부터 산화막의 표면 쪽으로 14.2 Å 떨어진 곳에 위치한 것으로 보아 재산화를 통해 얇은 산화막이 새롭게 형성되었음을 알 수 있었다. Si-SiO<sub>2</sub> 계면 근처에도 적은 양의 질소가 분포함을 보여준다. C-V 측정으로 게이트 유전막의 두께가 95.8 Å임을 확인할 수 있었다.

소스와 드레인, 그리고 기관은 접지를 시키고 게이트에 전압을 인가하여 프로그래밍 전압의 크기에 대하여 시간에 따른 소자의 문턱전압을 측정한 결과는 Fig. 4와

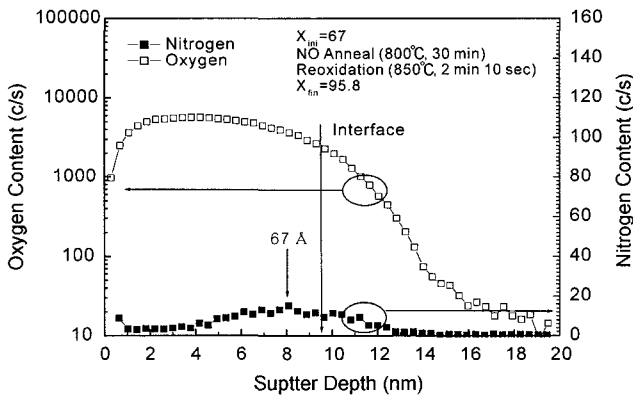


Fig. 3. Nitrogen distribution of reoxidized nitrided oxide by M-SIMS.

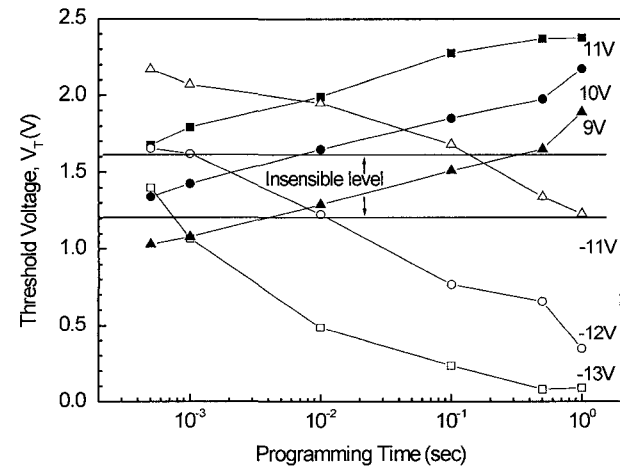


Fig. 4. The switching characteristics of a memory transistor with reoxidized nitrided oxide.

같다.

프로그램 특성은 -13 V의 전압을 100 ms 동안 게이트에 인가하여 소거상태가 되도록 항상 측정 초기상태의 문턱전압을 0.4 V로 조절한 상태에서 프로그램 전압을 인가하였다. 또한 소거특성은 +11 V의 전압을 100 ms 동안 게이트에 인가하여 기억상태가 되도록 측정 초기상태의 문턱전압을 2.3 V로 조절한 후 소거전압을 인가하였다. Fig. 4에 표시된 감지불능 준위(insensible level)는 기억상태를 판독하기 위한 감지증폭기가 기억 및 소거상태를 정확하게 구분할 수 없는 영역으로서 0.4 V로 결정하였다[6]. Fig. 4에서 보는 바와 같이 +11 V, 500 μs의 프로그램 조건으로 소거상태에서 기억상태로 스위칭 할 수 있고, -13 V, 1 ms의 소거 조건으로 기억상태에서 소거상태로 스위칭 할 수 있으며, 최대 기억창은 2.28 V 이었다.

Fig. 5는 소자 기억유지 특성으로 11 V, 1 ms로 기억시키고, -13 V, 1 ms로 소거한 상태에서 각각 경과시간에 따른 문턱전압을 측정한 결과이다.

그림에서 실선으로 나타낸 직선들은 문턱전압의 감쇠율(decay rate)을 구하기 위하여 측정값으로부터 선형 최소 제곱법을 사용하여 구한 것이고, 10<sup>3</sup>초 이후부터는 이 직선들로부터 예상되는 경향을 나타낸 것이다. 기억 상태인 경우 소자의 문턱전압은 21.6 mV/decade로 감소했으며 소거상태에서는 44.4 mV/decade로 증가하였다. 감지불능 준위 0.4 V를 고려하였을 경우, 기억상태는 20년 이상의 기억유지능력을 보였으며 소거상태는 약 0.0063년의 기억유지 특성을 보였다. 소거상태의 기억유지특성이 나쁜 이유는 SIMS 분석 결과에서 보여주듯이 재산화 터널링 산화막의 두께가 14.2 Å로 얇아서 백터널링이 쉽게 일어나게 될 뿐 아니라, 계면에 질소가 함유되어 에너지 장벽이 낮기 때문으로 해석할 수 있다[7].

프로그램/소거를 수행하지 않은 초기상태의 소자에서

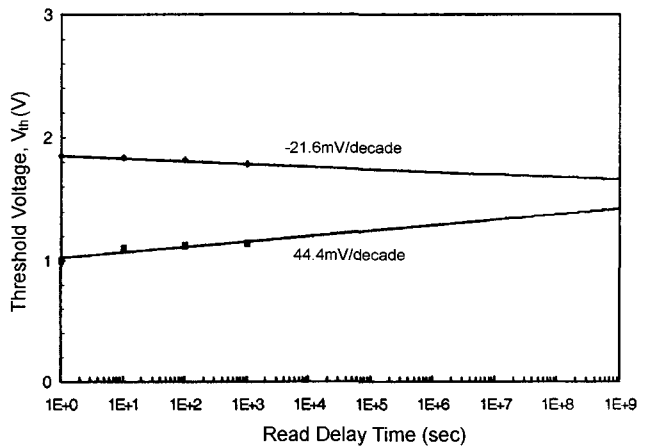


Fig. 5. The retention characteristics of a memory transistor with reoxidized nitrided oxide.

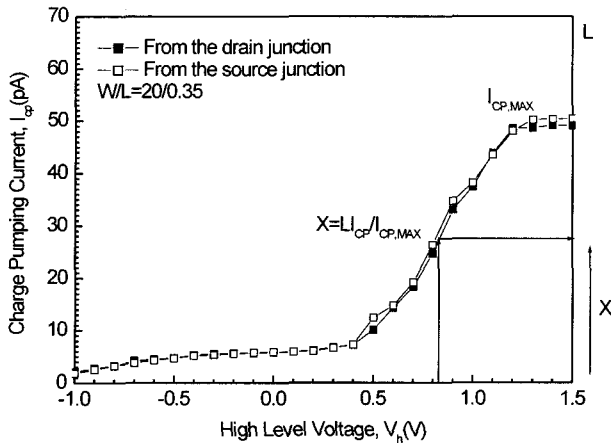


Fig. 6. The charge pumping current measured from the source and the drain junction, respectively.

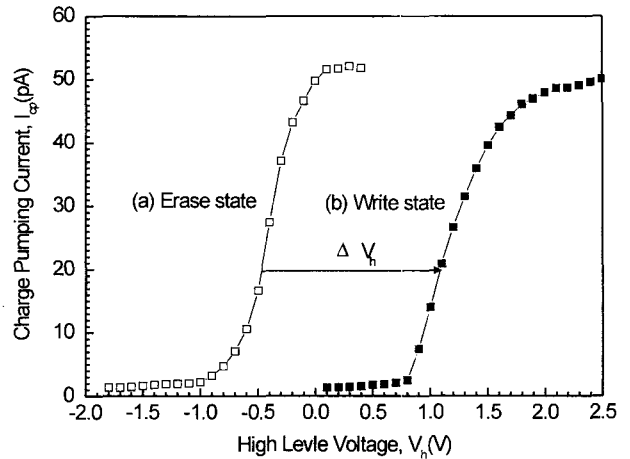


Fig. 7. Charge pumping current measured at the programmed state and the erased state, respectively.

최고준위 전압에 따른 전하펌핑 전류를 측정된 결과는 Fig. 6과 같다.

전하펌핑 펄스는 상승시간과 하강시간이 각각 5 ns, 50 %의 듀티 사이클(duty cycle)을 갖는 구형파를 사용하였으며 주파수는 100 kHz이었다. 인가되는 펄스의 한 주기동안 실리콘 표면을 축적과 반전모드로 반복할 수 있도록 하기 위해 전하펌핑 실험에서 게이트에 인가하는 펄스는 기저준위 전압을 -1 V로 고정시키고 최고준위 전압을 1.5 V까지 0.1 V 간격으로 증가시키면서 게이트에 인가하였다. 이때 발생하는 전하펌핑 전류는 반도체 파라미터 분석기(HP4155B)를 사용하여 한 쪽 접합에서 측정하였으며 다른 쪽의 접합은 플로팅 하였다. 국부 문턱전압보다 더 작은 최고준위 전압에서는 전하펌핑 전류가 흐르지 않다가 최고준위 전압이 증가하여 국부 문턱전압보다 커지면 그 영역에 포함된 계면트랩이 전하펌핑에 기여하여 전류가 흐르기 시작하고 최고 준위전압이 전 채널영역내의 국부 문턱전압이상이 되면 전 채널 영역의 계면 트랩이 전하펌핑 전류에 기여하므로 최대 값에 도달하게 되어 포화하게 된다. 소스/드레인 두 접합이 같은 이온주입공정으로 형성된 대칭형태의 LDD 구조를 가지고 있기 때문에 측정된 두 전하펌핑 전류곡선은 일치된 모양을 나타낸다.

Fig. 7은 질화산화막 내의 기억트랩 분포를 조사하기 위하여 음의 스트레스 전압(-13 V, 500 ms)과 양의 스트레스 전압(11 V, 500 ms)을 각각 게이트에 인가하여 기억트랩에 전하를 완전히 비운상태와 채운상태에서 동일한 조건으로 측정된 전하펌핑 전류이다.

Fig. 4의 스위칭 특성에서 나타난바와 같이 소거상태의 경우, -13 V, 500 ms, 기억상태에서는 11 V, 500 ms에서 소자의 문턱전압이 더 이상 증가하지 않았는데, 이것은 기억트랩이 완전히 비워진 상태와 채워진 상태라는 것을 의미한다. Fig. 7에서 □는 트랩을 완전히 비운상

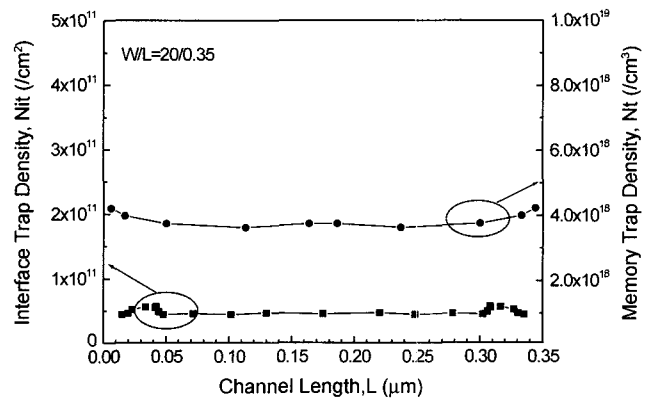


Fig. 8. Distribution of the interface and the memory trap density.

태에서 측정된 전하펌핑 전류곡선이고 ■는 트랩에 기억 전하를 완전히 채운 다음 측정된 곡선이다. 측정된 전하펌핑 전류는 최고준위 전압축 방향으로 수평 이동하였으며 최대 값은 변하지 않았다. 이것은 계면트랩의 변화 없이 질화막 내의 기억트랩에 기억전하가 주입되어 문턱전압이 양의 방향으로 증가하고 결과적으로 전류곡선이 최고준위 전압축의 방향으로 수평 이동하였음을 의미한다[8].

Fig. 8은 Fig. 6과 Fig. 7의 결과로부터 계면트랩 밀도와 기억트랩 밀도의 공간적 분포를 구한 결과이다.

계면트랩은 채널 전체에 걸쳐 균일하게 분포하였으며 채널의 중심부분은 약  $4.5 \times 10^{10} / \text{cm}^2$ 이었다. 게이트의 양쪽 가장자리는 공정상의 이유로 소자의 채널의 중심부분보다 계면트랩이 많이 생성되었다. 소자의 스케일 다운에도 불구하고 계면상태가 적층 ONO SONOS 소자보다 우수함을 보였으며, 새로운 공정기술로 양질의 터널산화막을 얻었음을 알 수 있다[9]. 기억트랩은 Fig. 7의 전하펌핑 전류값에 대한 최고준위전압의 이동량,  $\Delta V_{th}$

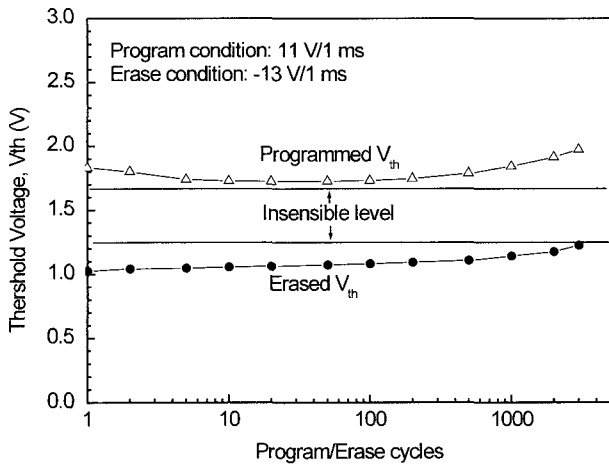


Fig. 9. The endurance characteristics of a memory transistor with reoxidized nitrated oxide.

와 이론식 (9)를 이용하여 기억트랩 밀도의 공간적 분포를 구하였다. 채널의 기억트랩 밀도는  $3.7 \times 10^{18}/\text{cm}^3$ 으로 균일한 분포를 가지고 있는 것을 알 수 있다.

Fig. 9는 기억소자의 내구성을 조사하기 위하여 11 V/1 ms, -13 V/1 ms의 프로그래밍 조건으로 프로그램/소거 반복 후 열화에 따른 내구성을 측정한 결과를 보여준다.

$3 \times 10^3$  이상의 프로그램/소거 반복에도 불구하고 0.4 V 이상의 기억창을 얻을 수 있었다. 또한 초기상태에서 기억트랩에 의한 기억창의 크기는  $3 \times 10^3$  프로그램/소거 반복 후에도 변하지 않았다. 이것은 기억트랩의 밀도가 변화되지 않았다는 것을 의미한다.

프로그램/소거 반복에 따른 계면트랩의 변화를 조사하기 위하여 0,  $5 \times 10^2$ ,  $1 \times 10^3$  프로그램/소거 반복 후 전하펌핑 전류곡선을 측정한 결과는 Fig. 10과 같다. 게이트 전압의 변화에 따른 전하펌핑 전류곡선의 모양은 비슷하였고 프로그램/소거 반복에 따른 열화에 의해 전류의 크기가 커졌다. 이것은 채널을 따라 계면트랩의 증가에 의해 전하펌핑 전류가 증가함을 나타내는 것이다. 초

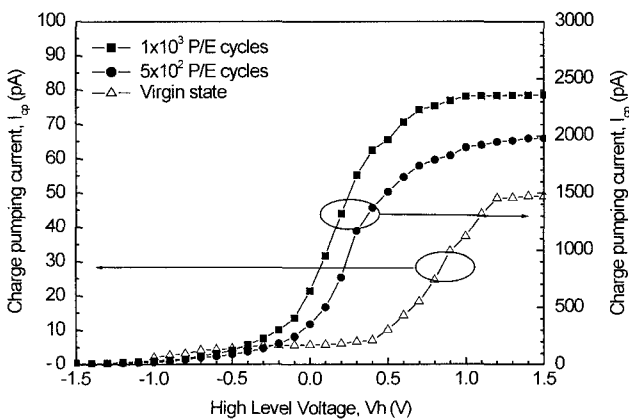


Fig. 10. The charge pumping current as a function of the number of P/E cycles.

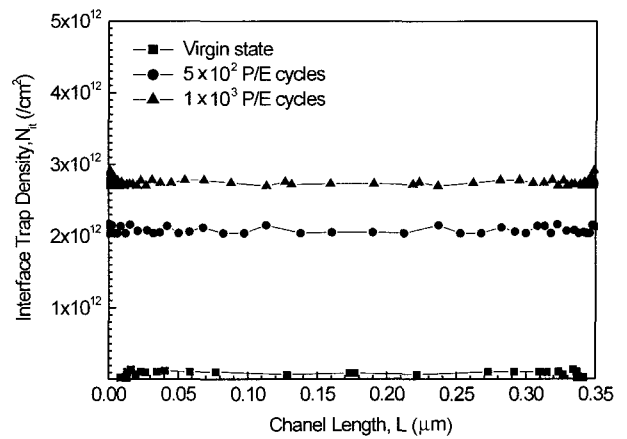


Fig. 11. Distribution of interface trap density as a function of the number of P/E cycles.

기상태에서의 전하펌핑 전류는 50 pA, 프로그램/소거를  $5 \times 10^2$  반복 후는 2 nA, 그리고  $1 \times 10^3$  반복 후 측정된 결과는 2.4 nA이었다.

Fig. 10의 전하펌핑 전류곡선으로부터 프로그램/소거 반복에 따른 계면트랩 밀도의 분포를 구하면 Fig. 11과 같다.

계면트랩의 분포는 열화 후에도 채널 전 영역에서 고르게 분포하며 채널 중심에서의 계면트랩 밀도는 초기상태, 프로그램/소거를  $5 \times 10^2$ ,  $1 \times 10^3$  반복한 경우 각각  $4.5 \times 10^{10}/\text{cm}^2$ ,  $1.9 \times 10^{12}/\text{cm}^2$ ,  $2.3 \times 10^{12}/\text{cm}^2$ 로 증가하였다.

프로그램/소거 반복 전과 후에 게이트 채널에 따른 기억된 전하량의 측정결과를 Fig. 12에 나타내었다.

초기상태에서 기억트랩에 기억된 전하량은  $0.6 \text{ C}/\text{cm}^3$  이었고 프로그램/소거를  $1 \times 10^3$  반복한 후 채널 중심부의 전하량이  $0.4 \text{ C}/\text{cm}^3$ 으로 감소하였다. 이것은 단일접합 전하펌핑 실험을 하는 동안 기억트랩에 트랩된 전하들이 디트래핑 되었기 때문이다. 프로그램/소거 반복에

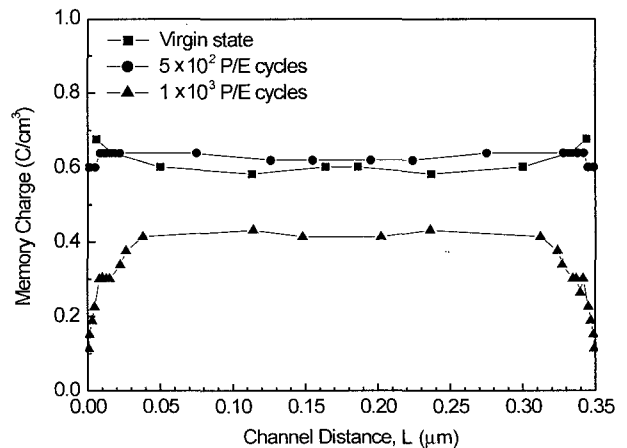


Fig. 12. Memory charges of the memory transistor as a function of the number of P/E cycles.

의한 열화에 의해 계면트랩이 증가하여 기억유지 특성이 감소하였다. 또한 게이트 가장자리로 갈수록 계면트랩이 많이 존재하기 때문에 기억된 전하들이 더 많이 디트래핑되어 기억된 전하량이 채널 중심부분보다 더욱 감소된 것을 보여준다.

## 5. 결 론

0.35  $\mu\text{m}$  CMOS 공정기술을 이용하여 재산화 질화산화막을 게이트 유전막으로 사용한 새로운 전하트랩형 비휘발성 메모리 트랜지스터를 최초로 제작하였다. 제작된 소자의 메모리 특성은 감지불능 준위 0.4 V를 고려할 때 11 V 500  $\mu\text{s}$ , -13 V 1 ms에서 스위칭이 가능하였으며 최대 기억창은 2.28 V이었다. 기억과 소거 상태에서의 기억유지 특성은 각각 20년 이상과 28시간이었으며, 내 구성은 3000회 이상이었다. 전하트랩 층은 계면으로부터 약 14.2  $\text{\AA}$  떨어진 곳에 형성되었다. 단일 종류의 게이트 유전막을 갖는 MIS 구조의 계면트랩에 이용되는 전하펌핑 방법을 산화막 내에 질화층이 매몰된 형태를 가진 재산화 질화산화막 게이트 유전막 구조에서 Si-SiO<sub>2</sub> 계면트랩과 질화층의 벌크트랩 분포를 구하는데 적용하였다. 채널에 따른 계면트랩 및 메모리트랩을 단일접합 전하펌핑 방법을 사용하여 복잡한 수치해석 없이 실험 값으로부터 쉽게 구할 수 있었다. 계면트랩 밀도는 채널 전 영역에 걸쳐 균일하게  $4.5 \times 10^{10}/\text{cm}^2$ 였으며, 계면에 분포한 질소가 트랩을 패시베이션 했기 때문에 적층형 ONO 구조보다 우수하였다. 메모리트랩은  $3.7 \times 10^{18}/\text{cm}^3$ 으로 계면트랩과 마찬가지로 채널 전 영역에 걸쳐 균일하게 분포하였다. 프로그램/소거 반복에 따른 열화 후의 트랩분포는 계면트랩의 경우 500번 프로그램/소거 후  $1.9 \times 10^{12}/\text{cm}^2$ , 그리고 1000번 프로그램/소거 후  $2.3 \times 10^{12}/\text{cm}^2$ 로 증가하였으며 기억트랩에 저장된 전하량은 각각 0.6 C/cm<sup>3</sup>와 0.4 C/cm<sup>3</sup>으로 프로그램/소거 반복에 따라 감소하였다.

트랩특성 조사 결과로부터 재산화 질화산화막 공정은 전하트랩형 비휘발성 기억소자의 게이트 유전막 제작을 위한 새로운 공정기술로 활용할 수 있음을 확인 할 수 있었다.

## 감사의 글

이 논문은 2002년도 광운대학교 교내 학술 연구비에 의하여 연구되었음.

## 참 고 문 헌

- [1] W.D. Brown and J.E. Brewer, "Nonvolatile Semiconductor Memory Technology", IEEE Press, Ch. 5 (1997) 309.
- [2] I. Fujiwara, H. Aozasa, A. Nakamura, Y. Hayashi and T. Kobayashi, "MONOS Memory Cell Scalable to 0.1  $\mu\text{m}$  and Beyond", IEEE Non-Volatile Semiconductor Memory Workshop (2000) 117.
- [3] Steve. S. Chung, C.M. Yih, S.M. Cheng and M.S. Liang, "A New Oxide Damage Characterization Technique for Evaluating Hot Carrier Reliability of Flash Memory Cell After P/E Cycles". Symposium on VLSI Technology Digest of Technical Papers, 9A-1 (1997) 111.
- [4] C. Chen and T.P. Ma, "Direct Lateral Profiling of Both Oxide Charge and Interface Traps in Thin Gate MOSFET Devices", IEEE VLSI Tech. Symp. (1996) 230.
- [5] C. Chen and T.P. Ma, "Direct Lateral Profiling of Hot Carrier Induced Oxide Charge and interface traps in Thin Gate MOSFET's", IEEE Trans. Electron Devices 45 (1998) 512.
- [6] C. Chen, Z. Liu and T.P. Ma, "Analysis of Enhanced Hot-carrier Effects in Scaled Flash Memory Devices", IEEE Trans. Electron Devices 45 (1998) 1524.
- [7] H. Reisinger, M. Franosch, B. Hasler and T. Bohm, "A Novel SONOS Structure for Nonvolatile Memories with Improved Data Retention", VLSI Tech. Digest Tech. Symp. 9A-2 (1997) 113.
- [8] S. Harbermehl, R.D. Nasby and M.J. Rightley, "Cycling Endurance of Silicon-Oxide-Nitride-Oxide-Silicon Non-volatile Memory Stacks Prepared with Nitrided SiO<sub>2</sub>/Si(100) Interfaces", Appl. Phy. Lett. 75(8) (1999) 1122.
- [9] Dirk Wellekens, Jan Van Houdt, Lorenzo Faraone, Guido Groeseneken, and Herman E. Maes, "Write/Erase Degradation in Source Side Injection Flash EEPROM's: Characterization Techniques and Wearout Mechanisms", IEEE Trans. Electron. Devices. 42 (11) (1995) 1992.