

수소 열처리를 이용한 고신뢰성 트렌치 게이트 MOSFET

김상기* · 노태문 · 박일용 · 이대우 · 양일석 · 구진근 · 김종대

한국전자통신연구원, 집적회로연구부 다기능소자팀
(논문접수일 : 2002년 6월 25일)

Highly Reliable Trench Gate MOSFET using Hydrogen Annealing

S. G. Kim†, T. M. Roh, I. Y. Park, D. W. Lee, Y. S. Yang, J. G. Koo, and J. Kim

Multi-Functional Device Team, Basic Research Laboratory ETRI, Taejeon 305-350, Korea

(Received June 25, 2002)

요 약

고신뢰성 트렌치 게이트 MOSFET을 제작하기 위해 트렌치 코너를 pull-back 공정과 수소 열처리 공정을 이용하여 트렌치 코너를 둥글게 만드는 기술을 개발하였고 이를 이용하여 균일한 트렌치 게이트 산화막을 성장시킬 수 있었다. 그 결과 수소 열처리 하기 전에 항복전압이 29 V인 것이 수소 열처리한 후 약 36 V로 증가하여 항복 전압에서 약 25% 향상되었다. 그리고 트렌치 게이트를 이용한 MOSFET에서 트렌치 셀이 약 45,000개 일 때 게이트와 소스에 10 V를 인가했을 때, 드레인 전류는 약 45.3 A를 얻었고, 게이트 전압의 10 V, 전류를 5 A를 인가한 상태에서 On-저항은 약 55 m Ω 얻었다.

Abstract

A new technique for highly controllable trench corner rounding at the top and bottom of the trench using pull-back and hydrogen annealing has been developed and investigated. The pull-back process could control the trench corner rounding radius at the top corners of the trench. The silicon migration generated by hydrogen annealing at the trench corners provided (111) and (311) crystal planes and gave a uniform gate-oxide thickness, resulting in high reliable trench DMOSFETs with highly breakdown voltages and low leakage currents. The breakdown voltage of a trench DMOSFET fabricated using hydrogen annealing was increased by 25% compared with a conventional DMOSFET. The reasonable drain current of 45.3 A was obtained when a gate voltage of 10 V was supplied. The on-resistance of the trench gate DMOSFET fabricated using the trench cell of 45,000 was about 55 m Ω (at a gate voltage of 10 V under a drain current of 5 A).

1. 서 론

반도체 집적소자 제조의 설계 룰 감소에 따라 소자의 격리 및 미세패턴 형성을 위한 식각 기술의 중요성이 커지고 있다. 특히 20~60 V 급의 전력 MOSFET의 경우 트렌치 공정을 이용하여 게이트를 형성한 트렌치 게이트 MOSFET에 관한 연구가 활발하다 [1,2].

트렌치 게이트를 이용한 전력(power) MOSFET은 이차전지 보호회로, DC-DC 변환기, 휴대용 컴퓨터 및 스텝모터 등에 사용되는 저전압 대전류 전력소자로서 응용분야가 다양하며 그 수요가 많다.

트렌치 게이트 MOSFET은 기존의 평면(planar) 구조의 DMOS(Double-Diffused MOS)에 비해서 셀(cell) 집적도를 높일 수 있으며, JFET(Junction Field Effect

† E-mail : sgkim@etri.re.kr

Transistor) 저항 성분을 제거하여 온 저항을 줄일 수 있는 장점이 있으나, 트렌치 게이트를 형성할 때 트렌치 표면의 식각 프로파일을 조절하기가 어렵고 식각된 트렌치 영역의 손상과 트렌치 모퉁이 부분에 전계가 집중되기 때문에 신뢰성을 확보하기가 어렵다. 트렌치 top과 bottom의 코너를 둥글게 만드는 것은 트렌치 게이트 MOSFET에서 소자 격리와 게이트 형성에 가장 중요하며 누설전류를 감소시키고 [3-5] 소자의 신뢰성을 크게 향상시킨다 [6].

본 연구에서는 고밀도 트렌치 게이트 MOSFET에서 트렌치 코너를 수소 열처리를 하여 둥글게 만들어 소자의 신뢰성을 크게 향상시킨 MOSFET을 제작하였다.

2. 실험 방법

고신뢰성 트렌치 게이트 MOSFET를 제작하기 위해 5인치 (100) n-type 에피 웨이퍼를 사용했으며, 에피 두께는 4 μm 이다. 트렌치 식각을 위해 Applied Material사의 P-5000 dry etcher 장비를 사용하였다. 트렌치 형성을 위한 실리콘 식각 가스는 HBr, SiF₄, CF₄, HeO₂ 등의 가스를 유입하여 플라즈마 식각하였다. 식각 압력은 120 mtorr, 플라즈마의 RF power는 550 Watts, 자계는 30 Gauss로 고정하고 트렌치 식각 후 실리콘 표면 손상을 최소화 하기 위해 식각 가스의 유량비를 조정하였다.

트렌치 게이트 MOSFET 제작 후 AFM, SEM, TEM 등을 통하여 트렌치 형성, 표면 및 구조를 분석하였고, 소자의 전기적 특성을 측정 및 분석하였다.

3. 실험 결과 및 고찰

Fig. 1에서 보는 바와 같이 트렌치 게이트 MOSFET을 제작하기 중요한 공정 순서는 첫째, 식각 방지막으로 trietylo-ortho-silicate(TEOS) 산화막을 710°C에서 300 nm 증착시키고 이 층위에 감광막을 패터닝한 후 산화막을 식각하였다. 둘째, 트렌치 영역을 설정한 다음 산화막을 건식 식각하여 트렌치를 형성할 부분의 실리콘 표면을 opening한 후 트렌치 식각을 하였다. 셋째, TEOS 산화막을 약 50~100 nm 식각하여 pull-back 공정을 하였다. 특히 TEOS pull-

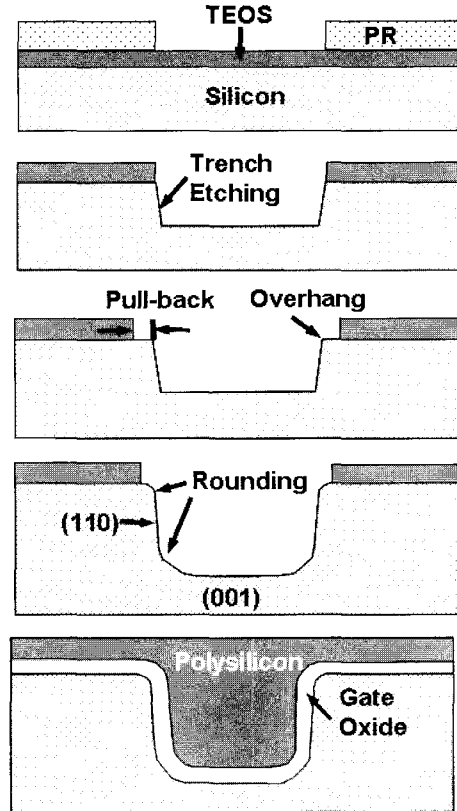


Fig. 1. Process sequence for the trench corner rounding using pull-back and hydrogen annealing. Oxide mask was pull-back before hydrogen annealing to adjust rounded corner radius.

back 공정은 트렌치 모퉁이 부분을 둥글게 하기 위해 트렌치 식각 후 TEOS 산화막을 약간 식각하는 공정이다. Pull-back 공정을 수행한 후 수소 분위기에서 열처리 하였다. Pull-back 공정과 수소 열처리 조건은 트렌치 코너 부분의 곡율을 결정하는데 중요한 변수가 된다. 넷째, 수소 분위기에서 열처리 하여 트렌치 코너를 둥글게 만들면서 트렌치 형성 때 생긴 표면의 손상들을 열처리 효과에서 많이 회복시켰다. 다섯째, 약 50 nm의 게이트 산화막을 트렌치 측벽에 성장한 후 다결정 실리콘(polysilicon)을 트렌치 내부를 채웠다. 다섯째, 에치백(etch-back) 공정을 하여 채워진 다결정 실리콘 표면을 평탄화 하였다. 고신뢰성 트렌치 게이트 MOSFET을 제작하기 위해 MERIE 장비를 이용하였다.

Fig. 2는 트렌치 식각 구조의 단면을 보여주는 것

이다. 트렌치 식각은 HBr를 주로하고 SiF₄ 가스를 30%, He-O₂ 가스를 40% 첨가하여 식각한 것이다 [7]. 트렌치의 폭이 약 1 μm이고 깊이가 약 2 μm으로 식각했으며, 트렌치 입구가 pull-back 공정으로 산화막이 트렌치 폭보다 100 nm 넓어진 것이 관찰되었다. 그리고 트렌치 모양이 매우 양호함을 알 수 있었다.

Fig. 3은 플라즈마 식각 후 atomic force microscope (AFM)로 식각된 실리콘 표면을 분석한 것이다. 사진에서와 같이 거칠기가 약 17 Å로 분석되었다.

Fig. 4는 트렌치 형성 후 진공 급속 열처리 장치에서 수소 분위기에서 950°C, 30torr에서 90초 동안 급속 열처리후의 트렌치 형태를 보여준 것이다.

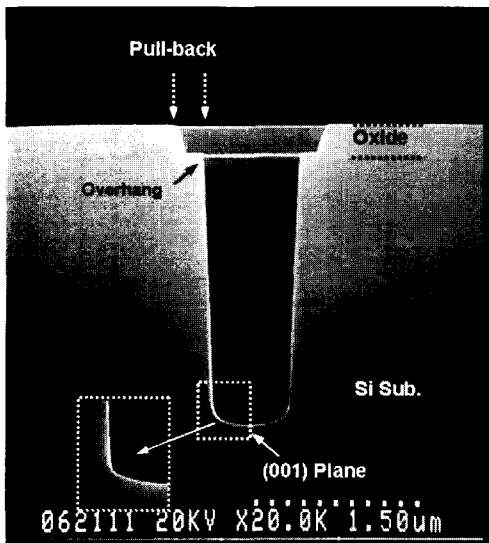


Fig. 2. Cross-sectional SEM photograph of trench with oxide pull-back.

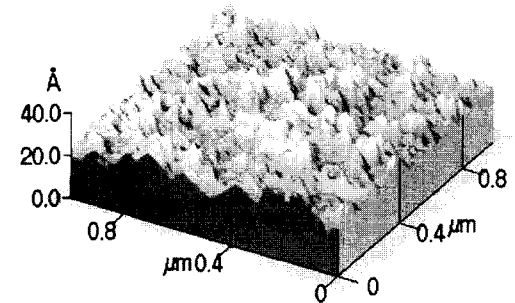
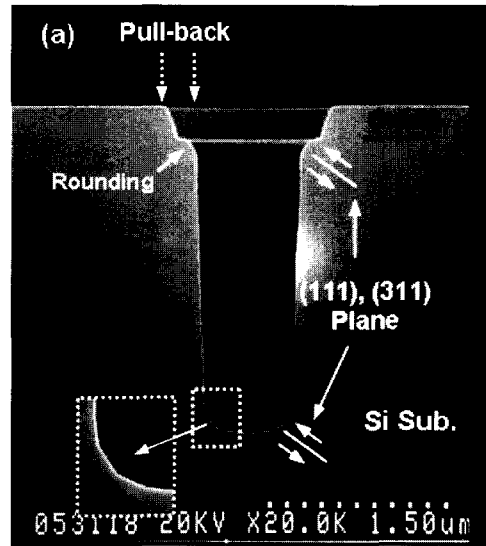
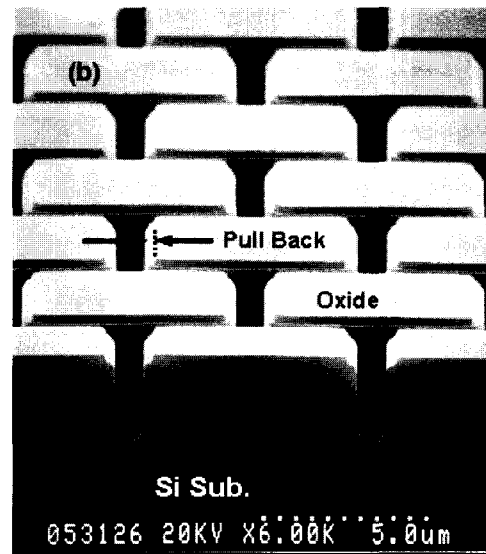


Fig. 3. AFM morphologies of trench surface etched with gases of HBr, SiF₄ and He-O₂. The surface roughness is 17 Å.

Fig. 4(a)에서 보는 바와 같이 트렌치의 top과 bottom 부분의 코너가 둥글게 만들어지고 2개의 서로 다른 (311)과 (111) 면이 실리콘 표면의 결함을 따라 새로이 생성되었음을 관찰 할 수 있다. 트렌치의 코



(a)



(b)

Fig. 4. Cross-sectional SEM photograph of high density trench corner rounding using hydrogen annealing at 950°C, 30 torr for 90 sec after TEOS oxide pull-backed: (a) cross section, (b) top view.

너가 둥글게 만들어진 것은 트랜치 표면에 존재하는 실리콘 격자들이 수소분위기에서 급속 열처리할 때 실리콘 격자의 이동 현상에 의하여 표면의 격자들이 새로운 결정구조로 변화되었기 때문이다. Sato 등은 실리콘 표면은 낮은 압력에서 높은 온도로 열처리할 때 실리콘 격자들이 쉽게 변화된다고 보고한 바 있다 [8].

Fig. 4(b)는 TEOS 산화막의 pull-back 공정을 한 후 수소분위기에서 급속 열처리 공정을 한 후의 고집적화된 트랜치 식각 구조의 단면을 보여준 것이다. 그림에서와 같이 트랜치 코너가 매우 균일하고 둥글게 잘 형성되었음을 알 수 있어 수소분위기에서 급속 열처리가 트랜치 코너를 둥글게 만드는데 크게 기여했음을 알 수 있다.

Fig. 5는 고해상력 전자현미경의 트랜치 bottom 코너를 관찰한 것이다. 트랜치 측벽을 따라 약 20 Å 두께의 잔류막이 균일하게 덮여 있음을 알 수 있었고, 이는 플라즈마 식각시 표면의 거칠기를 감소시킬 뿐 아니라 실리콘 표면을 부드럽게 식각하는 역할도 한다. 잔류막 아래에는 실리콘 결정 결함들이 관찰되었는데, 이는 실리콘 식각시 실리콘 표면에 생성된 결정결함으로 생각되며 결함 층의 두께는 약 10 Å 이었다.

Fig. 6은 트랜치 채움 후 트랜치 게이트 MOSFET 제작에서 종래의 방법과 수소 열처리 후의 게이트 산화막의 형성 구조를 보여준 것이다.

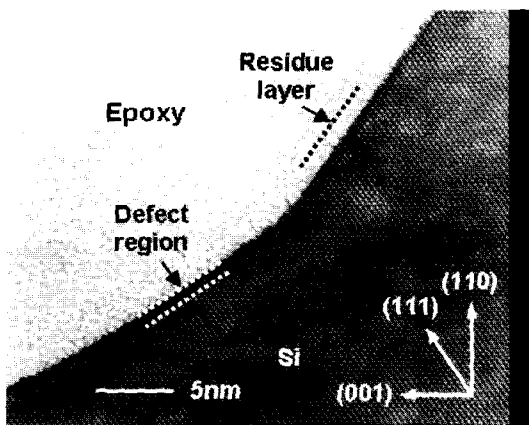
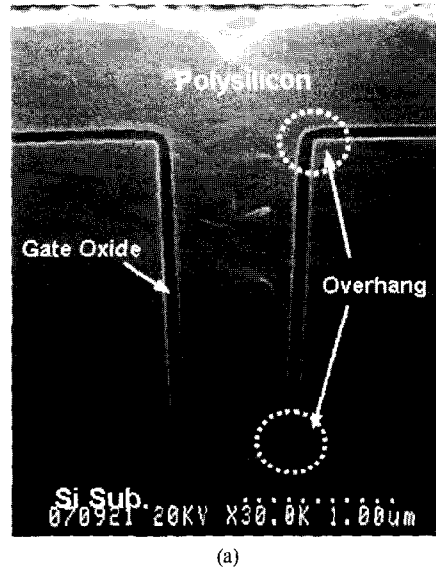
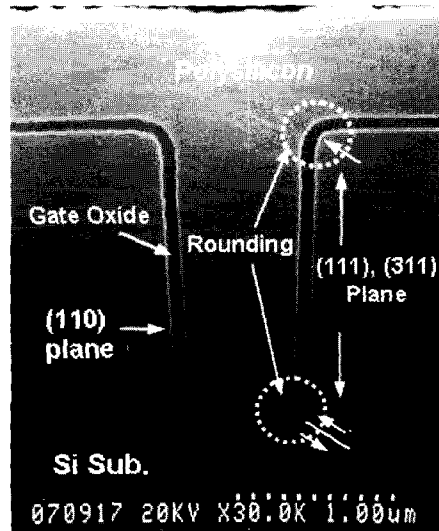


Fig. 5. HRTEM micrograph of the bottom to corner transition region, uniformly covered with residue layer.

Fig. 6(a)는 종래에 방법에 의해 게이트 산화막을 형성한 것으로 산화막이 트랜치 표면을 따라 불균일하게 성장되었음을 알 수 있으며 트랜치 코너 부분에 산화막이 얇고, 뾰족하게 되었음을 볼 수 있다. 반면 Fig. 6(b)는 트랜치 코너가 둥글고 산화막이 균일하게 성장된 것을 볼 수 있다. 이것은 pull-back



(a)



(b)

Fig. 6. Cross-sectional SEM photograph of trench filling: (a) conventional method without hydrogen annealing, and (b) with hydrogen annealing at 950°C, 30 torr for 90 sec.

공정과 수소 열처리에 의한 것으로 트렌치 표면의 실리콘 결정구조가 (100)에서 (111)과 (311)로 재결합 되었음을 앞에서 설명한 바 있다. 이러한 트렌치의 top과 bottom의 (111)과 (311) 방향으로의 결정구조 변화는 산화막 성장을 변화시켜 트렌치 코너부분의 열산화막의 두께를 증가시키는 효과가 있다 [9].

Fig. 7은 제작된 트렌치 게이트 MOSFET의 표면을 관찰한 것이다. 트렌치 표면이 소스이고 MOSFET의 가장자리를 돌아가는 것이 트렌치 게이트이다. 우측에 있는 그림은 표면의 트렌치 부분을 확대한 것이다. 사진에서와 같이 균일하게 트렌치 게이트 공정이 잘 형성되었다. 칩의 크기는 $1.0 \times 0.6 \text{mm}^2$ 이고, 트렌치 셀의 수는 약 45,000개이다. 셀 피치는 $6.5 \mu\text{m}$ 이다.

Fig. 8은 종래의 방법과 수소 열처리에 의해 제작된 트렌치 게이트 MOSFET에 대한 항복 전압을 측

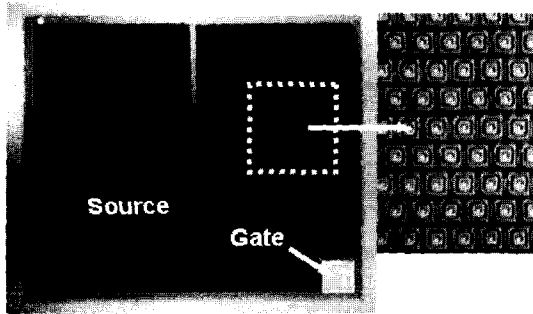


Fig. 7. Top view of trench gate MOSFETs.

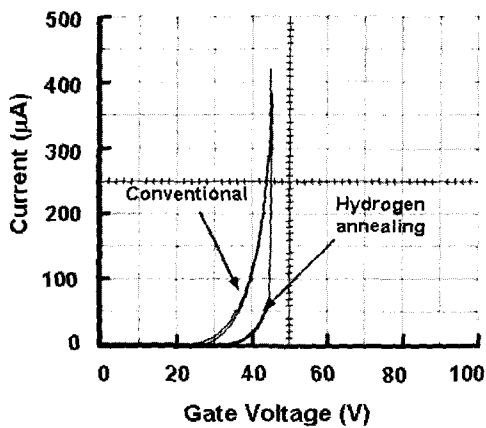


Fig. 8. Breakdown characteristics of trench corner rounding MOSFETs with and without hydrogen annealing.

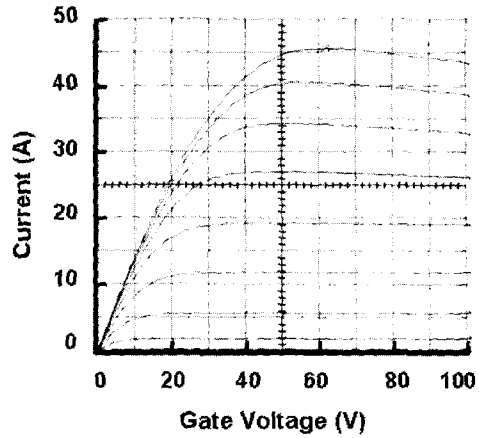


Fig. 9. I_d - V_d characteristics of trench corner rounding MOSFET with hydrogen annealing.

정한 것이다. 2개의 시료에서 수소 열처리를 하지 않은 시료에서는 항복전압이 약 29 V에서 일어난 반면, 수소 분위기에서 열처리한 시료에서는 약 35 V로 약 25% 항복전압이 높은 것을 볼 수 있다. 이는 강한 전계가 집중되어 항복전압이 일어나기 쉬운 뾰족한 트렌치 코너를 수소 열처리로 완만하게 하였기 때문이다. 이것은 트렌치 게이트 MOSFET 제작에서 수소 열처리한 시료가 전압측면에서 신뢰성을 향상시킨다는 것을 간접적으로 설명한다.

수소 열처리를 하여 제작한 트렌치 게이트 MOSFET을 전류 및 전압 특성을 측정하는 것이 Fig. 9이다. 게이트와 소스에 10 V를 인가했을 때, 드레인 전류는 45.3 A 이었다. 이때 측정은 $250 \mu\text{s}$ 펄스를 인가하였다. 게이트 전압 10 V, 전류 5 A를 인가한 상태에서 On-저항은 약 $55 \text{m}\Omega$ 얻었다.

4. 결 론

고신뢰성 트렌치 게이트 MOSFET을 제작하기 위해 트렌치 코너를 pull-back 공정과 수소 열처리 공정을 이용하여 트렌치 코너를 둥글게 만드는 기술을 개발하였다. 이러한 기술은 트렌치 표면의 실리콘 미소구조를 변화 시킴으로써 균일한 트렌치 게이트 산화막을 성장시킬 수 있었다. 그 결과 수소 열처리 하기 전에 항복전압이 29 V인 것이 수소 열처리한 후 약 36 V로 증가하여 항복전압이 약 25% 향상되었다. 그리고 트렌치 게이트를 이용한 MOSFET에

서 트랜치 셀이 약 45,000개 일 때 게이트와 소스에 10 V를 인가했을 때, 드레인 전류는 약 45.3 A로 우수한 고밀도 고신뢰성 트랜치 게이트 MOSFET 특성을 얻었다.

참 고 문 헌

- [1] Krishna Shenai, *IEEE Trans., On ED*, **39**(6), 1435 (1992).
- [2] 테크월드, “차세대 파워디바이스 기술”, 월간 전자기술, July, 36 (1999).
- [3] S. Matsuta, et. al, *Sympo. on VLSI Tech*, **73** (1993).
- [4] A. Chatterjee et al., *IEDM Tech. Digest*, **829** (1996).
- [5] C. P. Chang et al., *IEDM Tech. Digest*, 661 (1997).
- [6] J. Kim, T. M Roh, S. G. Kim, J. H. Lee, *IEEE EDL* **22**(12), 594 (2001).
- [7] 김상기, 이주욱, 김종대, 구진근, 남기수, *한국진공학회지* **6**(4), 364 (1997).
- [8] T.Sato et al., *Symposium on VLSI Technology*, 206 (1998).
- [9] W. R. Runyan, K. E. Bean, *Semiconductor Integrated Circuit Processing Technology*, 76 (1990).