Journal of the Korean Vacuum Society
Vol.11, No.4, 2002, pp.235~239

다결정 실리콘의 선택적 성장을 이용한 깊은 트랜치 격리기술

박찬우† · 김상훈 · 현영철 · 이승윤 · 심규환 · 강진영

한국전자통신연구원 SiGe 소자팀

(논문접수일 : 2002년 10월 4일)

A New Method for Deep Trench Isolation Using Selective Polycrystalline Silicon Growth

Chan-Woo Park†, Sang-Hoon Kim, Yeong-Cheol Hyeon, Seung-Yun Lee, Kyu-Hwan Shim, and Jin-Yeong Kang

SiGe Devices Team, Electronics and Telecommunications Research Institute(ETRI), Daejeon 305-350, Korea

(Received October 4, 2002)

요 약

식각된 트랜치의 내부에 다결정 실리콘 측벽을 형성하고, 감압 화학기상 증착법(RPCVD: Reduced Pressure Chemical Vapor Deposition)을 이용해서 이를 선택적으로 성장시킴으로써 트랜치를 채우는 새로운 트랜치 격리방법을 제안하였다. 공정진행 결과, 측벽의 초기깊이와 선택적으로 성장되는 실리콘의 두께가 트랜치의 최종형태를 결정하는 가장 중요한 요소임을 확인할 수 있었다. 이 방법은 CMP 공정을 거치지 않고도 트랜치의 내부만이 실리콘으로 채워진 구조를 구현함으로써, 공정을 단순화할 뿐만 아니라 불균일 연마와 흠집발생 등 기존의 CMP 공정에서 발생할 수 있는 문제들을 방지할 수 있다는 장점을 지니고 있다.

Abstract

A new method for deep trench isolation using selective growth of polycrystalline silicon is proposed. In this method, trench filling is performed by forming polysilicon-inner sidewalls within the trench, and then selectively growing them by reduced chemical vapor deposition using SiH_2Cl_2 gas at 1100℃. The surface profiles of filled trenches are determined mainly by the initial depth of inner sidewalls and the total thickness of selective growth. No chemical mechanical polishing(CMP) process is needed in this new method, which makes the process flow simpler and more reliable in comparison with the conventional method using CMP process.

1. 서 론

반도체 공정이 고 집적화되고 웨이퍼 내에서의 소자간격이 작아짐에 따라, 이웃 소자들 간의 격리 상태가 회로의 성능을 좌우하는 중요한 요인이 되고 있다. 가장 보편적으로 사용되어 온 소자격리 방법은 국부 산화막을 이용한 LOCOS(Local Oxidation of Silicon) 공정인데, 공정이 간단하면서도 격리특성이 상당히 우수하다는 장점을 지니고 있다 [1]. 하지만, 이러한 LOCOS 방법으로는 소자의 크기를 줄이는 데 한계가 있어 [2], 최근에는 얕은 트랜치(shallow trench)를 이용한 격리기술로 대체되고 있는 추세이다 [3,4]. 특히, 아날로그나 전력용으로 사용되는 고전압 소자의 제작에는 수 마이크론 이상의 깊이를 가지는 깊은 트랜치(Deep Trench)를 얕은 트랜치와 병행하여 사용하고 있는데 [5-7], 이는 LOCOS 공정에 비해 소자들 간의 간격을 크게 줄일 수 있어 회로의 고 집적화에 유리하기 때문이다. 또한 bipolar

† E-mail : chanwoo@etri.re.kr

junction transistor(BJT) 소자의 경우, 소자 주변에 깊은 트랜치를 형성함으로써 컬렉터와 기판 간의 기생용량을 줄이고 고주파특성을 향상시킬 수 있다 [6,7].

트랜치 내부는 주로 다결정 실리콘으로 채워지게 되는데, 일단 웨이퍼 전면에 다결정 실리콘을 도포하면서 트랜치를 채운 뒤, 트랜치 이외의 영역에 있는 다결정 실리콘을 다시 제거하는 것이 일반적인 방법이다. 이때, 트랜치의 채움 상태를 그대로 유지하면서 주변의 불필요한 실리콘만을 제거하기 위해서는 재식각법(etch-back)이나 화학적/기계적 연마법(CMP: chemical mechanical polishing)을 사용한다 [8-11]. 재식각법은 충분한 두께의 박막을 도포한 뒤 이를 다시 식각하는 방법으로, 공정이 간단하나 트랜치의 표면모양을 평탄하게 만들기가 어렵다는 단점이 있다 [8,9]. 한편, 화학적/기계적 연마법은 완전한 평탄화를 이룰 수 있는 반면에 공정이 복잡하며, 연마가 불균일하게 이루어지거나 [10], 연마 도중에 흠집 등이 생길 위험이 높다 [11].

본 논문에서는 감압 화학기상 증착법(RPCVD: Reduced Pressure Chemical Vapor Deposition)을 이용하여 다결정 실리콘을 트랜치 내부에만 선택적으로 성장시킴으로써 후속 CMP 공정단계를 없앤 새로운 트랜치 제작법을 소개하고자 한다. 선택적 성장법을 이용한 트랜치 채움 기법은 지금까지 몇몇 사람들에 의해 제안된 바 있으나 [12-14], 모두 트랜치 바닥면에서 위쪽으로의 성장을 이용한 방법들로서 공정 시간이 오래 걸리고 트랜치 바닥면에 열산화막 층을 형성할 수 없다는 문제가 있었다. 본 연구에서는 다결정 실리콘을 트랜치 측벽에서 중심부 쪽으로 성장시킴으로써 공정시간을 줄이고 기존의 트랜치 구조를 그대로 유지할 수 있도록 하였다.

2. 공정 순서

그림 1은 본 연구에서 사용된 공정순서를 모식도로 나타낸 것이다. 이를 좀더 세부적으로 설명하면 다음과 같다.

(1) 두께 5000 Å의 TEOS를 마스크로 사용하여 폭 1 ㎛, 깊이 약 6 ㎛의 트랜치를 식각한다(그림 1(a)).
(2) 트랜치 표면에 두께 1000 Å의 열산화막을 성장시킨다. 이 산화막은 트랜치 구조를 형성함과 동시에, 뒤에 진행되는 다결정 실리콘의 선택적 성장 시 트랜치 내부 이외의 다른 부분에서 실리콘이 성장하는 것을 방지하는 역할을 한다(그림 1(b)).
(3) 산화막이 형성된 기판 전면에 두께 약 1000 Å의 다결정 실리콘 막을 저압 화학기상 증착법(LPCVD: Low Pressure Chemical Vapor Deposition)을 이용하여 도포한다(그림 1(c)).
(4) 도포된 실리콘 막을 별도의 마스크 없이 건식식각한다. 이때, 건식식각의 목표 두께는 실제로 증착된 실리콘 막보다 높게 잡아 과식각이 일어나도록 한다. 이러한 과정을 통해 트랜치 내부에는 다결정 실리콘 측벽이 형성되며, 트랜치를 제외한 다른 부분에서는 실리콘이 모두 제거되고 산화막이 표면에 노출되게 된다(그림 1(d)). 실리콘 막의 과식각 정도에 따라 실리콘 측벽과 트랜치 입구 사이의 거리(그림 1(d)에서 'h'로 표시)가 달라지게 되는데, 이 값은 최종적인 트랜치의 입구모양을 결정하는 중요한 변수가 된다.
(5) 트랜치 내부에 다결정 실리콘 측벽이 형성된 상태에서, RPCVD 장비를 이용해 실리콘 측벽에만 선택적으로 다결정 실리콘을 성장시킨다(그림 1(e)). 이때, 선택적으로 성장되는 실리콘의 두께는 트랜치 폭의 약 60%이상이 되도록 하여 트랜치 내부가 완전히 채워지도록 한다(그림 1(f)).

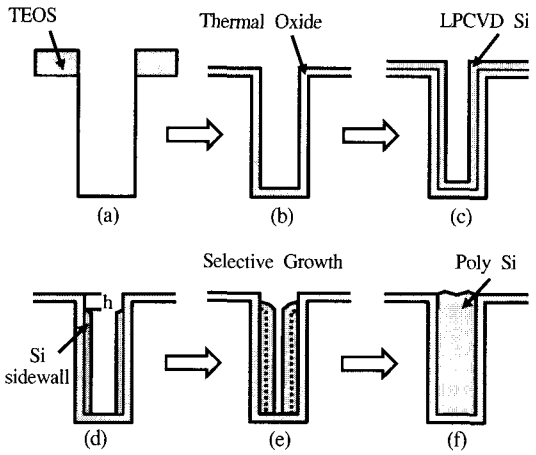

그림. 1. Schematics of cross-sectional profiles of trenches during the new process using selective polycrystalline Si growth.

3. 다결정 실리콘의 선택적 성장

앞에서 언급하였듯이, 본 연구에서는 다결정 실리콘의 선택적 성장현상(selective growth)을 이용하여 트랜치의 내부를 채우는 방법을 사용하였다. 실리콘의 선택적 성장현상이란 화학기상 증착법 의해 실리콘을 성장시킬 때, 처음 얼마 동안은 실리콘 결정면 위에서만 성장이 일어나다가 어느 정도 시간이 경과해야만 산화막이나 질화막 표면에서 성장이 시작되는 현상을 말한다. 이는 결정질 실리콘의 표면에 비해 비정질인 산화막(혹은 질화막)의 표면에서 핵생성이 더 어렵기 때문에 나타나는 현상으로, 이를 이용하면 실리콘 표면 위에서만 지속적으로 선택적인 성장을 일으킬 수 있다 [15]. 본 실험에서 사용된 장비는 미국 ASM 사의 Epsilon One-AP/RPCVD 시스템으로서, load-lock과 반응로로 구성되어 있으며 반응로의 위 아래에 격자식으로 위치한 텅스텐-할로겐 램프의 복사열에 의해 기판이 가열된다. 선택적 성장을 위한 증착압력과 온도는 각각 40 torr와 1100℃로 고정하였으며, 소스가스로는 SiH_2Cl_2를 420 sccm 주입하여 사용하였고, 반응 캐리어가스로는 H_2를 20 slm 유량으로 고정시켜 공급하였다.

4. 결과 및 고찰

그림 2는 트랜치 내부에 형성된 실리콘 측벽의 초기 형태에 따라 트랜치의 최종 모양이 변하는 양상을 보여주고 있다. 측벽 형성용으로 도포된 다결정 실리콘막(두께 1000 Å)을 약 30% 정도 과식각하자, 그림 2(a)에서와 같이 트랜치의 바로 입구에서부터 트랜치 내벽을 따라 다결정 실리콘 측벽이 형성되었다. 이 상태에서 8000 Å 두께의 다결정 실리콘을 선택적으로 성장시킨 뒤 최종적으로 채워진 트랜치의 표면은 그림 2(c)에서와 같이 굴곡이 심하고 가운데가 움푹 들어간 형태를 나타내었다. 이는 트랜치가 채워지는 동안 실리콘 측벽이 수평방향 뿐만이 아니라 수직 방향 (위쪽)으로도 함께 성장하기 때문이다. 즉, 가장 늦게 채워진 트랜치 중심부는 그만큼 위쪽으로 성장할 시간이 적으므로 가장 낮은 높이를 가지게 되고, 따라서 중심부 표면이 움푹 들어가게 되는 것이다.

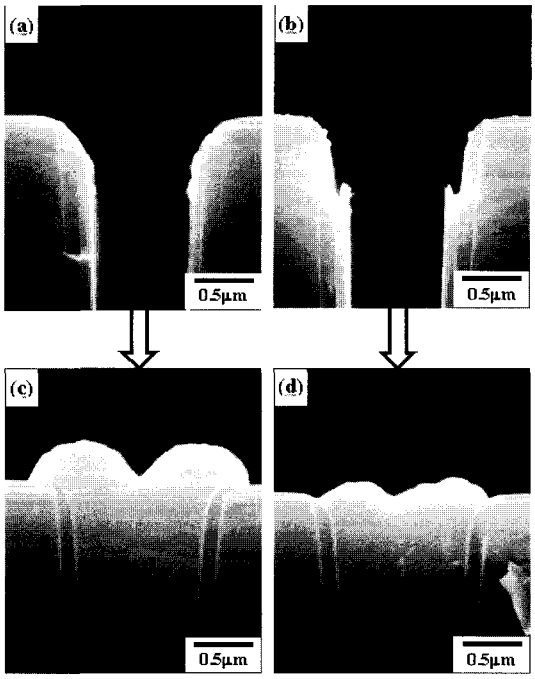

그림. 2. Inner sidewalls formed after (a) 30% and (b) 900% over-etch of the LPCVD Si layer. The final surface profiles of trenches in (c) and (d) were obtained after selectively growing 8000 Å of Si on '(a)' structure, and 12000 Å of Si on '(b)' structure, respectively.

반면 실리콘 막의 과식각율을 900% (=9000 Å)로 증가시키자, 그림 2(b)에서와 같이 트랜치 입구에서부터 약 6000 Å 정도 들어간 부분에서부터 다결정 실리콘 측벽이 형성되었다. 여기에 12000 Å 두께의 다결정 실리콘을 선택적으로 성장시킴으로써 상당히 편평하고 고른 트랜치 표면을 얻을 수 있었다(그림 2(d)). 이처럼 트랜치 입구의 형상이 개선된 이유는, 그림 3의 모식도에서 나타낸 바와 같이 양쪽 측벽에서 성장해 온 다결정 실리콘 층이 일단 서로 만난 뒤, 위쪽 방향으로 추가적인 성장을 하면서 중심부에 존재하던 굴곡이 완만해졌기 때문으로 생각된다. 이러한 결과들로부터, 본 공정에서는 측벽의 초기 깊이와 선택적으로 성장되는 실리콘의 두께가 트랜치의 최종 형태를 결정하는 가장 중요한 요소임을 확인할 수 있었다.

한편, 그림 4(a)와 (b)는 새로 개발된 선택적 성장 방법에 의해 만들어진 트랜치와, 기존의 방법(=트랜

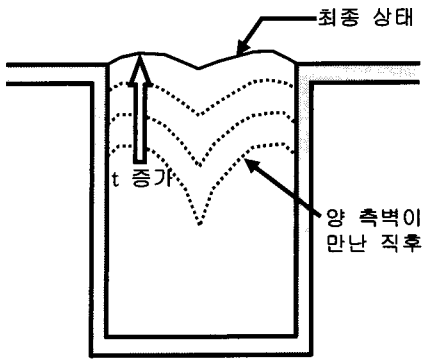

그림. 3. Evolution of the surface profile during the additional selective growth after the two sidewalls meet each other.

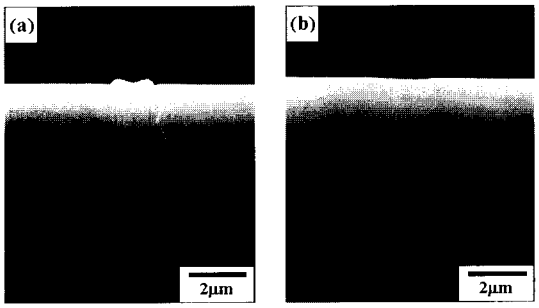

그림. 4. Final shapes of trench structures after (a) the new process using selective growth and (b) the conventional process using CMP.

치 식각 + 다결정 실리콘 증착 + CMP 공정)을 통해 만들어진 트랜치의 최종 형상을 각각 보여주고 있다. 이 두 그림을 비교해보면, 최종적으로 얻어지는 트랜치의 채움 상태나 표면 형상에 있어서 두 공정 간에 큰 차이가 없음을 알 수 있다. 선택적 성장법에 의해 만들어진 트랜치 표면에 존재하는 얕은 V자형 굴곡은 앞서 설명한 대로 측벽의 초기 형태와 다결정 실리콘의 증착 두께를 적절히 조절함으로써 좀더 편평하게 개선시킬 수 있을 것이다.

실리콘의 선택적 성장을 이용한 트랜치 채움 방법은 이전에도 제안된 바가 있다 [12-14]. 하지만 이들 방법들은 모두 다 트랜치의 측벽에 산화막이나 질화막 층을 형성하고 트랜치의 바닥면에 실리콘 기판을 노출시킴으로써, 트랜치의 바닥에서부터 위쪽 방향으로 실리콘을 성장시키는 방식을 이용한 것이다. 따라서, 트랜치를 채우는데 오랜 시간이 걸리고 트랜치 바닥에 절연막을 형성할 수 없다는 단점이 있다. 또한, 선택적으로 성장하는 실리콘 막이 다결정이 아니라 트랜치 바닥의 기판과 동일한 방향성을 가지는 에피 박막인 경우가 대부분이므로, 결정 방향에 따른 성장 속도의 차이로 인해 성장층 표면에 거시적인 각짐현상(faceting)이 발생할 우려가 있다 [14]. 반면 본 연구에서 제안한 방법은 트랜치의 측벽에 형성된 다결정 실리콘막의 측면 방향으로의 성장을 통해 트랜치를 채우므로, 공정시간이 단축될 뿐만 아니라 기존에 사용되던 트랜치 격리 구조를 그대로 유지할 수 있다.

5. 결 론

식각된 트랜치의 내부에 다결정 실리콘 측벽을 형성하고, 이를 선택적으로 성장시킴으로써 트랜치를 채우는 새로운 트랜치 격리방법을 제안하였다. 이 방법은 CMP 공정을 거치지 않고도 트랜치의 내부만이 실리콘으로 채워진 구조를 구현함으로써, 공정을 단순화할 뿐만 아니라 불균일 연마와 홈집 발생 등 기존의 CMP 공정에서 발생할 수 있는 문제들을 방지할 수 있다는 장점을 지니고 있다. 측벽의 초기 형태와 선택적 성장 두께 등을 적절히 조절함으로써 트랜치의 최종 형상을 보다 고르고 편평하게 개선하기 위한 연구가 현재 진행 중에 있다.

감사의 글

본 연구는 정보통신부의 연구비 지원에 의해 수행되었으며 이에 감사 드립니다.

참 고 문 헌

[1] S. Wolf, *Silicon Processing for the VLSI Era*, Vol. 2(Lattice Press, California, 1990), pp.17-44.

[2] J. Hui, P. Vande Voorde, and J. Moll, IEDM Tech. Dig., 392 (1985).

[3] M. Nandakumar, A. Chatterjee, S. Sridhar, K. Joyner, M. Rodder, and I.-C. Chen, IEDM Tech. Dig., 133 (1998).

[4] S. S. Cooperman, A. I. Nasr, and G. J. Grula, J.

Electrochem. Soc. **142**(9), 3180 (1995).

[5] N. Itoh, C. Yoshino, S. Matsuda, Y. Tsuboi, K. Inou, Y. Katsumata, and H. Iwai, Proc. IEEE BCTM, 104 (1992).

[6] T. Iinuma, N. Itoh, H. Nakajima, K. Inou, S. Matsuda, C. Yoshino, Y. Tsuboi, Y. Katsumata, and H. Iwai, IEEE Trans. Electron. Devices **42**(3), 399 (1995).

[7] J. H. Klootwijk, G. C. Muda, and D. Terpstra, Proc. IEEE ICMTS, 200 (2000).

[8] Y.-C. Shimon Yu, C. A. Hacherl, E. E. Patton, E. L. Lane, T. Yamaguchi, and S. S. Dottarar, J. Electrochem. Soc. **137**, 1942 (1990).

[9] G.-Y. Yeom, Y. Ono, and T. Yamaguchi, J. Electrochem. Soc. **139**, 575 (1992).

[10] V. S. K. Huang, C. T. Nguyen, A. B. Y. Chan, C. C. Ling, S. S. Wong, Proc. IEEE Region 10 Inter. Conf. on Microelectronics and VLSI, 253 (1995).

[11] T. L. Neo, E. S. Y. Shang, C. M. Chong, M. Huang, C. M. Chen, and F. J. Hsu, Proc. IEEE ISSM, 321 (2001).

[12] V. J. Silvestri, J. Electrochem. Soc. **135**, 1808 (1988).

[13] M. Aoki, H. Takato, S. Samata, M. Numano, A. Yagishita, K. Hieda, A. Nitayama, and F. Horiguchi, IEDM Tech. Dig., 447 (1991).

[14] M. E. Grupen-Shemansky, H. M. Liaw, B. Vasquez, and S. L. Sundaram, J. Electrochem. Soc. **140**, 1110 (1993).

[15] Y. Furumura, F. Mieno, T. Nishizawa, and M. Maeda, J. Electrochem. Soc. **133**, 379 (1986).