
디지털 MMDS 하향변환기용 저 위상잡음 주파수 합성기의 설계

김영진*

Design of Low Phase Noise Frequency Synthesizer for Digital MMDS
Downconverter

Yung-Jin Kim*

이 논문은 2001년도 동의대학교 연구비를 지원 받았음.

요 약

본 논문에서는 저 위상잡음과 고안정 특성을 나타내는 디지털 MMDS용 위상고정 발진기를 설계하였으며 전압제어 발진기용 능동소자의 비선형 등가모델에 의하여 저 위상잡음 파라미터와 안정된 전압제어 발진기의 필요충분 조건을 분석하였다. 설계된 전압제어 발진기에 위상고정루프를 적용하여 위상고정 마이크로파 발진기를 구현하였으며 고안정 전압제어 발진기에 대하여 시뮬레이션한 결과 -90dBc/Hz @ 10KHz 의 위상잡음을 보였으며 위상고정 마이크로파 발진기에 대한 실험 결과 -85dBc/Hz @ 10KHz 의 위상잡음을 얻었다. 고안정도와 저 위상잡음특성을 나타내는 위상고정 마이크로파 발진기의 설계모델을 디지털 MMDS 단말기용 고안정 주파수 합성기로 응용할 수 있음을 보였다.

ABSTRACT

In this paper, Phase locked microwave oscillator having the low phase noise and high stability for digital MMDS down converter was designed. we have been analyzed the low phase noise properties by the active device nonlinear equivalent circuits and derived the necessary and sufficient conditions for high stable voltage control oscillator. And it is applied to phase locked loop, we design the phase locked microwave oscillator of frequency synthesizer. Experimental results of designed phase locked oscillator shows -85dBc/Hz @ 10KHz phase noise properties and simulation result is -90dBc/Hz @ 10KHz respectively. we shows that proposed low phase noise and stable conditions of phase locked microwave oscillator can be applied to design the high stable digital MMDS frequency synthesizer.

키워드

Frequency Synthesizer, MMDS, Phase Locked Oscillator

1. 서론

무선 CATV에 대한 관심이 높아짐에 따라 한정된 대역폭에 많은 채널을 공급하고자 무선 CATV 시스템의 영상 및 정보 전송방안을 경제성과 효율적인 면을 고려하여 기존의 대역에 디지털 변조방식을 적용하여 다채널을 수용한 MMDS(Multichannel Multipoint Distribution Service)가 개발되고 있고^[1], 비교적 광대역 특성을 갖는 기존의 28GHz 대역의 LMDS(Local Multipoint Distribution System)도 광대역 통신망에 적용시키고자 여러 나라에서 개발하고 있다^[2]. 디지털 MMDS 단말기는 그림 1과 같이 안테나를 통해 수신된 2.5GHz~2.7GHz대역의 디지털 변조된 영상신호는 잡음신호와 함께 수신된다. 수신된 채널영상 신호와 잡음신호는 MMDS의 저잡음 증폭기(LNA)를 통하여 증폭되며 증폭된 신호와 잡음들은 영상제거필터에 의해 대역제한 되어 필요한 영상신호 채널의 신호만 통과시키고 대역 이외의 모든 성분을 제거하게 된다. 선택된 영상채널 신호들은 주파수 합성기에 의하여 안정된 주파수를 생성하는 전압제어 발진기에 의해 발생하는 고정된 2278MHz의 주파수와 믹서에서 합성되며 저역통과필터에 의하여 영상신호가 내포된 220~408MHz 대역신호의 주파수로 하향변환 된다. 이러한 디지털 MMDS에서는 QAM 및 QPSK와 같은 위상변조를 이용한 디지털 변조신호의 적용에 따라 하향변환기에서의 국부발진 주파수 전송채널에 영향을 받는 수신신호와의 관계를 동기 시키기 위하여 매우 안정된 상태에서 위상변화가 없는 특성을 나타내는 저 위상잡음 고안정 국부발진기를 요구하고 있다. 국부발진기는 위상잡음과 디지털신호사이의 상관관계에 따라 수신기의 BER(bit error rate)에 크게 영향을 미친다^[3]. 따라서 마이크로파 디지털통신시스템 하향변환 국부발진기의 낮은 위상잡음과 주파수, 온도변화에 안정적인 위상고정 마이크로파 발진기(phase locked microwave oscillator)의 개발을 위하여 국부발진기에서 발생하는 위상잡음에 대한 분석과 감소 방안에 대한 연구가 이루어지고 있다^[4,5].

저 위상잡음 마이크로파 발진기를 설계하기 위하여 발진기용 능동소자에서 발생하는 위상잡음은 Leeson의 위상잡음 모델^[6]에 의하여 정의할 수 있으므로 위상잡음 발생요인 중 마이크로파 발진기를 구성하는 능

동소자에서 BJT의 비선형 등가회로에 의한 위상잡음 특성과 관련된 비선형 등가파라미터를 중심으로 분석한다^[7,8]. 저 위상잡음 특성과 고안정 특성을 위하여 발진기 안정동작의 필요충분조건을 만족시키는 마이크로파 전압제어 발진기(VCO)를 설계하고, 설계된 VCO에 위상고정루프(PLL)를 적용^[9,10]하여 저 위상잡음특성과 고안정 특성을 동시에 만족시키는 디지털 MMDS 단말기의 주파수 합성기를 구현한다.

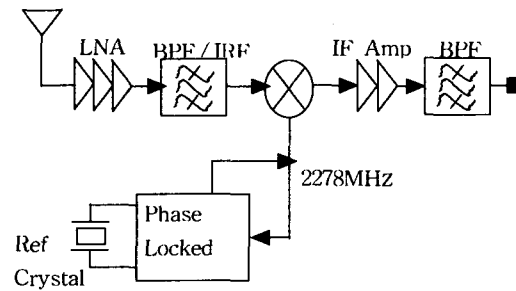


그림 1. MMDS 하향변환기의 구성도
Fig. 1 Block diagram of MMDS Downconverter

II. 고안정 저 위상잡음 위상고정발진기 설계

디지털 MMDS단말기의 RF입력신호는 매우 복잡한 형태의 전파경로에 따라 변화되므로 수신 단에서는 디지털변조신호가 내포된 IF신호를 추출한다. 기저대역에서 우수한 데이터 BER을 나타내기 위하여 수신기의 하향변환기를 설계할 때 국부발진기는 위상에 대하여 발진주파수가 매우 안정해야 하므로 디지털 통신 시스템에서는 수신기의 국부발진기로 위상고정 발진기(phase locked oscillator : PLO)를 사용한다. 위상고정 발진기의 구성도^[10]는 그림 2와 같이 위상검파기, 루프필터, 전압제어 발진기(VCO) 및 분주기로 되어있다. 국부발진기는 전압제어형태로서 입력된 전압 값에 따라 발진신호를 출력한다.

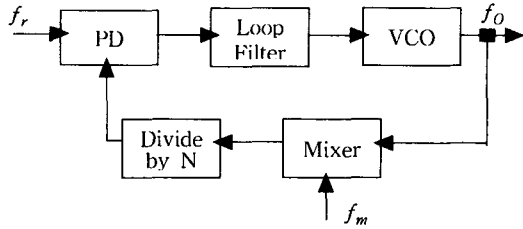


그림 2. 위상고정 발진기의 구성도
Fig. 2 Block diagram of PLL

그림 2에서 위상검파기(PD)는 기준발진기에 의한 입력신호와 전압제어 발진신호 사이의 위상차를 검파하며 저역통과 필터에서 위상 검파된 여파신호에 따라 나타나는 전압으로 위상고정 발진기의 출력주파수를 제어한다. 이와 같은 위상고정 발진기는 전압제어 발진기의 특성에 따라 달라지므로 디지털 마이크로파 국부발진기로 이용하기 위하여 전압제어 발진기는 안정된 동작조건과 저 위상잡음 조건을 동시에 만족시켜야 한다^[11,12]. 마이크로파 발진기는 지속적으로 변동하는 출력신호를 발생하므로 개-루프이득이 1보다 크고 위상조건을 만족하는 정제환 증폭기로서 발진기를 동작시킨다. 발진기를 설계할 때 증폭기의 설계방법과 유사하나 증폭기는 안정영역에서 동작되지만 발진기는 불안정영역에서 동작되어야 하므로 바크하우젠(Barkhausen)의 발진조건^[13]을 만족하여야 한다. 바크하우젠의 발진조건에서 크기와 위상관계는 첫째, $|\beta A| = 1$ (즉, 루우프 이득의 크기=1)이어야 하며 둘째, 신호가 증폭기 입력단자에서 증폭기와 레환회로를 거쳐 다시 입력단자에 돌아올 때까지 루우프 이득의 전위상변위가 0(또는 2π 의 정수배)이 되어야 한다. 마이크로파 발진기의 안정된 동작을 판단하는 필요충분조건^[11]은 그림 3과 같이 발진기의 입력단과 출력단에서 반사계수 $\Gamma_{공진}$ 과 임피던스 $Z_{공진}$ 은 입출력단에서 부성저항을 얻기 위해 스미스 차트 상에 불안정영역에 위치하도록 해야 한다. $\Gamma_{공진}$ 을 갖는 공진회로의 설계에서의 안정도 K는 식(1)을 만족하여야 한다^[12].

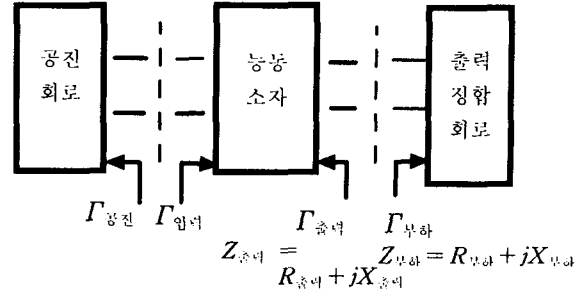


그림 3. 안정 발진기 설계를 위한 2 단자회로
Fig. 3 Two-port network for design of stable oscillator

$$K = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{12}S_{21}|} < 1 \quad (1)$$

$$(\Delta = S_{11}S_{22} - S_{12}S_{21})$$

그림 3에서 반사계수는 입력과 출력단에서 식(2)를 만족하여야 한다.

$$|\Gamma_{공진}| > \frac{1}{|\Gamma_{부하}|}, \quad \arg(\Gamma_{공진}) = \arg\left(\frac{1}{\Gamma_{부하}}\right) \quad (2)$$

정상상태와 대신호에서의 발진기 동작조건은 식(3)과 같다.

$$|\Gamma_{공진}| = \frac{1}{|\Gamma_{부하}|}, \quad \arg(\Gamma_{공진}) = \arg\left(\frac{1}{\Gamma_{부하}}\right) \quad (3)$$

발진기의 공진기가 높은 Q값을 가지기 위하여 발진 주파수에서 $1/\Gamma_{부하} = \Gamma_{공진}$ 을 만족시켜 $|\Gamma_{공진}|$ 이 가능한 최대가 되도록 해야 한다. 출력단 정합회로는 출력 주파수를 기점으로 식(4)와 같은 발진 조건을 만족시킬 수 있어야 한다^[13].

$$R_{부하} + jX_{부하} = -\frac{R_{출력}}{3} - jX_{출력} \quad (4)$$

부성저항 $R_{공진}$ 에 대하여 $R_{공진} = -R_{부하}$ 가 될 때 식(4)는 부하단에서 최대전력 전달조건을 만족하게 된다. 이와 같은 발진조건에 의하여 입력단과 출력단에서 정상적인 발진이 일어나기 위한 조건은 식(5)와 같다.

$$\frac{1}{\Gamma_{부하}} = \Gamma_{입력} = S_{11} + \frac{S_{12} S_{21} \Gamma_{공진}}{1 - S_{22} \Gamma_{공진}} \quad (5)$$

출력 주파수에 대한 안정원(stability circle)은 $|\Gamma_{출력}|(Z_{출력})$, $|\Gamma_{입력}|$ 을 크게 하고 최적의 $\Gamma_{출력}$ 을 나타내는 점을 선택하여 안정조건이 만족하는지 판단하므로서 발진조건 식을 만족 할 때까지 반복적으로 수행해야 한다. 발진기가 안정되게 동작하기 위하여 안정원에 대한 방정식은 무조건 안정조건에 의하여 $\Gamma_{입력}$ 과 $\Gamma_{출력}$ 은 식(6), 식(7)을 만족하여야 한다.

$$|\Gamma_{출력}| = \left| S_{22} + \frac{S_{12} S_{21} \Gamma_{공진}}{1 - S_{11} \Gamma_{공진}} \right| > 1 \quad (6)$$

$$|\Gamma_{입력}| = \left| S_{11} + \frac{S_{12} S_{21} \Gamma_{부하}}{1 - S_{22} \Gamma_{부하}} \right| > 1 \quad (7)$$

그리고 발진기 출력단에서의 안정도 원의 중심과 반경은 식(8), 식(9)와 같다.

$$\text{중심} : C_{출력} = \frac{(S_{22} - \Delta S_{11}^*)^*}{|S_{22}|^2 - |\Delta|^2} \quad (8)$$

$$\text{반경} : R_{출력} = \left| \frac{S_{12} S_{21}}{|S_{22}|^2 - |\Delta|^2} \right| \quad (9)$$

또 입력단에서의 안정도 원의 중심과 반경은 식(10), 식(11)과 같다.

$$\text{중심} : C_{입력} = \frac{(S_{11} - \Delta S_{22}^*)^*}{|S_{11}|^2 - |\Delta|^2} \quad (10)$$

$$\text{반경} : R_{입력} = \left| \frac{S_{12} S_{21}}{|S_{11}|^2 - |\Delta|^2} \right| \quad (11)$$

설계하려는 발진기의 능동 소자에 S-파라미터를 이용하여 $|\Gamma_{입력}|=1$ 과 $|\Gamma_{출력}|=1$ 로 정의되는 입력과 출력의 안정원을 도시하면 입력 안정원의 한쪽면 위에 $|\Gamma_{출력}| < 1$ 을 갖게 되고 반면에 다른쪽면에는 $|\Gamma_{출력}| > 1$ 을 갖게 된다. 그리고 출력 안정원의 한쪽면에도 $|\Gamma_{입력}| < 1$ 을 갖게 되고 다른쪽면에도 $|\Gamma_{입력}| > 1$ 을 갖게 된다. 그러므로 발진기를 안정하게 동작시키기 위하여 발진기의 특성에 의하여 스미스 차트 상에서 어느 면이 안정한 영역인가($|\Gamma_{입력}| < 1$ 이고 $|\Gamma_{출력}| < 1$)를 판단하

여 발진기의 능동소자에 의한 안정도를 결정하는 필요 충분조건을 만족시켜야 한다. 마이크로파 발진기를 설계할 때 위상잡음의 해석은 Leeson모형을 이용하며 위상잡음은 식(12)와 같다^[6,12].

$$L(f_m) = 10 \log \left\{ \left[1 + \frac{f_0^2}{(f_m Q_{load})^2} \right] \times \left(1 + \frac{f_c}{f_m} \right) \frac{FkT}{2P_{sav}} + \frac{2kTRK_0^2}{f_m^2} \right\} \quad (12)$$

여기서 $L(f_m)$ 은 오프셋 주파수에 대한 위상잡음으로 단위 1Hz당 dBc로 나타내며, Q_{load} 는 공진회로의 Q값, f_0 는 공진주파수, f_m 은 오프셋 주파수, f_c 는 플리커 주파수, P_{sav} 는 발진기의 출력이며 K_0 는 발진기의 이득, R은 동조다이오드의 등가잡음원이며 F는 잡음인수이다. 저 위상잡음 전압제어 발진기를 설계함에 있어서 능동소자의 플리커(1/f) 잡음은 발진기의 위상잡음에 크게 영향을 미치는 파라미터이므로 플리커 잡음은 능동소자의 바이어스와 비선형 등가모델 대하여 분석되어야 한다. 식(12)의 위상잡음 모델에서와 같이 VCO의 경우 비교적 Q값이 작으므로 $f_0/2Q$ 의 값이 플리커 코너 주파수보다 크게되는 경우 발진기의 위상잡음은 주로 백색잡음과 플리커 잡음에 의하여 결정된다^[14]. 능동소자의 플리커 잡음 특성은 플리커 잡음 스펙트럼 밀도함수와 BJT 능동소자의 고유플리커 잡음과 코너주파수에 의하여 등가회로의 입력 콘덕턴스, 베이스전류 및 전류이득 등으로 결정된다. 식(12)에 의하여 Leeson의 위상잡음 모델과 BJT의 위상잡음 스펙트럼함수에 의하여 저 위상잡음 발진기의 설계는 무부하 공진 계수 Q를 크게 하고, 최대 리액티브 에너지 및 능동소자가 포화상태에서 동작하지 않도록 해야하며 낮은 잡음지수와 위상변동이 작은 능동소자를 사용하여 저 위상잡음을 가지는 발진기의 궤환회로를 구성 하므로서 만족시킬 수 있다^[14,15,16].

III. 디지털 MMDS 수신기용 PLO의 설계

3-1. 저 위상잡음 VCO의 설계

저 위상잡음 전압제어 발진기를 설계하기 위하여 앞에서 언급한 위상잡음 모델과 플리커 잡음 모델 파

라미터를 고려하여 비교적 잡음지수가 적고 플리커 잡음 스펙트럼에 대하여 우수한 성능을 나타내는 HP사의 AT-41511 BJT소자를 선택하였다. 식(12)의 위상잡음 모델을 구하기 위하여 제조회사에서 제공하는 비선형 파라미터를 이용하였다. VCO를 설계할 때 BJT에 대하여 식(12)의 위상잡음 값을 추정하기 위하여 마이크로파 프로그램(ADS)[17]을 이용하였으며 바이어스를 $V_{ce}=4V \sim 8V$ 로 2Volt 단위로 증가시키고, $I_c=10mA$, $I_{bb}=90\mu A$ 로 고정 시켜 시뮬레이션 하였다. 저 위상잡음과 고안정 특성을 나타내도록 선정된 BJT의 바이어스에 따른 산란계수와 동작특성을 고려하여 동일한 발진주파수로 설계한 전압제어 발진기의 위상잡음 모델에 대한 분석결과는 그림 4와 같다.

시뮬레이션 결과 $V_{ce}=4V$, $I_c=10mA$ 에서 가장 우수한 위상잡음 특성을 보였으나 이 조건에서는 제2차 고조파역압이 작고 출력이 매우 작아 발진기 설계시 안정도가 적어지므로 적합하지 않다. 다시 바이어스 조건을 $V_{ce}=6V$, $I_c=10mA$, $I_{bb}=90\mu A$ 로 하였을 때 제2차 고조파신호의 역압이 $-15dB$, 발진신호의 전력이 $5.3dBm$ 이 되어 만족하므로 이점을 중심으로 발진기를 설계하였을 때 최적상태를 나타내었으며 위상잡음은 $-90dBc/Hz @ 10KHz$ 이었다. 설계한 전압제어 발진기의 안정도를 구하기 위하여 발진주파수 $2.278GHz$ 에서 BJT의 바이어스에 따른 산란계수 값을 구하였다. 구한 산란계수를 표 1에 나타내었다.

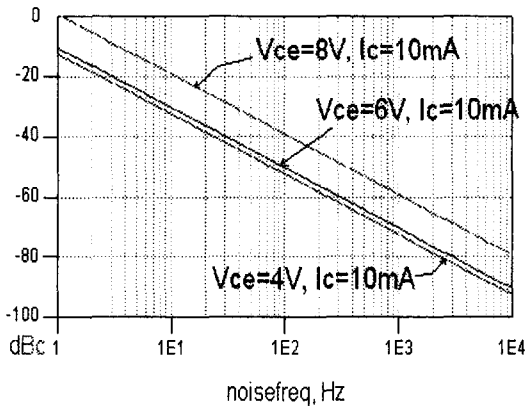


그림 4. 바이어스에 의한 위상잡음
Fig. 4 Phase Noise by bias conditions.

표 1. AT-41511 BJT의 산란계수

Table 1. Scattering coefficients of AT-41511 BJT($V_{ce}=6V$, $I_c=10mA$, $I_{bb}=90\mu A$, $f=2278MHz$)

S ₁₁		S ₁₂		S ₂₁		S ₂₂	
크기	위상	크기	위상	크기	위상	크기	위상
23.388	248.4°	3.38	9.4°	39.17	128.1°	6.3533	270.7°

표 1의 산란계수에 의한 전압제어 발진기의 필요충분 조건식을 이용한 안정도는 식(1)에 의하여 $K=9.2108 > 1$ 및 $|A|=55.0026 > 1$ 이 되므로 조건적 안정이 됨을 알 수 있다. 안정적 영역을 구하기 위한 출력단의 중심점과 반경은 식(8)과 식(9)에 의하여 식(13), 식(14)와 같다.

$$C_{출력} = \frac{(S_{22} - \Delta S_{11}^*)}{|S_{22}|^2 - |A|^2} = 0.4300 \angle 26.6617 \quad (13)$$

$$R_{출력} = \left| \frac{S_{12} S_{21}}{|S_{22}|^2 - |A|^2} \right| = 0.0444 \quad (14)$$

식(3)의 동작 조건에서 $\Gamma_{중심} \Gamma_{반경} = 1$ 과 식(4)에서 $R_{부하} = -R_{출력}/3$ 을 이용하고 입력단 임피던스 $Z_{입력}$ 과 출력단 임피던스 $Z_{부하}$ 를 50Ω 으로 임피던스 매칭을 시켜 그림 5와 같이 고안정 저 위상잡음을 나타내는 VCO를 설계하였다.

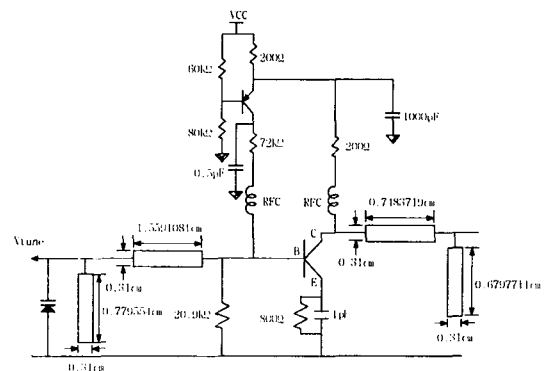


그림 5. 설계된 VCO 회로
Fig. 5 Designed VCO circuit.

3-2. 위상고정 마이크로파 발진기 설계

저 위상잡음과 고안정 특성을 나타내는 전압제어 발진기를 이용하여 위상고정루프를 사용한 주파수 합성기를 설계하기 위하여 모토롤라의 PLL-IC인 MC145151을 사용하였다. PLL-IC의 PD에서 신호를 비교할 수 있도록 입력 신호의 주파수를 낮추기 위해 사용한 전치분주기는 NEC사의 μ PB586 IC이다. 분주기에 의해 1/256의 비율로 분주하며 PLL-IC에 입력되는 발진기의 기준 주파수는 8.898MHz이며 크리스탈 발진자를 사용하였다. MC145151의 PLL-IC 내부에는 1개의 입력 신호 분주기와 1개의 기준 입력 분주기가 있으므로 입력되는 VCO 신호와 크리스탈 발진기의 신호는 PLL-IC 내부 분주기에 의해 다시 분주된다. 전치분주기에 의해 분주된 8.898MHz의 발진기 주파수는 다시 1/16로 분주되고, 분주비는 PLL-IC의 구동회로에 의해 결정되며 발진기 주파수 신호와 비교되는 발진기의 기준주파수는 PLL-IC 내부 분주기에 의해 1/8로 분주시켜 위상 검출기 주파수로 세트 시키므로서 PLL의 내부 전치계수기의 레지스터에서 요구하는 값이 나타나도록 알고리즘을 설정하였다.

그림 6에 구현된 디지털 MMDS용의 주파수 합성기를 나타내었다.



그림 6. 구현된 디지털 MMDS용 주파수 합성기
Fig. 6 Frequency Synthesizer for implemented Digital MMDS.

그림 7에 주파수 스펙트럼 분석기로 측정한 위상고정 발진기의 출력 파형을 나타내었고, 그림 8에 위상잡음을 나타내었다.

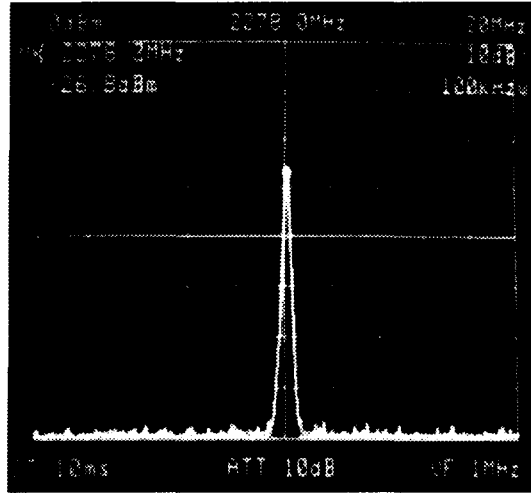


그림 7. 위상고정 발진기의 출력 파형
Fig. 7 Output waveform of PLO

위상고정 발진기의 위상잡음 특성은 디지털마이크로파 통신시스템에서 적용되는 디지털변조신호와 국부 발진기의 위상잡음의 조건(100KHz의 오프셋 주파수에서 BPSK신호의 경우 -85dBc/Hz이고, QPSK신호때 -90dBc/Hz)을 고려할 때 디지털 MMDS 단말기에 적용되는 QPSK 변조신호의 경우 본 논문에서 제시한 위상고정 발진기가 충분히 적용할 수 있음을 알 수 있다.

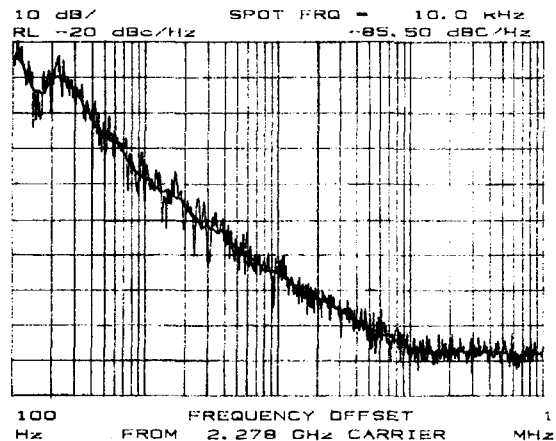


그림 8. 위상고정 발진기의 위상잡음
Fig. 8 Phase Noise of PLO.

디지털 MMDS 단말기에서 외부에서 인가되는 1MHz 또는 10MHz의 표준신호(standard signal)를 이

용하기 위하여 디지털 MMDS 단말기의 국부발진 주파수는 2260~2302MHz의 주파수로 전압제어 발진기가 동작된다. 국부발진기의 주파수는 전치계수기에 의해 4등분되어 565-575MHz의 주파수를 출력한다. 출력주파수는 듀얼 전치계수기(dual modulus prescaler : 64/65의 분할율로 8.8-8.9MHz)를 이용하여 다시 레벨이 계수되며 이러한 레벨은 PLL IC를 구동하기 위해 다시 변환된다. 주파수 합성기 설계시 고려되어야 할 사항은 설계 목적에 따라 위상 검출기의 주파수가 필요한 만큼의 채널 간격으로 국부발진 주파수를 증가시킬 수 있어야 한다.

N. 결론

본 논문에서는 능동소자 BJT의 플리커 잡음 파라미터를 비선형 등가소자로 분석하고 BJT의 바이어스에 따른 산란계수값을 추정하였다. 추정된 산란계수에 의하여 설계된 전압제어 발진기가 고안정 특성을 나타내는 필요충분조건을 만족하도록 시뮬레이션 하여 위상잡음과 안정도 및 발진기의 출력 등에 대하여 최적화하였다. 고안정 저 위상잡음을 나타내는 전압제어 발진기에 위상고정루프를 적용하여 위상고정 마이크로파 발진기를 설계하였다. 설계된 전압제어 발진기의 위상잡음에 대한 시뮬레이션 결과는 -90dBc/Hz @ 10KHz 이며, 제작된 위상고정 발진기의 위상잡음은 -85dBc/Hz @ 10KHz 이었다. 제작된 발진기의 저 위상잡음 특성은 디지털 MMDS 단말기에 적용되는 디지털변조신호에 대한 발진기의 위상잡음조건을 충분히 만족시킬 수 있음을 알 수 있었다. 향후 무선 CATV에 대한 발전 방향을 고려하여 디지털 MMDS에 의한 무선 CATV채널을 확보하므로써 난방향성인 MMDS 단말기를 개선시킬 수 있으며, 멀티미디어 통신을 위한 통신채널의 양방향 서비스를 제공하는 방법에 대한 연구가 필요하다.

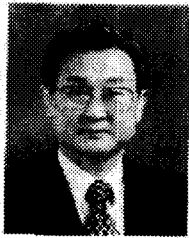
참고 문헌

- [1] M.Nezami, "Guideline dictate the Performance of MMDS Downconverters." Microwave & RF, Vol.36, No.3 March 1996, pp 58-72
- [2] Frank Creede, "Datacasting with LMDS and MMDS Systems." Applies Microwave & Wireless, Vol.13, No.8 Aug. 2001, pp 36-40
- [3] E.Camargo, Design of FET Multipliers and Harmonic Oscillators, Artech House Inc., Boston, 1998, pp 3.
- [4] Ulrich L. Rohde, "Feedback technique improves oscillator phase noise" Microwave & RF November 1998, pp 66-70
- [5] Robert Nagy, "Broadband VCO phase noise sensitivity to oscillator circuit parameters" IEEE Instrumentation and Measurement Technology Conference, May 2001, pp 1041-1044
- [6] Leeson, "A Simple Mode of Feedback Oscillator Noise Spectrum." Proc. IEEE, Vol.54, No.2, 1966, pp 329
- [7] Julio C. Costa, "Extracting 1/f noise coefficients for BJT's" IEEE transactions on electron devices. Vol. 41, No.11, November 1994, pp 1992-1999
- [8] Aeroflex Comstron, "A fast switching, low noise, indirect synthesizer" Microwave Journal, March 1999, pp 156-160
- [9] Jwo-Shiuu Sun, "Design and implementation of an L-band PLL frequency synthesizer" Microwave Journal, April 1999, pp 90-102
- [10] Marc Zuta, "A new PLL with fast settling time and low phase noise" Microwave Journal, June 1998, pp 94-108
- [11] Jake Goldstein, "DC, linear AC and nonlinear AC stability analysis using bifurcation and Nyquist theory" Microwave Journal, pp 282-300
- [12] Jim Carlini, "A 2.45GHz low cost, high performance VCO" Microwave Journal, April 2000, pp 22-36
- [13] Koji Harada, "An S-parameter transmission model approach to VCO analysis" RF design, March 1999, pp 33-37
- [14] California Eastern Laboratories AN1026 "1/f Noise characteristics influencing phase noise"

[1] M.Nezami, "Guideline dictate the Performance of MMDS Downconverters." Microwave & RF,

- [15] Michal Odyniec, "Oscillator stability analysis"
Microwave Journal, June 1999, pp 66-76
- [16] Edouard Ngoya, "Steady stated analysis of free
or forced oscillators by harmonic balanced and
stability investigation of periodic and
Quasi-periodic regimes" International Journal of
Microwave and Millimeter Wave Computer
Aided Engineering, Vol. 5, No.3, 1995, pp
210-223
- [17] ADS, Version 6.0 Agilent 2001

저 자 소 개



김영진(Yung-Jin Kim)
2000년 11월 제4권 제4호 PP.
833 참조
2002년 3월 현재 동의대학교
전자공학(과) 교수