ISDN 멀티미디어 통신단말용 시스템-온-칩 및 소프트웨어 구현

김진태* · 황대환*

The Implementation of an ISDN System-on-a-Chip and communication terminal

Jin-Tae Kim, Dae-Whan Hwang

요 약

본 논문에서는 ISDN 망에서 통신 단말용으로 구현된 시스템-온-칩과 이 칩을 활용하여 설계 제작된 ISDN 단말에 관해 기술한다. ISDN 단말의 여러 가지 기능이 통합되어 구현된 본 논문의 ISDN 시스템-온-칩은 32비트 ARM7TDMI RISC 코아 프로세서부, 네트워크 인터페이스를 위해 ISDN S/T-정합부, 각종 톤 발생과 음성신호를 PCM 데이터로 변환하기 위한 음성 코덱부 및 user와 인터페이스를 위한 PC 정합부로 구성되어 있다. 또한 이 칩을 활용하여 ISDN 통신단말을 구성하기 위한 소프트웨어 구조와 및 서비스절차에 대해 기술하며, 끝으로 구현된 통신단말의 구조에 관해 살펴본다.

ABSTRACT

This paper describes the implementation of a SoC(System-on-a-Chip) and an ISDN communication terminal by the SoC in ISDN network. The SoC has been developed with the functions of 32-bit ARM7TDMI RISC core processor, network connection with S/T interface, TDM-bus interface and voice codec, user interface. And we also review the developed software structure and the ISDN service protocol procedures which are working on the SoC. And finally this paper describers a structure of an ISDN terminal equipment using the implemented SoC and terminal software.

키워드

ISDN, SoC, ARM, 통신 단말

Ⅰ. 서 론

ISDN은 기존의 동선을 이용하여 데이터를 전송하는 기술로서 ADSL과 달리 상하향 전송속도가 동일하며 기본접속 가입자(2B+D)와 일차군 접속 가입자(23/30B+D)가 있다. 일반 가입자에게 제공되는 기본접속 가입자는 2B+D채널로 구성되어 D-채널을 호 접속 처리용 시그널링 채널로 사용하거나 저속의 데이터 통신에 활용되고 각각 64Kbps의 전송속도를 갖는 2개의 B-채널은 음성서비스 또는 데이터 서비스에 사용되며 2개의 B-채널을 같이 사용할 경우는 128 Kbps의 데이터 서비스가 가능하게 된다.

*한국전자통신연구원

접수일자 : 2002. 5. 24

본 논문에서 구현 ISDN 시스템-온-칩은 ARM7TDMI RISC 코아 프로세서부, 네트워크 인터페이스를 위한 S/T-정합부, 각종 톤 발생과 음성신호를 PCM 데이터로 변환하기 위한 음성 코덱부 및 user와 인터페이스를 위한 PC 정합부로 구성되어 있다. 또한 구현된 칩을 활용하여 구성되는 단말기의 소프트웨어는 음성처리를 기본으로 하며 ISDN 프로토콜을 구현하여 63Kbps 및 128Kbps의 멀티미디어 통신서비스를 제공할 수 있게 하였다.

논문에서는 ISDN 망에서 멀티미디어 통신 단말용으로 구현된 시스템-온-칩에 관해 기술하고, 칩에 내장되는 통신 단말의 소프트웨어 구조와 서비스 절차에 대해 살펴보며, 끝으로 구현된 통신단말의 구조에 관해 검토한다.

II. ISDN 단말용 시스템-온-칩

종래의 경우 ISDN 단말장치를 구성하기 위해 프로세서, ISDN 인터페이스, 음성 코덱, PC 통신용 인터페이스 및 주변 로직 등 각각의 기능들을 개별 소자들로 구성하였으나 본 논문의 ISDN 통신 단말용 시스템-온-칩에서는 이들 기능을 하나의 칩으로 통합하며 통신용 ISDN 프로토콜까지 내장하여 구현한 것으로 ISDN 단말장치를 콤팩트하고 저가로 구성할 수 있게 하였다.

구현된 ISDN 멀티미디어 통신단말용 시스템-온-칩은 32비트 ARM7TDMI RISC 코어를 중심으로 하는 프로세서부, ISDN S/T-인터페이스를 제공하는 네트워크 정합부, G.711 음성 코덱부, 그리고 PC정합부로 구성되어 있다. 동작은 3.3V 단일전원과 46MHz의 시스템 클럭을 사용하며 저전력 0.35um CMOS공정으로 제작되었고 약 25만 게이트이며, 외형적으로 160pin QFP 구조를 가지며 전체 블록도는 그림 1과 같다.

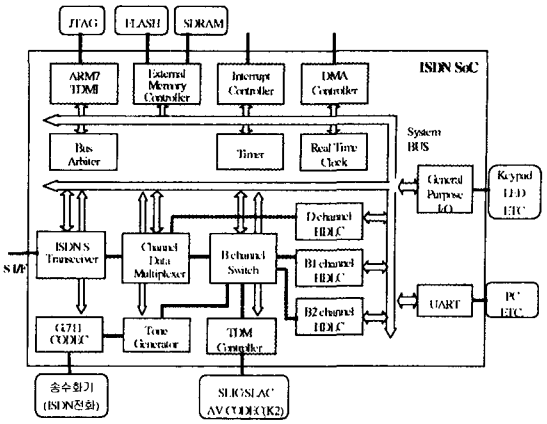

그림 1. ISDN 단말용 시스템-온-칩 전체 구성도

1. 프로세서부

단말용 시스템-온-칩의 내부 각 블록들을 제어하며 프로토콜을 수행하기 위한 프로세서부에는 ARM7TDMI 코어와 AMBA 버스를 사용하였고, 주요 기능 블록으로는 그림 1과 같이 ROM, RAM등의 외부 메모리를 제어하기 위한 메모리 컨트롤러, 인터럽트 제어를 16채널 인터럽트 컨트롤러, 6채널 DMA 컨트롤러, 시스템버스 중재를 위한 버스 아비터, 2 채널 프로그래머블 타이머 기능, 1 채널 watch dog 타이머, reset 제어기, 24비트 GPIO (General Peripheral I/O) 및 칩 기능 검증 및 디버깅을 위한 JTAG 포트로 구성되어 있다.

ARM7TDMI는 32비트 RISC 구조 프로세서로서 On Chip ICEbreaker 디버기 기능을 가지며 32비트 AMBA 버스를 가지고 있다. 또한 46MHz의 시스템 클럭으로 동작되며, 16bit/32bit 두 가지 모드의 명령 세트를 지원하는 저 전력의 프로세서이다.

외부 메모리 제어기는 AHB버스와 접속되어 칩 외부의 메모리를 제어하는 신호를 생성하며, 16bit/32bit 두 가지 모드로 조정이 가능하다.

인터럽트 제어기는 주변소자들로부터 인터럽트 요청신호를 받아 우선순위에 요청신호를 받아 우선순위에 따라 프로세서로 인터럽트 요청신호를 전달하는 기능을 한다. 그리고 3개의 외부 인터럽트 요구와 1개의 FIQ(Fast Interrupt request) 및 15개의 내부 인터럽트 소스를 제어할 수 있으며 다단계 우선권, programmable 인터럽트, 인터럽트 개별 마스킹의 기능을 가진다.

DMA 컨트롤러는 6개의 채널을 가지고 있으며 내부에 4채널을 사용하고 외부소자가 2채널을 사용할 수 있다.

2. ISDN 네트워크 정합부

ISDN 네트워크 정합부는 망과의 정합을 위해 S/T 인터페이스를 제공한다. ISDN 네트워크 정합부의 구성은 S/T 인터페이스 송수신기, 2B+D 채널을 제공하기 위해 2개의 B-채널과 1개의 D-채널을 위한 HDLC 제어기, 내부 채널 제어를 위한 B 채널 스위치, 채널 데이터 다중화기 및 외부 칩과의 접속을 위해 TDM 버스 인터페이스로 구성되어 있다.

S/T 인터페이스 송수신기는 그림 2와 같이 구성되며, ISDN S/T 회선 인터페이스를 제공한다. 호스트 인터페이스는 프로세서와 AMBA 버스로 연결되어 모드설정, 정보 교환 및 명령 수신 그리고 인터럽트의 생성 기능을 한다. S/T 인터페이스로부터 들어오는 수신데이터(2B+D)는 TDM 인터페이스를 통해 채널 정보 다중화기로 전송되고, 채널 정보 다중화기에서 수신된 정보는 S/T 인터페이스를 거쳐 AFE를 통해 전송된다.

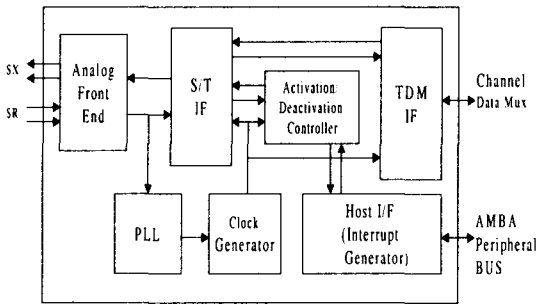

그림 2. ISDN S/T 인터페이스 송수신기

채널정보 다중화기는 S/T 송수신기로부터 전달되는 데이터를 B-채널 및 D-채널 데이터로 분리하여 B-채널 스위치와 D-채널 HDLC로 전달하고, 반대로 B/D-채널 데이터들을 다중화하여 S/T 송수신기로 전달해주는 역할을 한다.

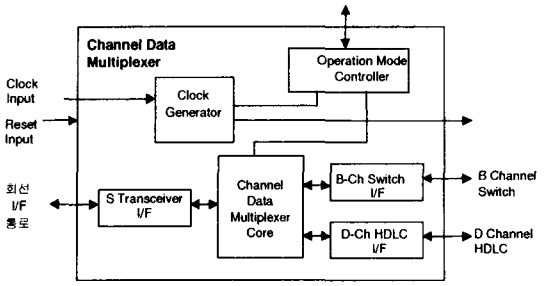

그림 3. 채널정보 다중화기 블록도

B-채널 스위치는 그림 4와 같이 G.711 코덱, B-채널 HDLC 및 TDM 버스 제어기를 채널정보 다중화기에 선별적으로 연결해주기 위한 스위치기능을 한다.

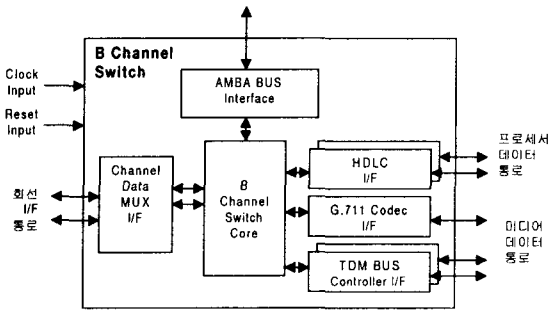

그림 4. B-채널 스위치 블록도

B-채널 HDLC는 프로세서에서 전달되는 데이터들을 B 채널을 통해 전송하고, 반대로 B 채널을 통해 전달되는 상대방의 데이터를 프로세서에 전달하도록 하기 위한 B-채널 HDLC 프로토콜 처리를 수행한다. 칩 내에 B-채널 HDLC는 2개 존재하며, 각기 하나씩의 B-채널을 담당한다. 그림 5는 B-채널 HDLC의 블록도이다. B-채널 HDLC는 호스트 프로세서와 AMBA 버스를 통해 32비트 단위로 B-채널 데이터를 주고 받는다. 또한 B 채널 데이터의 원활한 전달을 위해 수신 및 송신용 FIFO를 포함한다. 송신용 FIFO는 32Byte 크기의 단일 버퍼이고, 수신용 FIFO는 2개의 32Byte FIFO를 Double-Buffer로 번갈아 사용한다. 호스트와의 B-채널 데이터 전달은 송신시 DMA 인터페이스와 수신시 인터럽트 제어기를 통해 이루어진다.

D-채널 HDLC는 DMA채널을 사용하지 않고 인터럽트 제어기를 통해 프로세서에게 D채널 데이터 수신을 통보한다. TDM 버스 제어기는 최대 4개까지의 외

부 칩을 접속할 수 있도록 지원한다.

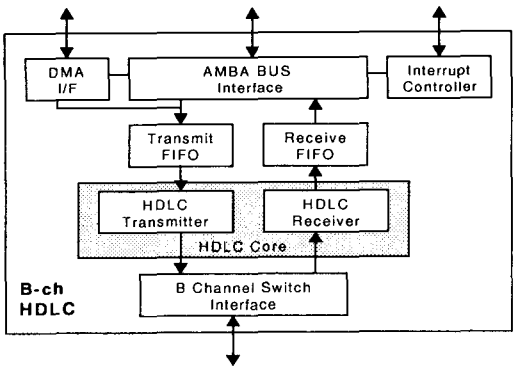

그림 5. B-채널 HDLC 블록도

그리고 외부 소자로부터 전송되는 TDM 채널 데이터들은 TDM 데이터 역다중화기에서 2B+D 데이터로 분리되어 B 채널 교환기로 전달하고, 반대로 B 채널 교환기에서 전송된 데이터를 제어/정보 데이터들과 함께 다중화하여 TDM 버스에 전달한다.

3. 음성 코덱부

음성 코덱부는 송수화기의 아날로그 신호를 디지털 신호로 변환하여 코딩한 후 망으로 전달하고 망을 통해 전달된 음성신호를 디코딩하고 아날로그 신호로 변환하여 전달하며, DTMF 및 기타 톤 신호를 발생시키는 기능을 수행한다. 음성 코덱부의 구성은 톤 발생부와 G.711 코덱부로 되어 있다.

톤 발생부는 프로세서에서 8KHz 32비트로 PCM 표본화된 16종의 DTMF 데이터와 단일 톤 데이터, 멜로디 데이터를 갖고 프로세서의 제어에 의해 코덱으로 데이터를 전달하여 소리를 발생시킨다. G.711 코덱부는 송수화기로부터 아날로그 신호를 받아 A/D변환 후 이 선형 PCM 데이터를 A-law/μ-law 로 변환하여 톤 발생부를 거쳐 B채널 교환기로 전달한다.

4. PC 정합부

외부의 범용 PC를 접속할 수 있도록 PC 인터페이스 모듈은 UART 인터페이스 기능을 가진다. UART는 범용 PC의 직렬 포트에 직접 연결이 가능한 직렬 비동기 데이터 송수신 기능을 갖는 모듈로서, 1개의 포트를 제공하며 115Kbps까지의 데이터 송수신이 가능하다.

III. 단말 소프트웨어구조 및 서비스절차

ISDN 음성 및 데이터 서비스를 위한 멀티미디어 통신 단말의 소프트웨어 구조는 그림6과 같다. 외부 입출력 기능으로 ISDN 망과의 접속을 위한 S-인터페이스 및 다이얼 업 PC와 연결하여 인터넷 서비스를 위한 시리얼 인터페이스가 제공된다.

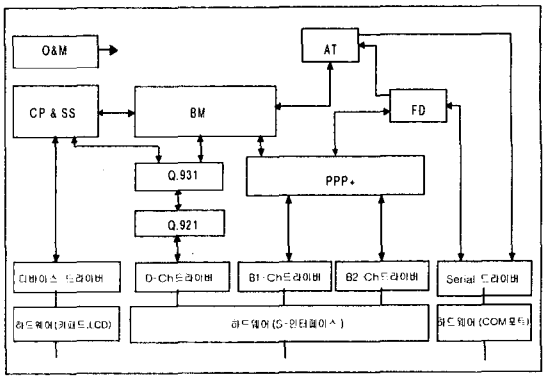

그림 6. ISDN 단말용 SW 블록도

CP&SS(Call Processing & Supplementary Services)는 일반 전화 또는 ISDN 전화를 통해 음성 통화가 이루어지도록 하며 ISDN망을 통해 번호 식별, 호 완료, 다중파티 통화, 추가 정보전달 등의 부가 서비스를 제공한다. AT 블록은 다이얼 업 PC로부터 받은 AT 커맨드를 분석하여 처리하고 BM(Bundle Manager) 기능에게 전화 걸기 또는 전화 끊기를 알린다. FD(Frame Dispatcher) 블록은 다이얼 업 PC로부터 받은 AT 커맨드나 PPP 프레임의 유형을 구분하여 AT 분석 기능 또는 PPP+ 기능에게 넘겨준다.

BM(Bundle Manager) 블록은 단말의 자원 기능으로 두개의 B-채널의 상태를 관리하며 음성 및 데이터 호 연결 설정 및 해제를 위한 절차를 제공한다. 채널 상태는 Idle, Reserved, Voice-Active, Data-Active가 있으며, 음성 또는 데이터의 새로운 호는 반드시 Idle 상태의 채널이 존재하는 경우에만 가능하다. PPP+ 기능은 PPP 처리 기능과 멀티 링크PPP 처리 기능을 모두 포함하고 있다. Q.931과 Q.921은 ISDN 시그널링

기능을 제공하며 O&M 블록은 단말기의 운용 및 관리 기능을 담당하며 비정상 동작을 감지하여 자체 복구기능을 수행한다.

멀티미디어 서비스를 위한 호 설정 절차는 다이얼 업 PC로부터 전화 걸기 커맨드를 받으면, 이를 AT블록에서 분석하여 가용한 B-채널이 존재하는가를 BM 블록에 문의하여 데이터 호 설정의 가능 여부를 먼저 판단한다. 가용한 채널이 없는 경우, 다이얼 업 PC에게 전화 걸기에 실패했음을 알리고, 가용한 채널이 있는 경우 연결 설정(Connection Setup) 절차에 들어간다. 먼저 시그널링 절차에 의하여 물리적 링크가 설정된다. 물리적 링크가 성공적으로 설정되면 PPP 링크의 설정 절차에 들어가 되며, PPP 링크가 성공적으로 설정되면 비로소 IP 기반 데이터 통신을 할 수 있다. 그림 7은 64Kbps 멀티미디어 호 연결 설정 과정을 보여준다.

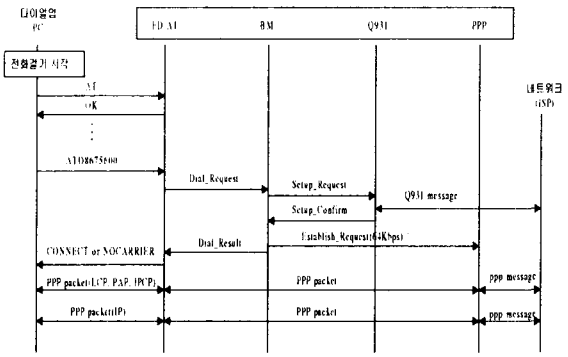

그림 7. 64Kbps 데이터 호 연결 설정 과정

멀티미디어 호 연결 해제(Connection Release) 과정은 사용자가 다이얼 업 PC의 연결 해제 버튼을 누르면 다이얼 업 PC로부터 PPP 링크 해제를 위한 PPP 프레임을 받게 되고, 이것을 ISDN 망에 보내어 PPP 링크 해제를 한다. PPP 링크가 해제된 후 물리적 링크 해제를 위한 시그널링 절차를 한다. 물리적 링크까지 완전히 해제되면 ISDN 단말은 다이얼 업 PC에게 호가 해제되었음을 알린다. 그림 8은 64Kbps 멀티미디어 호 연결 해제 과정을 보여준다.

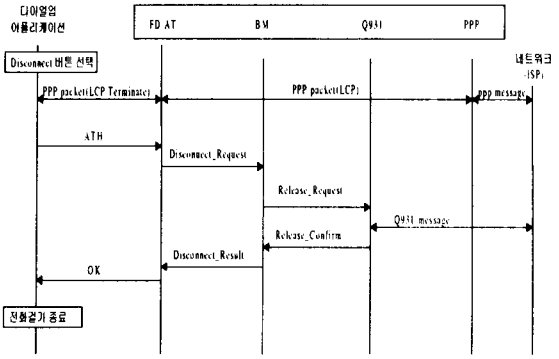

그림 8. 64Kbps 데이터 호 연결 해제 과정

128Kbps 멀티미디어 호 설정 및 해제는 두개의 B-채널 각각에 대한 물리적 링크를 설정 및 해제절차를 거치며 나머지 절차는 동일하다. 그림 9는 128Kbps 호 설정 과정을 보여준다.

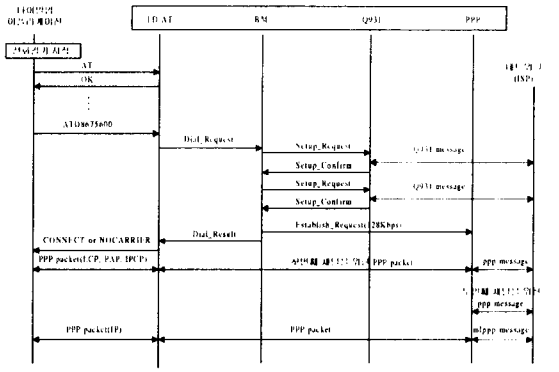

그림 9. 128Kbps 데이터 호 연결 설정 과정

IV. ISDN 멀티미디어 통신 단말

ISDN 멀티미디어 통신 단말은 그림10의 구성도와 같이 구현된 시스템-온-칩을 핵심소자로 하며 메모리(2MB Flash ROM, 4MB Static RAM), S/T정합용 트랜시버, 송수화기 인터페이스, 외장 SLIC/SLAC 정합부, DTMF 수신부, LCD 와 Keypad 정합부 및 전원 공급부 등으로 구성되어 있다. 그림 11은 구성도에 따라 구현되어 ISDN 단말기에 내장되는 보드를 보여준다.

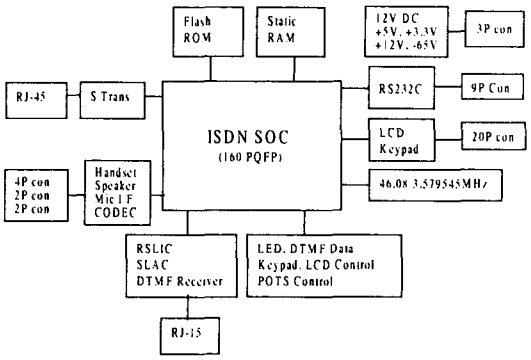

그림 10. ISDN 시스템-온-칩 활용 단말 구성도

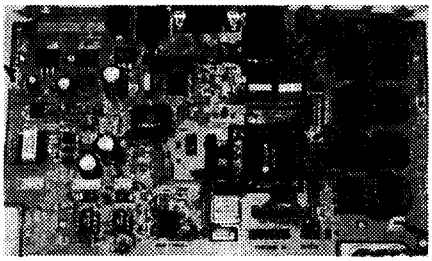

그림 11. ISDN 시스템-온-칩 활용 보드

V. 결 론

본 논문에서는 ISDN 시스템-온-칩과 통신 단말 개발에 관해 기술하였다. 본 논문에서 구현된 ISDN 시스템-온-칩은 프로세서 정합부, 네트워크 인터페이스를 위한 S/T-정합부, 각종 톤 발생과 음성신호를 PCM 데이터로 변환하기 위한 음성 코덱부 및 user와 인터페이스를 위한 PC 정합부로 구성되어 있다. 이를 활용하여 구성되는 통신 단말은 음성처리를 기본으로 하며 ISDN 프로토콜을 구현하여 64Kbps 및 128Kbps의 멀티미디어 통신서비스를 제공할 수 있게 하였다.

구현된 각각의 기능들을 실제 망과 연동하여 ISDN 음성 전화기능, 64Kbps 및 128Kbps 인터넷 접속기능 등의 ISDN 멀티미디어 통신 단말의 기능들을 검증하였으며 우수한 성능을 나타내었다.

본 칩을 활용하므로서 ISDN 단말의 구현이 용이하고 가격 측면에서도 매우 우수한 장점을 가지며, 소프트웨어적 측면에서도 기능적으로 우수하고, 향 후 요구사항에 따라 응용 소프트웨어를 추가함으로서 가격과 성능 면에서 국제 경쟁력을 갖춘 멀티미디어 단말기로 발전되어질 것이다.

참 고 문 헌

[1] ETSI, "Integrated Services Digital Network Attachment requirements for terminal equipment to connect to an ISDN basic access", Nov 1995.

[2] ITU-T I.430, "Basic User-Network Interface Layer 1 Specification ISDN User Network Interfaces", 1993.

[3] ITU-T Q.931, "ISDN User-Network Interface Layer 3 Specification for Basic Call Control", May 1998.

[4] IETF RFC 1332, "The PPP Internet Protocol Control Protocol", May 1992.

저 자 소 개

김진태(Jin-Tae Kim)

1980년 인하대학교 전자공학과 학사
1982년 인하대학교 전자공학과 석사
1996년 인하대학교 전자공학과 박사
1979년~현재 한국전자통신연구원 책임연구원

※관심분야 : Access Network, xDSL, VoIP

황대환(Dae-Whan Hwang)

1986년 성균관대학교 전자공학과 학사
1988년 성균관대학교 전자공학과 석사
1999년 성균관대학교 전자공학과 박사
1991년~현재 한국전자통신연구원 SoC기술팀장 책임연구원

※관심분야 : multimedia networking, DSP