

졸-겔법으로 Pt/Ti/SiO₂/Si 기판위에 제작된 (Bi,La)Ti₃O₁₂ 강유전체 박막의 특성 연구

황 선 환 · 장 호 정* †

단국대학교 전자 컴퓨터학부

Charaterization of (Bi,La)Ti₃O₁₂ Ferroelectric Thin Films on Pt/Ti/SiO₂/Si Substrates by sol-gel Method

Sun-Hwan Hwang and Ho-Jung Chang* †

Dept. of Electronics Engineering, Dankook University, # 29 Anseo-dong, Cheonan-shi, Chungnam 330-714

(2002년 9월 13일 받음, 2002년 11월 8일 최종수정본 받음)

Abstract Metal-Ferroelectric-Metal(MFM) capacitors were prepared using Bi_{3.3}La_{0.7}Ti₃O₁₂(BLT) ferroelectric thin films which were spin coated on Pt/Ti/SiO₂/Si substrates by the Sol-Gel method. BLT thin films annealed at above 650°C showed polycrystalline structures with typical c-axis preferred orientation. The grain size and surface roughness were increased as the annealing temperature increased from 650°C to 700°C. In addition, the full width at half maximum (FWHM) values were decreased with increasing annealing temperatures, indicating the improvement of crystallinity. The remanent polarization (2Pr=Pr⁺+Pr⁻) and leakage current of the BLT film annealed at 650°C were about 29.3 μC/cm² and 2.3×10⁻⁸ A/cm² at 3V. There were no distinct changes in the retention charges after 10¹⁰ polarization switching cycles, showing good fatigue property of the annealed BLT films.

Key words: Sol-Gel method, (Bi,La)Ti₃O₁₂, Ferroelectric Films, polangation, gatigue

1. 서 론

강유전체 박막의 분극반전과 히스테리시스 특성을 이용한 비휘발성 메모리인 FRAM (ferroelectric random access memory)은 고집적도, 고속구동, 고내구성, 저소비 전력화를 실현할 수 있는 이상적인 메모리로서 응용이 기대되고 있다.^{1,2)}

FRAM은 기존 DRAM (dynamic random access memory)에서 기억소자에 쓰이는 캐패시터용 재료로 실리콘 산화막이 아닌 강유전체 산화물 박막을 사용한 것으로, 이 강유전체 산화물 박막에 전기장을 가했다가 전기장을 제거하면 잔류분극이 계속 남아있는 성질을 이용하여 비휘발성 기억소자로서 응용하게 된다. 이러한 FRAM은 빠른 동작속도와 저전압동작 등의 DRAM이 지니고 있는 장점을 가질 뿐만 아니라, 전원을 끊은 후에도 정보를 기억할 수 있는 비휘발성 메모리로서의 장점 또한 가지고 있다.^{3~5)}

FRAM의 캐패시터로서 주로 연구되어졌던 물질로서는 크게 Pb계 강유전체 물질인 Pb(Zr,Ti)O₃(PZT)와 Bi계 층상 페로브스카이트 구조를 가지는 SrBi₂Ta₂O₉(SBT)와 (Bi,La)Ti₃O₁₂(BLT)를 들 수 있으며, PZT의 경우는 Pt 전극을 사용했을 경우 피로현상이 발생하는 문제점을 가지고 있으며, SBT의 경우는 잔류분극이 작고, 공정온도가

850°C 정도로 기존의 반도체 공정에 적용하기 어려운 단점을 보여주고 있다. 최근에 들어 BLT가 낮은 공정 온도와 우수한 피로 특성 등에 의해 FRAM에 응용할 수 있는 유망한 물질로서 커다란 관심을 끌고 있다.^{6~14)} 지금까지 BLT 박막을 이용한 FRAM 소자에 대한 연구가 다수 발표되고 있으나 700°C 이하의 비교적 낮은 온도에서 결정학적, 전기적, 형상학적 특성을 전반적으로 조사, 보고한 논문은 아직까지 부족한 실정이다. 본 연구에서는 최종적으로 1T(transistor)-1C(capacitor) FRAM 소자를 제작하기 위하여 BLT 강유전체 박막을 졸-겔법으로 Pt/Ti/SiO₂/Si 기판구조위에 형성하였다. 제작된 BLT 박막에 대해 결정학적, 형상학적, 전기적 특성을 각각 조사하였다.

2. 실험 방법

Pt/Ti/SiO₂/Si 기판위에 BLT 박막을 졸-겔법으로 형성하였다. BLT 강유전체 박막은 Ti buffer 층이 있는 Pt/Ti/SiO₂/Si 기판구조 위에 스핀 코팅 방법으로 형성하였다. 열판 (hot plate)에서 용매를 제거하기 위하여 330°C로 BLT 박막을 건조하였다. 코팅과 건조를 5번 반복하여서 약 2000Å 두께의 BLT 박막을 형성하였다. 열처리 온도에 따른 BLT 박막의 결정성 변화를 살펴보기 위해 고온로에서 650°C, 700°C의 온도로 산소분위기에서 30분 동안

† E-mail: hjchang@dku.edu

열처리를 실시하였다. 열처리가 끝난 BLT 박막 시료의 전기적 특성을 측정하기 위하여 Pt 상부전극을 증착하였다. Pt 상부전극과 BLT 박막간의 contact를 향상시키기 위하여 고온로에서 470°C의 온도로 10분간 열처리를 실시하였다. BLT 강유전체 박막의 후속 열처리 온도에 따른 결정학적 특성 변화를 알아보기 위하여 XRD (X-ray diffractometer) 분석을 실시하였다. 박막의 표면 및 단면 형상을 SEM (scanning electron microscopy)과 AFM (atomic force microscopy)을 통하여 관찰하였다. BLT 박막과 Pt 사이의 계면 반응 및 박막 깊이에 따른 원소의 분포 및 조성을 알아 보기 위해서 AES (auger electron spectroscopy) 분석과 EPMA (electron probe micro-analyzer) 분석을 실시하였다. BLT 박막 커패시터의 누설 전류를 측정하기 위하여 HP4155B를 이용하였다. 박막 커패시터의 P-E 이력곡선 및 피로특성은 ±5V의 인가전압 하에서 precision premier measurement system을 이용하여 측정하였다.

3. 결과 및 고찰

BLT 박막의 원자 물비를 조사하기 위해서 EPMA 분석을 실시하였다. Table 1은 열처리 온도에 따른 BLT 박막의 물비(molar ratio)를 나타내었다. As-coated된 BLT 박막은 Bi_{3.3}La_{0.7}Ti₃O₁₂의 평균 물비를 나타내었다. 700°C로 열처리된 박막의 경우 Bi 성분이 평균 약 7.6 mole% 감소하여, Bi 성분의 휘발을 확인할 수 있었다.

Fig. 1은 as-coated 박막과 650°C 및 700°C로 열처리된 BLT 박막의 XRD 분석결과를 나타내고 있다. 650°C

Table 1. The atomic molar ratio dependences of BLT films on the annealing temperatures.

Annealing temp(°C)	Atomic molar ratio		
	Bi	La	Ti
As-coated	3.29~3.31	0.67~0.70	3.01~3.02
650°C	3.14~3.15	0.69~0.72	3.10~3.11
700°C	3.03~3.07	0.68~0.70	3.20~3.21

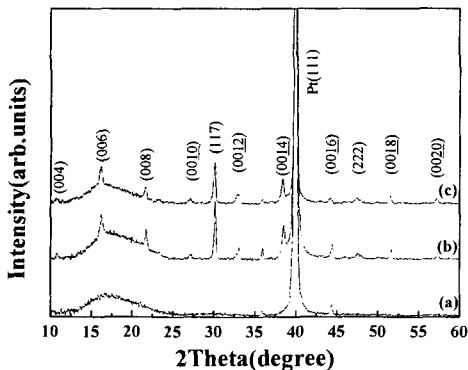


Fig. 1. XRD patterns of the (a) as-coated BLT film and the films annealed at (b) 650°C and (c) 700°C.

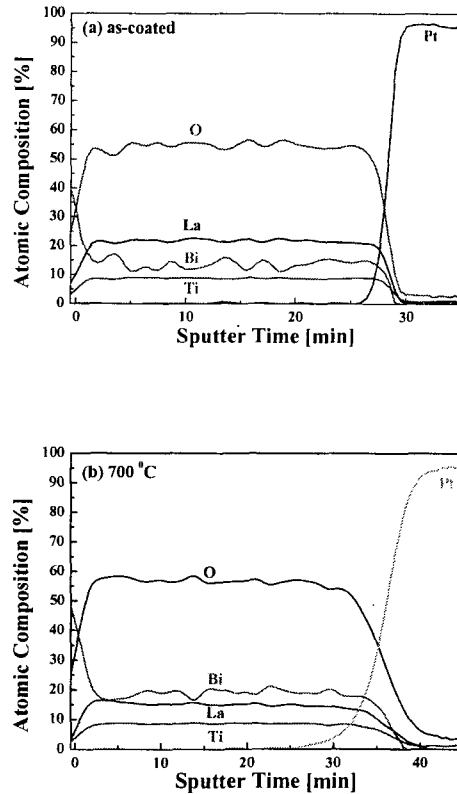


Fig. 2. AES depth profiles of the (a) as-coated BLT film and (b) the film annealed at 700°C.

이상의 온도에서 (117)면의 주 peak가 관찰되고 있으나 전체적으로 c축으로 우선 배향된 (00l) peak가 주로 나타나는 다결정 형태로 성장함을 알 수 있었다. (006) 회절피크의 FWHM (full width at half maximum) 값은 650°C에서 700°C로 열처리 온도를 증가시키에 따라서 약 0.38°에서 0.30°로 감소하였으며, 이는 결정성의 향상과 관련이 깊을 것으로 판단된다.

Fig. 2는 as-coated 박막과 700°C의 온도에서 열처리된 BLT 박막 시료에 대한 AES depth profiles을 보여준다. AES 분석을 통하여 as-coated 박막의 경우 BLT 박막내의 각 성분 원소들이 비교적 균일하게 분포되어 있으며, BLT 박막과 Pt 하부전극 사이에 뚜렷한 상호반응 없이 비교적 안정된 막을 형성하고 있음을 확인할 수 있었다. 그러나 700°C에서 열처리된 시료의 경우 Bi, Ti 성분과 Pt 전극층의 상호 계면 반응층이 관찰되고 있다. 또한 AES 분석결과 as-coated 시료를 열처리함에 따라 Bi 원소가 La에 비해 상대적인 성분비가 증가하는 결과를 보여주고 있다. 이러한 결과는 table 1의 EPMA 분석에서 확인된 700°C 온도에서 열처리한 경우 Bi 성분이 감소되는 경향과 일치하지 않고 있다. 즉 열처리에 따른 상반된 성분분석 결과에 대해 현재로서 그 원인을 정확히 밝힐 수는 없으나, BLT 박막이 전 면적에 걸쳐 균일하게 형성되지 않은 것으로 판단된다.

Fig. 3은 as-coated 박막과 650°C 및 700°C의 온도에서 열처리된 BLT 박막에 대한 FE-SEM 표면 형상을 보

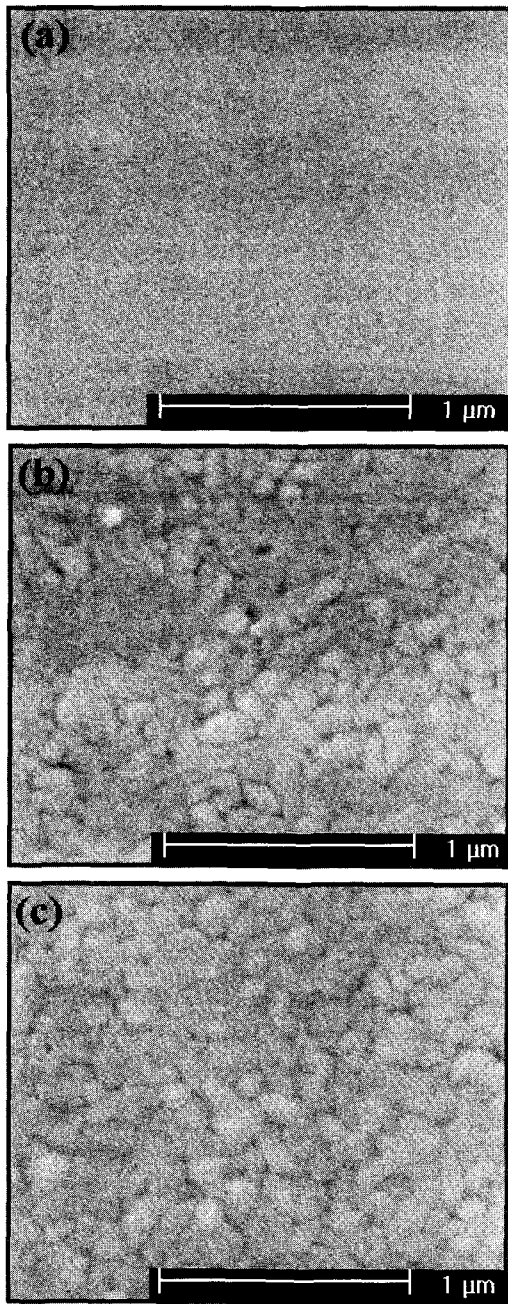


Fig. 3. SEM surfacial micrographs of the (a) as-coated BLT film and the films annealed at (b) 650°C and (c) 700°C.

여주고 있다. As-coated 박막은 비교적 매끈한 표면 형상을 나타내었다. 그러나 650°C의 온도에서 열처리된 BLT 박막은 약 130 nm의 결정립 크기 (grain size)를 갖는 알갱이 모양 (granular shapes)과 부분적으로 막대기 모양 (rectangular shapes)의 혼합된 결정립 형상을 나타내었다. 열처리 온도를 700°C로 증가시키기에 따라서 결정립의 크기가 증가하면서 알갱이 모양의 결정립만 주로 관찰되었다.

Fig. 4는 as-coated 박막과 700°C의 온도에서 열처리된 BLT 박막에 대한 FE-SEM 단면형상을 보여주고 있다. 열처리된 BLT 박막의 경우 박막두께가 약 2000 Å으로 확인되었다.

Fig. 5는 as-coated 박막과 650°C 및 700°C의 온도에

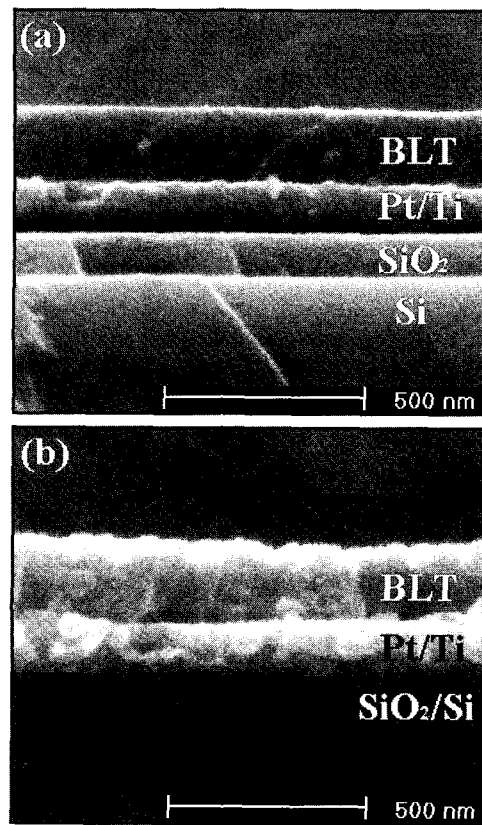


Fig. 4. FE-SEM cross-sectional micrographs of the (a) as-coated BLT film and (b) the sample annealed at 700°C.

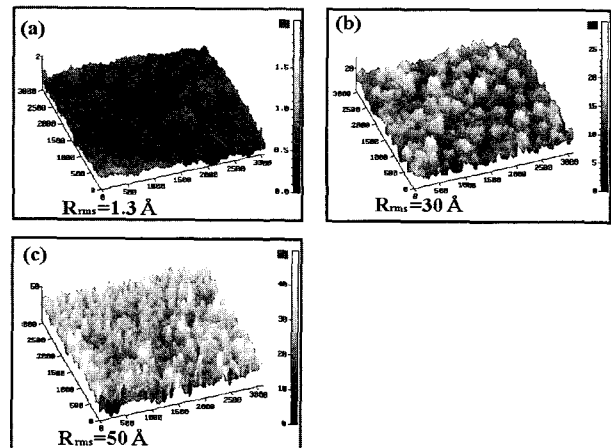


Fig. 5. AFM images of the (a) as-coated BLT film and the films annealed at (b) 650°C and (c) 700°C.

서 열처리된 BLT 박막에 대한 AFM 표면 형상을 보여주고 있다. AFM 표면 형상을 통하여 열처리 온도가 표면 거칠기에 영향을 미친다는 사실을 알 수 있었다. As-coated BLT 박막의 표면 거칠기를 나타내는 R_{rms}값은 1.3 Å으로 비교적 부드러운 표면을 나타내었다. 반면에 700°C의 온도로 열처리된 BLT 박막의 R_{rms}값은 50 Å으로 표면이 거칠어짐을 확인 할 수 있었다. 이러한 결과는 열처리 온도를 700°C로 증가시키기에 따라 결정립의 형상이 알갱이 (granular) 모양으로 변화되었으며 결정립의 크기가 다소 증가

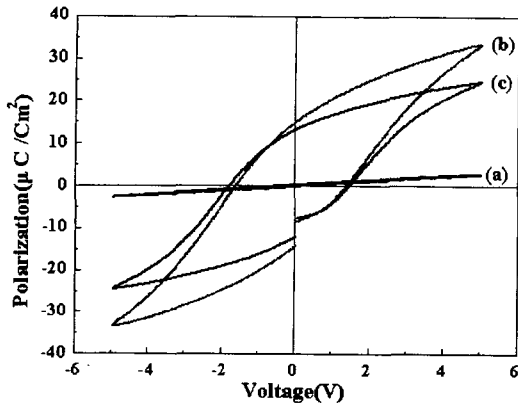


Fig. 6. P-E hysteresis loops of the (a) as-coated BLT film and the films annealed at (b) 650°C and (c) 700°C.

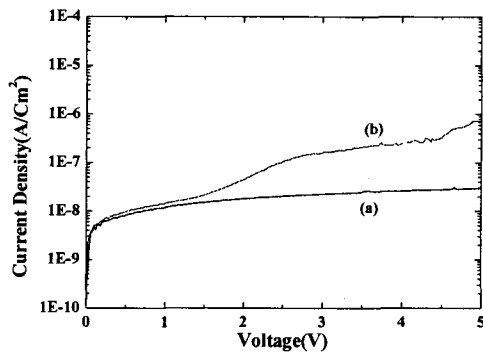


Fig. 7. Current-Voltage curves of the BLT films annealed at (a) 650°C and (b) 700°C as a function of the applied voltage.

하여 박막표면이 거칠어 지는 것으로 사료된다.

Fig. 6은 As-coated 박막과 650°C 및 700°C의 온도에서 열처리된 BLT 박막의 P-E 이력곡선을 나타내고 있다. As-coated된 박막의 경우 상유전체 이력특성을 나타내고 있으며, 열처리된 BLT 박막의 경우 강유전체에서 보여지는 전형적인 이력특성을 나타내고 있다. 잔류분극 (2Pr = Pr⁺ + Pr⁻)의 경우 모든 열처리된 박막시료에서 약 25.5 μC/cm²~29.3 μC/cm² 범위의 비교적 큰 잔류분극 값을 나타내었다. 또한 열처리 온도를 650°C에서 700°C로 증가 시킴에 따라서 항전계 (coercive field, E_c)는 5V의 인가 전압에서 73.6 KV/cm²에서 77.9 KV/cm²으로 증가하였다.

Fig. 7은 650°C 및 700°C의 온도로 열처리된 BLT 박막의 누설 전류 곡선이다. 3V의 인가전압에서 650°C의 온도로 열처리된 박막의 누설전류는 약 2.3×10⁻⁸ A/cm²이였으며, 700°C로 열처리된 박막의 경우 누설전류가 약 1.6×10⁻⁷ A/cm²으로 상승하였다. 이러한 열처리 온도의 증가에 따른 누설전류의 증가는 표면거칠기의 증가 또는 AES 분석에서 나타난바와 같이 Pt 하부전극과 BLT 박막 간의 conducting phase의 형성에 그 원인이 있을것으로 판단된다.

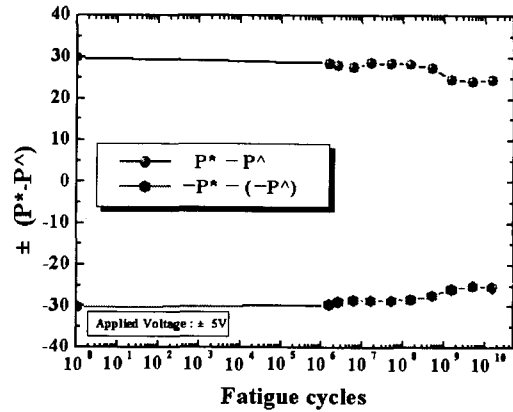


Fig. 8. The change of 2Pr [±(P* - P[^])] values of the annealed BLT film at 650°C as a function of polarization switching cycles.

Fig. 8은 BLT 박막시료의 피로특성을 알아보기 위하여 500 kHz의 주파수로 ±5V의 bipolar square wave를 인가하여 10¹⁰ cycle 까지 반복인가 하면서 잔류분극의 변화를 알아보았다. 650°C에서 열처리된 BLT 박막의 경우 10¹⁰ 스위칭 cycle 후에도 약 90% 이상의 잔류분극이 남아 있어 우수한 피로특성을 보여주고 있음을 확인하였다.

4. 결 론

Pt/Ti/SiO₂/Si 기판위에 졸-겔법으로 스펀코팅한 후, 650°C 및 700°C의 온도에서 열처리하여 (Bi,La)Ti₃O₁₂ (BLT) 박막을 제작하였다. 제작된 시료에 대해 결정학적, 전기적 특성을 조사한 결과 다음과 같은 결론을 얻었다.

BLT 박막을 650°C 이상으로 열처리함에 따라서 주로 c 축으로 우선 배향된 결정구조를 나타내었다. 열처리 온도를 증가시킴에 따라서 결정립 크기의 증가와 R_{rms} 값이 증가하여 박막표면이 거칠어 지는 경향을 보여주었다. P-E 이력곡선의 측정을 통하여 650°C의 온도로 열처리한 BLT 박막의 경우 잔류분극 (2Pr) 값이 약 29.3 μC/cm²으로 비교적 큰 값을 나타내었다. I-V 측정 결과 3V의 인가 전압에서 650°C에서 열처리된 시료의 경우 누설전류는 약 2.3×10⁻⁸ A/cm² 이었다. 열처리된 BLT 박막의 피로특성 측정을 통하여 10¹⁰ 스위칭 cycle 후에도 우수한 피로특성을 보여주었다.

감사의 글

이 논문은 한국과학재단의 (과제번호 : R05-2000-000-00248-0) 지원에 의하여 연구 되었음.

참 고 문 헌

1. B.A. Tuttle, Mater. Res. Bull. 12, 40 (1987).
2. J.F. Scott and C.A. Paz-de Araujo, Science 246, 1400 (1989).
3. Auciello, O. & Ramesh, R. MRS Bull. 21, 31 (1996).
4. B.M. Melnick, J. Gregory, & C.A. paz-de Araujo, Inter. Ferroelectric 11, 145 (1995).

5. T. Nakamura, Y. Nakao, A. Kamisawa, and H. Takasu, *Ferroelectrics* **11**, 161 (1995).
6. B.H. Park, B.S. Kang, S.D. Bu, T.W. Noh, J. Lee and W. Jo, *Nature*, **401**, 682 (1999).
7. T. Nakamura, Y. Nakao, A. Kamisawa and H. Takasu, *Jpn. J. Appl. Phys.* **33**, 5207 (1994).
8. T. Choi, Y. Kim and J. Lee, *J. Korean Phys. Soc.* **40**, 188 (2002).
9. C.A. Paz de Araujo, J.D. Cuchiaro, L.D. McMillan and M.C. Scott, *Nature*, **374**, 627 (1995).
10. Peir Y. Chu, Robert E. Jones, Jr, Peter Zurcher, Deborah J. Taylor, Bo Jiang, and Sherry J. Gillespie, *J. Mater. Res.* **11**, 1065 (1996).
11. M. Aoki, M. Mushiga, A. Itoh, T. Eshita, and Y. Arimoto, 1999 Sympo. VLSI Technol. Digest of Tech. Papers (Kyoto, June), **145** (1999).
12. M. Takashi, Y. Hiroyuki, W. Hitoshi and Carlos A. Paz de Araujo, *Jpn. J. Appl. Phys.* **34**, 5233 (1998).
13. K. Okamoto and E. Tokumitsu, *Appl. Phys. Lett.* **76**, 2609 (2000).
14. S.H. Hwang and H.J. Chang, *J. Korean Phys. Soc.* **41** (1), 139 (2002).