論文2002-39SD-7-1

나노 스케일 SOI MOSFET를 위한 소자설계 가이드라인

(Device Design Guideline for Nano-scale SOI MOSFETs)

李 在 基 *, 劉 宗 根 **, 朴 鍾 泰 **

(Jae Ki Lee, Chong Gun Yu, and Jong Tae Park)

요 약

본 연구에서는 나노 스케일 SOI 소자의 최적 설계를 위하여 multi-gate 구조인 Double 게이트, Triple 게이트, Quadruple 게이트 및 새로이 제안한 Pi 게이트 SOI 소자의 단채널 현상을 시뮬레이션을 통하여 분석하였다. 불순물 농도, 채널 폭, 실리콘 박막의 두께와 Pi 게이트를 위한 vertical gate extension 깊이 등을 변수로 하여 최적의 나노 스케일 SOI 소자를 설계하기 위한 가이드라인을 제공하였다. 연구 결과로부터 Pi 게이트 SOI 소자는 Double gate나 Triple gate 소자에 비해 단채널 특성 및 subthreshold 특성이 우수하므로 채널 불순물 농도, 채널 폭 및 실리콘 박막 두께 결정에 있어서 선택의 폭이 넓음을 알 수 있었다.

Abstract

For an optimum device design of nano-scale SOI devices, this paper describes the short channel effects of multi-gate structures SOI MOSFETs such as double gate, triple gate and quadruple gate, as well as a new proposed Pi gate using computer simulation. The simulation has been performed with different channel doping concentrations, channel widths, silicon film thickness, and vertical gate extension depths of Pi gate. From the simulation results, it is found that Pi gate devices have a large margin in determination of doping concentrations, channel widths and film thickness comparing to double and triple gate devices because Pi gate devices offer a better short channel effects.

Ⅰ. 서 론

소자의 크기가 나노 스케일로 축소되면서 하나의 게이트를 갖는 SOI MOSFET (Single Gate: SG)는 단채널 현상이 많이 일어나 집적회로 응용이 불가능하므로 Double gate(DG), Triple gate(TG) 및 Quadruple gate (QG 또는 Gate-All-Around, surrounding gate) 구조 등의 다양한 구조가 제안되고 있다.[1~5]

DG SOI 소자는 구동전류가 SG SOI에 비해 약 2배 정도로 크고 하층 게이트가 드레인 전계를 차단하므로 단채널 현상이 적게 일어나 최근에 많이 연구되고 있다. 그러나 공정 시 상층 게이트와 하층 게이트의 mis-alignment 문제와 나노 스케일로 소자로 축소되었을 때 여전히 큰 단채널 현상 때문에 새로운 소자구조 연구가 필요하다. DG 소자의 단점을 개선하기 위한 구조가 TG 또는 QG 소자인데 TG 소자는 SG 소자에 비해 구동전류가 약 3배 정도로 크며 공정이 간단한 장점이 있으나 나노 스케일 소자에서는 역시 단채널 현상이 무시할 수 없을 정도로 나타나며 특히 채널 폭이 큰

* 正會員, 嘉泉吉大學 電子通信科
(Dept of Electronic Communication, Gachongil College)
** 正會員, 仁川大學校 電子工學科
(Dept of Electronics Engineering, Univ. of Incheon)
※ 이 논문은 2001년도 한국학술진흥재단의 지원에 의하여 연구되었음(KRF-2001-041-E00172)
接受日字:2001年11月5日, 수정완료일:2002年4月8日

소자에서는 DG 소자보다 단채널 현상이 더 많이 일어난다. 일반적으로 나노 스케일 소자로 가장 이상적인 소자가 QG인데, QG는 SG에 비해 구동 전류가 약 4배 정도로 크고 단채널 현상도 적게 일어난다. 그러나 공정이 기존의 SOI 공정기술로 어려운 특별한 공정이 요구되므로 현실적으로 산업체에서 응용 가능성은 적다.

최근에 본 연구그룹에서는 드레인 구동 전류가 TG 소자보다 크고 나노 스케일 레벨에서 단채널 현상이 QG 소자와 유사할 정도로 적게 일어나며 공정이 간단하므로 기존의 SOI 기술로 산업체에서 실제 응용 가능한 새로운 Pi 게이트 SOI 소자를 제안한 바 있다.[6,7]

본 연구에서는 최적의 나노 스케일 SOI MOSFET를 설계를 위하여 DG, TG, QG, 및 Pi 게이트 소자를 대상으로 불순물 농도, 채널 폭, 실리콘 박막의 두께와 Pi 게이트를 위한 vertical gate extension 깊이 등을 변수로 하여 소자를 시뮬레이션 하였다. 그 결과로부터 문턱전압, DIBL, subthreshold 특성을 분석하여 나노 스케일 소자의 설계 가이드라인을 제공하였다.

II. Pi 게이트 소자 제안과 시뮬레이션

1. Pi 게이트 SOI MOSFET

그림 1은 기존의 DG, TG, QT 및 새로 제안한 Pi 게이트 SOI MOSFET의 소자 구조를 나타낸 것이다. DG, TG, QG SOI 소자 구조는 기존에 발표된 참고 문헌부터 자세한 정보를 얻을 수 있을 것이다. 본 연구그룹에서 제안한 Pi 게이트 소자는 기존의 TG 소자를 제작할 시 buried 산화층을 에칭 하므로 side 게이트가 buried 산화층 어느 깊이 까지 확장되도록 한 것이다. 이 때 게이트의 확장 길이를 d라고 정의하면 d=0인 Pi 게이트 소자가 TG소자와 구조가 동일하다. Pi 게이트 소자구조를 확대한 것이 그림 2이다. 이 소자에서 게이트 확장 깊이 d는 실리콘 박막 밑면 영역의 드레인 전계를 효과적으로 차단하는 역할 즉 하층 DG소자에서

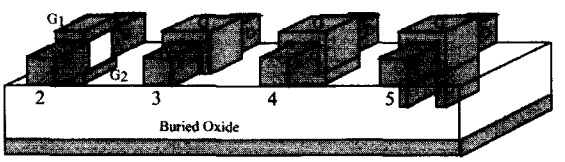


그림 1. Multi-gate 구조의 SOI MOSFET
Fig. 1. Multi-gate structure SOI MOSFETs.

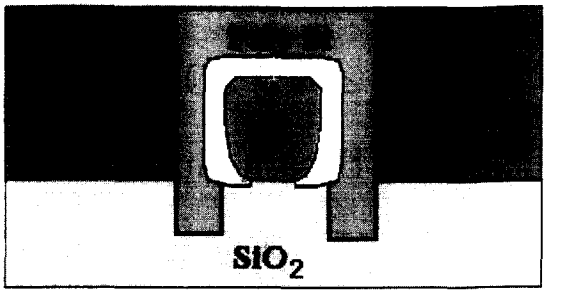


그림 2. Pi 게이트 SOI 소자의 단면도
Fig. 2. Cross section of Pi gate SOI device.

하층게이트와 같은 역할을 하게되어 결국 QG 소자와 유사하게 단채널 현상을 줄일 수 있게 된다. 이 현상은 소자의 채널 폭이 짧을수록 효과적일 것이므로 채널 폭이 좁은 Pi 게이트 소자는 QG 게이트 소자의 구동 전류와 단채널 특성이 유사하게 될 것이다.

2. 시뮬레이션

SOI 소자 시뮬레이션은 Silvaco사의 Device 3D ATLAS로 하였으며 게이트 산화층 두께는 3nm, 게이트 길이는 30nm, 채널 폭은 10-50nm, 실리콘 필름의 두께는 10-40nm, 채널의 불순물 농도는 1E17-1E18cm^{-3}으로 하였다. 그리고 buried 산화층 두께는 100nm 이며 실리콘 기판은 P형으로 저항이 20 cm 이다. Pi 게이트의 d는 5-55nm로 하였으며 모든 소자의 게이트는 일함수가 4.63eV인 텅스텐 게이트를 사용하였다.

III. 소자의 최적 설계 가이드라인

1. 불순물 농도

MOS 소자의 크기 축소로 인한 단채널 현상을 억제시키기 위하여 채널의 불순물 농도를 증가시키고 있다. 채널의 불순물 농도가 증가되면 문턱전압 근처에서도 표면 전계가 크게되어 채널의 수직방향으로 양자화 현상이 일어나게 된다. 게이트 길이 및 폭이 50nm, 산화층 두께가 3nm인 소자인 경우 채널 불순물 농도가 1E18cm^{-3} 이상에서는 양자화 현상을 고려한 모델과 고전적 모델로 문턱전압을 계산한 결과 수십 mV정도의 차이가 있는 것으로 보고되고 있다.[8]

본 연구에서는 문턱전압 계산을 위하여 고전적 모델을 이용하였으며 채널의 불순물 농도를 1E17-1E18cm^{-3} 하여 문턱전압 변화, subthreshold slope, 및 DIBL 특성

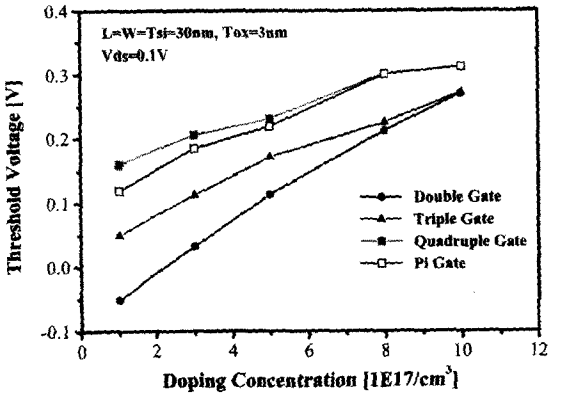


그림 3. 채널 불순물 농도에 따른 multi-gate SOI 소자의 문턱전압

Fig. 3. Threshold voltage of multi-gate SOI devices versus channel doping concentrations.

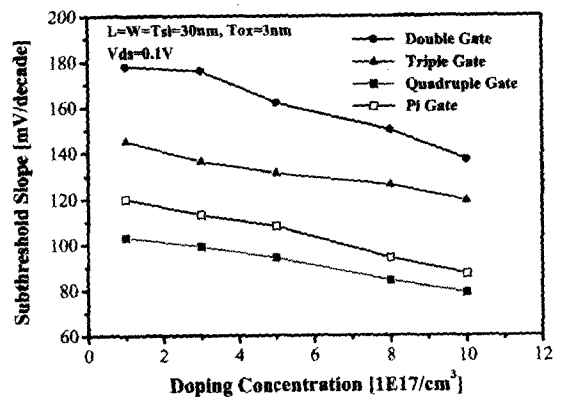


그림 4. 채널 불순물 농도에 따른 multi-gate SOI 소자의 subthreshold slope

Fig. 4. Subthreshold slope of multi-gate SOI devices versus channel doping concentrations.

을 각 게이트 구조에 따라 비교하였다. 그림 3은 채널의 불순물 농도에 따른 문턱전압의 변화를 나타낸 것이다. QG와 Pi 게이트 소자가 TG 및 DG 게이트 소자에 비해 문턱전압의 변화가 적었다. 채널 불순물 농도가 증가할수록 QG와 Pi 게이트 문턱전압이 같게되고 TG와 DG 게이트 소자의 문턱전압이 비슷해짐을 알 수 있다. 그림 4는 채널 불순물 농도에 따른 subthreshold 특성을 나타낸 것으로 Pi 게이트 소자의 subthreshold slope이 DG나 TG 게이트 소자보다는 작으나 QG 보다는 큰 것을 알 수 있다. 불순물 농도에 대한 subthreshold slope 의존성은 4종류의 소자에 대해 비슷함을 알 수 있으며 Pi 게이트 소자의 subthreshold slope을 80mV/decade로 하기 위해서는 불순물 농도가 1E18cm^{-3} 이상이 되어야 함을 알 수 있다. 그림 5는 불순물 농도에 따른 DIBL 특성을 나타낸 것이다. DIBL은 드레인 전압이 0.1V 일 때와 1.0V 일 때의 문턱전압 차이로 정의하였다. 불순물 농도가 증가할수록 DIBL 현상은 줄어들고 Pi 게이트인 경우 DIBL은 100mV 이하로 만들기 위해서는 불순물 농도가 1E18cm^{-3} 이상이 되어야함을 알 수 있다.

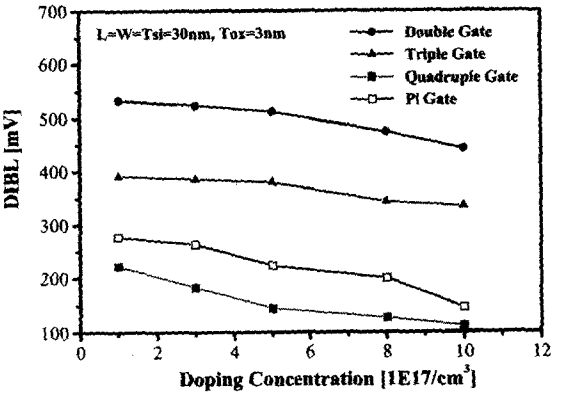


그림 5. 채널 불순물 농도에 따른 multi-gate SOI 소자의 DIBL 특성

Fig. 5. DIBL of multi-gate SOI devices versus channel doping concentrations.

그림 3과 4의 결과로부터 채널길이와 폭 및 실리콘 박막의 두께가 30nm이고 게이트 산화층 두께가 3nm인 Pi 게이트 소자인 경우 단채널 현상을 고려한 최적의 채널 불순물 농도는 1E18cm^{-3} 이상 되어야 한다.

2. 채널 폭

그림 6은 채널 불순물 농도가 8E17cm^{-3}인 multi-gate SOI 소자의 채널 폭에 따른 subthreshold slope를 나타낸 것으로 Pi 게이트 소자는 QG 소자와 비슷한 특성을 가지나 TG 소자는 채널 폭이 증가할수록 subthreshold 특성이 급격히 나빠짐을 볼 수 있다. 채널 폭이 약 35nm 이상에서는 DG 소자의 subthreshold 특성이 TG 소자보다 좋음을 알 수 있다. 그림 7은 채널 폭에 따른 DIBL 특성을 나타낸 것으로 QG와 DG 게이트 소자는 채널 폭 증가에 따라 DIBL 특성의 변화가 크지 않지만 TG와 Pi 게이트 소자는 DIBL 특성 변화가 큰 것을 알 수 있다. 이런 결과는 채널 폭이 큰 소자에서는 side 게이트가 단채널 현상을 억제하는데 크게 기여하지 못함을 보여주는 것이다. 채널 폭이 약 45nm 이상에서는 Pi 게이트의 DIBL 특성이 DG 게이

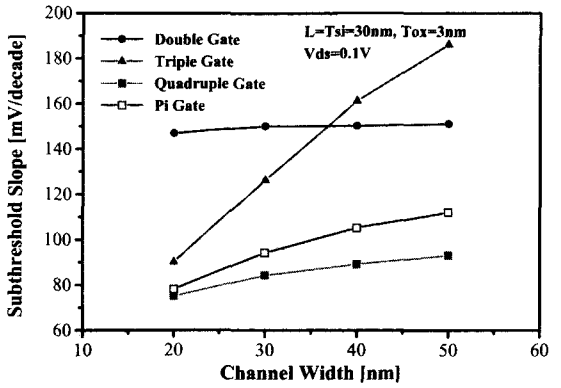


그림 6. 채널 폭에 따른 multi-gate SOI 소자의 sub-thresold slope

Fig. 6. Subthreshold slope of multi-gate SOI devices versus channel width.

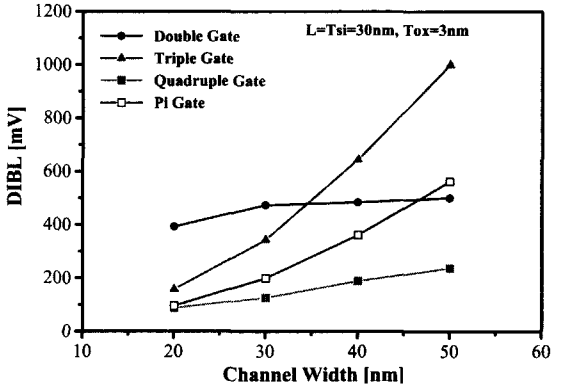


그림 7. 채널 폭에 따른 multi-gate SOI 소자의 DIBL 특성

Fig. 7. DIBL of multi-gate SOI devices versus channel width.

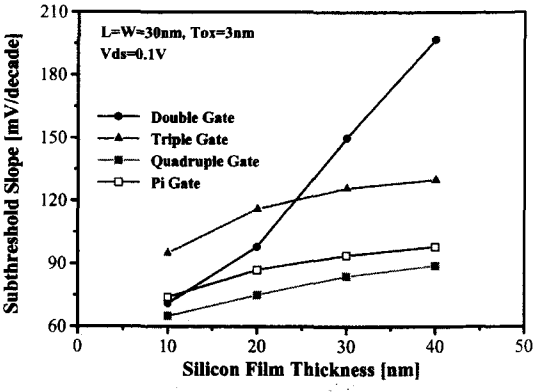


그림 8. 실리콘 박막 두께에 따른 multi-gate SOI 소자의 subthreshold slope

Fig. 8. Subthreshold slope of multi-gate SOI devices versus silicon film thickness.

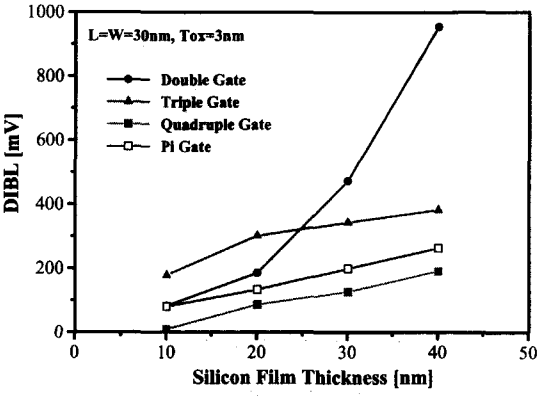


그림 9. 실리콘 박막 두께에 따른 multi-gate SOI 소자의 DIBL 특성

Fig. 9. DIBL of multi-gate SOI devices versus silicon film thickness.

트 보다 오히려 좋지 않음을 알 수 있다. Pi 게이트 소자를 이용한 RF 소자를 설계할 시는 이런 채널 폭에 관한 특성을 고려해야 최적의 소자를 설계할 수 있을 것이다.

그림 6과 7의 결과로부터 채널길이와 실리콘 박막의 두께가 30nm이고 산화층 두께가 3nm, 채널의 불순물 농도가 8E17cm^{-3}인 Pi 게이트 소자의 단채널 현상을 고려한 최적 채널 폭은 25nm임을 알 수 있다.

3. 실리콘 박막 두께

초 박막 실리콘을 사용하면 단채널 현상을 줄일 수 있으므로 게이트 길이가 수십 nm 소자인 경우 실리콘 박막의 두께를 수십nm 레벨로 축소하여 사용하고 있다.[9] 그림 8은 실리콘 박막 두께에 따른 subthreshold 특성을 나타낸 것으로 실리콘의 두께가 증가하면 subthreshold 특성이 나빠짐을 알 수 있다. 특히 TG 게이트 소자의 subthreshold 특성이 실리콘 두께 변화에 민감함을 알 수 있다. 실리콘 두께가 얇으면 상층과 하층 게이트에 의하여 실리콘 막의 전계를 잘 제어할 수 있으므로 subthreshold 특성이 좋게 되며 누설 전류도 또한 적게된다. 그림 8로부터 Pi게이트 소자의 subthreshold 특성은 QG 소자와 유사한 특성을 가지며 DG 보다는 훨씬 우수한 특성을 가짐을 알 수 있다. 그러므로 Pi 게이트를 사용하면 단채널 현상을 고려한 소자의 최적 설계 시 실리콘 박막의 두께 선택 폭이 넓어 지게된다. 그림 9는 실리콘 박막 두께에 따른 DIBL 특성을 나타낸 것으로 박막 두께가 얇아질수록

단채널 현상이 적게 일어남을 알 수 있다. 초 박막 두께에서는 volume inversion으로 QG와 Pi 게이트 소자의 DIBL 현상이 DG 게이트 소자보다 적음을 알 수 있다. 실리콘의 두께가 25nm 이상에서는 TG 게이트 소자의 DIBL 특성이 오히려 DG 게이트 소자보다 안 좋음을 알 수 있다.

그림 8과 그림 9로부터 채널 길이와 폭이 30nm, 산화층 두께가 3nm, 채널 불순물 농도가 8E17cm^{-3}인 Pi 게이트의 단채널 현상을 고려한 최적의 실리콘 박막의 두께는 약 15nm임을 알 수 있다.

4. Pi 게이트의 vertical extension 깊이

참고문헌 [6]에서 설명한 것처럼 Pi 게이트의 vertical extension은 드레인에서 나오는 전계를 효과적으로 차단하므로 단채널 현상을 크게 줄일 수 있다. 그림 10은 d에 따른 subthreshold slope를 나타낸 것으로 깊이가 깊을수록 S 가 작아짐을 알 수 있다. W=30nm 소자인 경우 d=20nm 이상에서는 S가 일정해 짐을 알 수 있다. 채널 폭이 클수록 d가 커져야 함을 알 수 있다. 즉 채널의 폭이 넓을수록 d를 크게 해야 드레인에서 나오는 전계를 효과적으로 차단할 수 있음을 보여준다. 그림 11은 d에 따른 DIBL 특성을 나타낸 것으로 이 역시 d가 증가할수록 DIBL 특성이 좋아짐을 알 수 있다. W=30nm 소자인 경우 d=20nm 이상에서는 DIBL이 더 이상 감소하지 않음을 볼 수 있다. 즉 채널 길이가 30nm, 실리콘 두께가 30nm, 산화층 두께가 3nm, 채널 폭이 30nm인 Pi 게이트 소자를 설계할 시 vertical extension 깊이를 20nm 이상으로 하므로 Pi 게이트의 단채널 현상을 줄일 수 있게 된다.

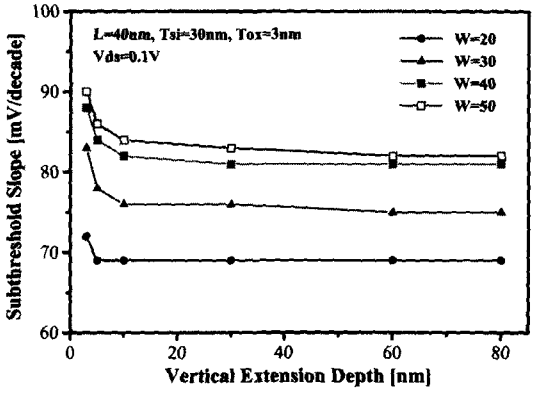


그림 10. 게이트 확장 길이에 따른 Pi 게이트 SOI 소자의 subthreshold slope

Fig. 10. Subthreshold slope of Pi gate SOI devices versus gate vertical extension depths.

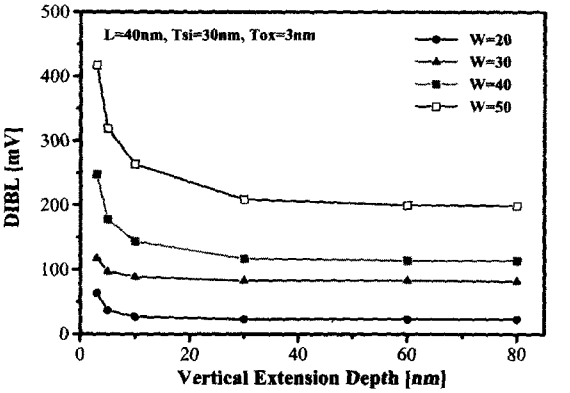


그림 11. 게이트 확장 길이에 따른 Pi 게이트 SOI 소자의 DIBL 특성.

Fig. 11. DIBL of Pi gate SOI devices versus gate vertical extension depths.

Ⅳ. 결 론

본 연구에서는 최적의 나노 스케일 SOI 소자 설계를 위하여 DG, TG, QG, 및 Pi 게이트 소자를 대상으로 불순물 농도, 채널 폭, 실리콘 박막의 두께와 Pi 게이트를 위한 vertical gate extension 깊이 등을 변수로 하여 소자 시뮬레이션을 하였다. 일정한 vertical gate extension 깊이를 갖는 Pi 게이트 소자의 단채널 특성이 QG 게이트 소자와 유사할 정도로 우수함을 알 수 있었다. QG 게이트 소자의 제작이 기존의 SOI 공정 기술로는 어려운 것을 감안하면 Pi 게이트 소자가 나노 스케일 SOI MOSFET로 가장 적합한 소자임을 알 수 있었다.

참 고 문 헌

[1] H. S. P. Wong, D. J. Frank and P. M. Salomen, "Device degsign considerations for double gate, ground-plane, and single-gate ultra-thin SOI MOSFETs at the 25nm channel length generation", Tech. Dig. of IEDM, pp. 98~101, 1998.

[2] J. P. Colinge, X. Baie, V. Bayot, E. Grivei, "A silicon-on-insulator quantum wire", Solid-State Electronics, Vol. 39, pp. 49~51, 1996.

[3] J. P. Colinge, M. H. Gao, A. Romano, H, Mase and C. Claeys, "Silicon-on-insulator gate-all-

around device", Tech. Dig. of IEDM, pp. 595~598, 1990.

[4] C. P. Auth and J. D. Plummer, "Scaling theory for cylindrical fully-depleted, surrounding-gate MOSFET's," IEEE Electron Device Lett. Vol. 18, pp. 74~76, 1997.

[5] D. Hisamoto, W. C. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, E. Anderson, T. J. King, J. Bokor, and C. Hu, "FinFET-a self-alinged double-gate MOSFET scalable to 20nm," IEEE Trans. Electron Device, Vol. 47, pp. 2320~2324, 2000.

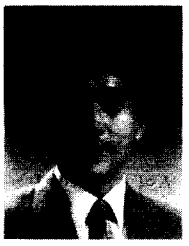
[6] Jong Tae park, J. P. Colinge, and C. H. Diaz, "Pi-gate SOI MOSFET," IEEE Electron Device Lett. Vol. 22, pp. 405~406, 2001.

[7] Jong Tae Park, C. A. colinge, and J. P. Colinge, "Comparison of gate structure for short-cahnnel SOI MOSFETs," Proc. IEEE SOI Conf. 2001.

[8] G. Chindalore, S. A. Hareland, S. Jallepalli, A. F. Tasch, C. M. Maziar, V. K. F. Chia, and S. Smith, "Experimental determination of threshold voltage shift due to quantum mechanical effects in MOS electron and hole inversion layers," IEEE Electron Device Lett. Vol. 18, pp. 206~208, 1997.

[9] E. Rauly, O. Potavin, F. Balestra, and C. Raynaud, "On the suthreshold swing and short channel effects in single and double gate deep submicron SOI-MOSFETs," Solid-State Electronics, Vol. 43, pp. 2033~2037, 1999.

저 자 소 개



李 在 基(正會員) 1987년 서울산업대학교 전자공학과 졸업(공학사), 1990년 인천대학교 대학원 전자공학과 졸업(공학석사), 1998년~현재 인천대학교 대학원 박사과정 재학중. 1992~현재 가천길대학 전자통신과 부교수

劉 宗 根(正會員) 第32卷 A編 第 1號 參照

朴 鍾 泰(正會員) 第34卷 D編 第 12號 參照