

論文2002-39SD-7-12

넓은 동작영역과 고속특성을 갖는 로그 증폭기의 설계

(Design of a wide dynamic range and high-speed logarithmic amplifier)

朴基元*, 宋敏圭*

(Ki-Won Park and Min-Kyu Song)

요약

본 논문은 레이더 시스템이나 위성 통신용으로 사용되어지는 LVA(Logarithmic Video Amplifier) 설계에 관한 내용이다. 제안된 LVA는 입력단, 증폭단, 그리고 출력단으로 나뉘어진다. 넓은 동작 영역과 고속 특성을 갖도록 새로운 직·병렬 구조를 제안하였으며 LVA와 전단인 Detector Diode와의 입력 범위 조절을 위하여 새로운 입력단을 설계하였다. 제안된 LVA는 1.5 um, 2-poly, 2-Metal, n-well, BiCMOS, 공정을 사용하였으며, 유효 칩 면적은 1310 um x 1540 um 고 10V 전압에서 190 mW의 전력 소모를 나타내었다. 모의 실험 및 측정을 통하여 60 dB의 동작영역과 100 ns의 falling time을 나타내었다.

Abstract

In this paper, a Logarithmic Video Amplifier(LVA) for radar system or satellite communications is described. The proposed LVA is composed of a input stage, amplification stage, and output stage. As well as a novel series-parallel architecture is proposed for the purpose of wide dynamic range and high speed operation, a newly developed input stage is designed in order to control the voltage level between LVA and detector diode. The LVA is fabricated with a 1.5um 2-poly 2-metal n-well Bi-CMOS technology, and the chip area is 1310 um x 1540 um. From the experimental results, it consumes 190 mW at 10V power supply. the chip has 60 dB dynamic range and 100ns falling time.

1. 서론

일반적으로, 증폭기의 종류에는 고 이득 증폭기, 광대역 증폭기 그리고 저 잡음 증폭기 등이 있으며, 사용 분야에 따라서는 중요시하는 부분이 있다. 레이더 시스템이나 이동 통신 분야에서 사용되는 증폭기의 경우, 증폭기의 성능 중에 넓은 동작영역(wide dynamic range)을 가지고 있어야한다. 특히, 레이더 시스템 분야에서는 송신 단에서 보내진 신호가 원거리에는 목표물과의 충돌에 의해 반사된 신호를 검출하여 속도,

거리, 위치 등을 분석하는 일을 수행해야하므로 아주 민감한 수신 시스템을 갖춰야 한다^[1]. 또한 신호의 크기에 있어서도 아주 넓은 동작영역을 갖고 있어야 하기 때문에, 이를 검색하고 복원시켜주는데 사용되는 증폭기도 모든 신호를 검출할 수 있는 넓은 동작 영역 및 선형적인 특성을 가져야 한다. 이러한 특성을 보이는 logarithmic amplifier에는 사용 용도에 따라 크게 Logarithmic IF Amplifier(LIFA)와 Detection Logarithmic Video Amplifier(DLVA)의 형태를 가지고 있다.^[2] LIFA는 주파수 대역이 2GHz이하로 제한되나, 넓은 동작영역(80dB 이상)의 특성을 갖는 반면 DLVA는 동작영역은 50dB 이하이지만 주파수대가 18GHz이상이며, 주파수 대역폭도 15 GHz 이상인 장점을 가지고 있다.^[3-6] 본 논문에서는 이러한 특성을 가지는

* 正會員, 東國大學校 半導體科學科

(Dongguk University, Department of semiconductor)

接受日字: 2001年6月18日, 수정완료일: 2002年4월12일

DLVA형태를 이용하여 우수한 주파수성능을 유지하면서 넓은 동작영역을 갖는 LVA의 설계를 위하여 기존의 방식을 통합한 새로운 직·병렬 구조를 제안하였으며 제 II장에서는 기존의 구조의 장·단점을 비교하고 제 III장에서는 LVA 전체구조 및 제안하는 회로를, 제 IV장에서는 모의실험 결과를 제 V장에서는 chip implementation과 측정결과를 통해 회로의 성능을 확인하였다. 마지막으로 제 VI장에서는 결론에 대하여 서술하였다.

II. LVA의 구조

LVA는 기본적으로 입력 신호에 대한 출력 특성 곡선이 $\log(x)$ 함수의 형태를 가지는 증폭기이다. 이를 다시 표현하면 $\log(x)$ 의 입력신호에 대해 선형적이 출력 특성을 보인다. 이를 구현하기 위하여 현재 사용하고 있는 LVA는 그 형태에 따라 증폭기를 직렬 형태로 사용하는 Linear limiting LVA(LL_LVA)와 병렬 형태로 사용하는 Parallel Summation LVA(PS_LVA)로 나눌 수 있다. LL_LVA는 같은 특성을 나타내는 증폭기를 직렬로 연결하여 증폭기의 출력이 limiting(포화)되는 것을 이용하여 구현한 형태이다. 입력신호가 포화되기 전까지의 입력 신호는 증폭기의 증폭 특성을 나타내며 그 이상의 입력 범위에서는 limiting 된다. 한번 limiting 된 출력신호는 다음 증폭기를 지나더라도 그 값은 변화를 보이지 않고 계속 limiting 된 값을 출력하게 된다. 이렇게 각 증폭기의 출력에서 얻어진 출력 신호들을 하나로 summing(합)하면 전체적으로는 입력 신호에 대해서 $\log(x)$ 함수로 출력이 표현된다. 이러한 형태는 가장 간단히 LVA를 구현하는 방법이다. 이렇게 구현된 LL_LVA는 쉽게 넓은 동작영역을 구현할 수 있는 장점을 가지고 있으나 전 단의 입력이 다음 단을 구동하기 때문에 전체적인 응답시간이 길어진다는 단점을 보이고 있다. 또한 공정상의 문제로 인하여 off-set이 조금만 벗어나도 다음 단에서는 이를 증폭하기 때문에 전체적으로는 off-set에 매우 민감한 구조를 가지고 있다. 이는 매우 작은 입력 전압을 처리해야 하는 LVA의 특성상 매우 큰 단점으로 작용한다. 그림 1.에서는 이러한 LL_LVA의 특성을 예를 들어 설명하였다. 우선 일정한 이득을 가진 증폭기 4단을 직렬로 연결하여 사용하였으며 입력에 대한 각 단의 출력 값과 이를 summing한 값을 표시하였다. 사용된 증폭기는

eL/Av 의 입력 전압에서 eL 이라는 전압으로 limiting 된다. 그림 1.에서 진하게 표시된 부분은 각 단의 출력 값을 summing할 때 입력 값을 함께 더한 결과를 표시하였다. 이렇게 입력 값을 더한 이유는 보다 넓은 동작영역을 구현하기 위함이다. 그림 2.는 증폭기 4단을 연결한 그림 1.에서의 LL_LVA 입·출력 특성을 그래프로 나타낸 그림이다. 그림 2.에서 예로 사용한 증폭기의 특성은 이득이 10이고 limiting 될 때의 출력 값인 eL 은 1이다. 앞에서 설명한 것과 같이 입력을 합하였을 경우 동작영역은 증가함을 알 수 있다.

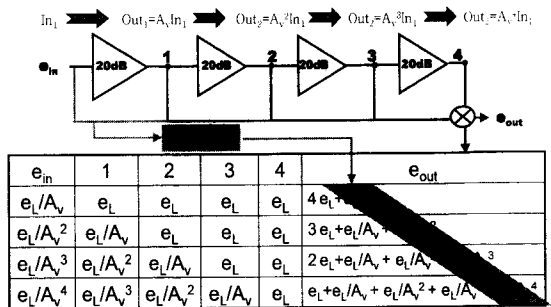


그림 1. LL_LVA 구조 및 입·출력 비교
Fig. 1. Character of LL_LVA & Comparison between input and output.

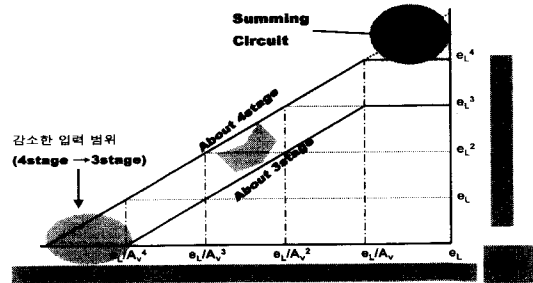


그림 2. LL_LVA의 입력에 따른 출력 특성 곡선
Fig. 2. Character curve to input of LL_LVA.

두 번째 형태인 PS_LVA는 입력 신호를 여러 단의 증폭기에 동시에 인가하여 그 값을 summing하는 형태를 가지고 있다. 입력 신호를 여러 단의 증폭기에 동시에 인가하므로 LL_LVA의 단점인 응답 시간을 현저히 줄일 수 있다. 그림 3.은 PL_LVA의 구조와 그 입·출력 값을 표시하였다. 그림 3.에서도 알 수 있듯이 PS_LVA를 사용하여 LL_LVA의 특성 곡선을 만족하려면 보다 많은 증폭기를 필요로 하고 또한 매우 작은 입력(그림에서 오른쪽)을 처리하려면 증폭기를 직렬로

여러 단을 연결해야하는 문제가 생긴다. 이러한 단점에도 불구하고 PS_LVA의 큰 장점은 어느 정도의 입력 범위 안에서는 입력을 동시에 처리하기 때문에 그 응답시간이 빠르다는 점에 있다. 이는 연속적으로 들어오는 입력 신호에 대하여 보다 빠른 응답시간을 얻을 수 있다는 장점을 가지고 있다. 표 1.에서는 LL_LVA와 PS_LVA의 장·단점을 비교하였다. 이번 논문에서는 현재 사용되어지고 있는 두 가지 형태인 LL_LVA와 PS_LVA가 가지고 있는 장·단점을 보완하기 위하여 두 형태를 비교 분석하여 새로운 구조를 가지는 LVA를 제안하였으며 그 결과를 측정하였다.

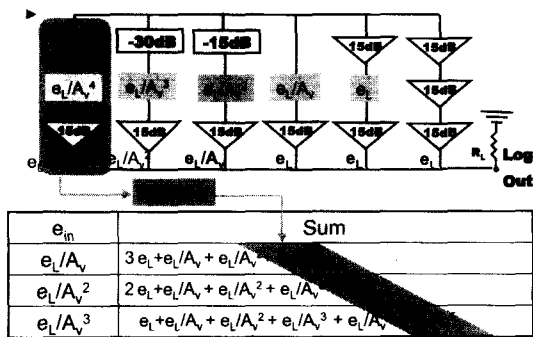


그림 3. PL_LVA의 구조 및 입·출력 비교
Fig. 3. Diagram of PS_LVA & Comparison between input & output.

표 1. LL_LVA 와 PS_LVA의 장·단점 비교
Table 1. Comparison between LL_LVA and PS_LVA.

	LL_LVA	PS_LVA
장점	안정성(능동소자로구성) 넓은 동작영역	응답 시간이 짧다. off-set에 둔감 간단한 구조
단점	off-set에 민감 응답 시간이 길다 복잡한 구조	짧은 동작영역 불안정(저항의 사용)

III. 전체 구조 및 제안하는 회로

그림 4.에 본 회로의 전체적인 block diagram을 나타내었다. LVA는 크게 3단으로 나눌 수 있다. 입력단과 log stage, 그리고 출력단 이다. 우선 입력단은 LVA의 앞 단인 detector diode와 log stage와의 동작 영역의 차이를 보완해주는 역할을 한다. 이 input stage를 지

난 신호는 log stage에서 $\log(x)$ 의 함수 형태의 특성 곡선을 나타나게 된다. 이 log stage는 기존의 구조인 LL_LVA와 PS_LVA의 구조의 단점을 보완하는 형태를 취하고 있다. 기본 형태는 PS_LVA의 구조이며 이는 보다 빠른 응답시간을 필요로 하기 때문이다. 이에 PS_LVA의 단점이 되는 낮은 입력전압을 처리하기 위해서 입력신호와 직렬형태를 취하는 이득이 다른 증폭기를 한 단 삽입하였다. 이 증폭기에 의하여 보다 낮은 전압에서도 사용 가능한 LVA를 설계하였다. 전체적인 log stage는 다시 3부분으로 나뉘어지는데 입력신호의 범위를 나누어주는 입력 input variation stage 와 그 신호를 증폭시켜주는 gain stage, 입력신호의 범위를 넓혀주는 Lin-Limit Amp(LLA)로 구성되어 있다. output stage는 log stage에서 출력된 각각의 출력을 summing하여 전체적인 출력 범위를 조절해 주는 역할을 한다. 본 논문에서는 서론에서도 언급하였듯이 2가지 구조의 장점을 살리기 위하여 직·병렬 구조를 사용하였으며 입력단을 추가하여 LVA와 그 전 단과의 오차를 줄이는 구조를 사용하였다.

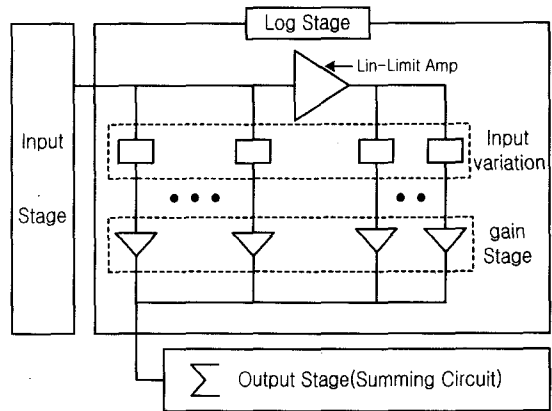


그림 4. 제안하는 LVA의 전체 구조
Fig. 4. Block diagram of proposed LVA.

1. 입력단(input stage)

input stage는 LVA의 앞 단인 detector diode와 log stage와의 동작 영역의 차이를 보완해주는 역할을 한다. detector diode는 여러 종류가 있으며 이 특성 곡선은 조금씩 다르다. 우선 현재 DLVA(Detector LVA)에 사용되어지는 diode의 특성 곡선을 측정한 결과를 그림 5.에 표시하였다. 그림 5.에서 볼 수 있듯이 diode 선형 영역이 10 dBm 정도이고 이때의 출력 값은 30 mV 에

서 200 mV로 약 15 dB 정도이다. 따라서 LVA가 매우 넓은 입력 전압에서 동작해도 Diode의 출력을 사용하면 LVA의 동작영역을 다 사용할 수가 없다. 따라서 이를 보완해 주는 회로가 필수적이다. 본 논문에 사용된 input stage는 diode에서 나오는 출력의 동작영역을 넓히는 방법은 사용되지 않았으며 단지 30 mV에서 200 mV인 입력신호를 증폭기의 저항비를 사용하여 그 범위를 조절하여 log stage에 detector diode의 영향을 줄일 수 있는 구조로 설계되었다.

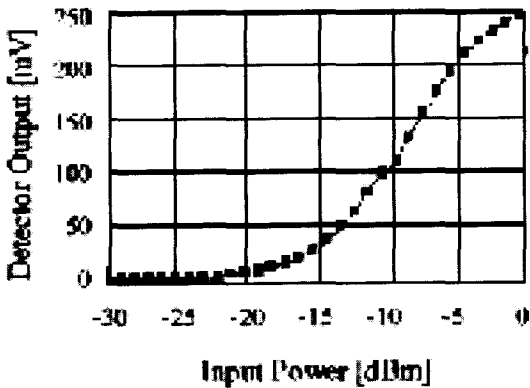


그림 5. Diode의 입.출력 특성곡선
Fig. 5. Character curve to input · output of Diode.

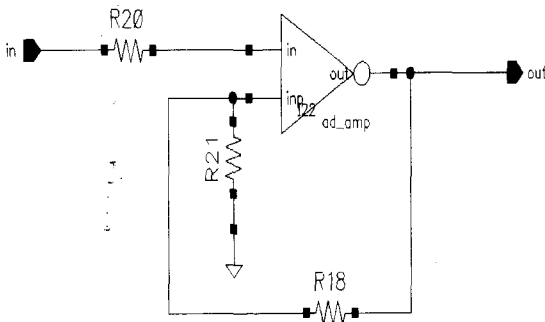


그림 6. 본 논문에 사용된 입력단의 회로
Fig. 6. Circuit of designed Input stage.

2. Log stage

log stage는 실질적인 LVA의 특성을 나타내는 부분이다. 본 논문에서는 LL_LVA의 장점과 PS_LVA의 장점을 살리기 위하여 두 가지 형태의 LVA의 구조를 사용하여 구현하였다. 기본적인 구조는 PS_LVA 형태를 취하고 있다. 그리고 PS_LVA에서 구현하기 힘든 낮은 입력전압은 30 dB 증폭기를 사용하여 증폭기 다음 단

에서 처리하는 구조를 가지고 있다. 새롭게 제안된 구조는 30 dB 증폭기를 중심으로 앞부분과 뒷부분의 2단의 PS_LVA를 사용한 것과 같으며 전체적으로는 이 두 단의 PS_LVA와 30 dB 증폭기를 직렬로 연결한 3단의 LL_LVA 구조로 볼 수 있다. log stage에서 사용한 증폭기는 7단을 사용하여 구현하였다. 증폭기 5단만으로도 충분한 dynamic range를 만족하지만 이때의 log error는 약 1 dB 정도이며 이를 줄이기 위하여 2단을 더 사용하였으며 이때의 log error는 0.5 dB 이하로 나타났다. 실제로 구현된 log stage의 Block Diagram은 그림 7에 나타내었다. 30 dB 증폭기는 입력전압이 큰 앞단과 입력 전압이 작은 뒷 단을 서로 이어주는 역할을 수행하며 이 두 부분의 선형성을 유지하기 위해서는 30 dB 증폭기의 이득을 잘 조절해야 한다. 증폭기의 입력에 들어가는 입력범위를 분배하기 위하여 저항열을 사용하였다. 적절히 조절된 저항열을 증폭기의 앞단에 사용하면 증폭기의 입력 범위는 저항을 지나면서 서로 다른 범위로 나뉘어지고 이렇게 나뉘어진 값들은

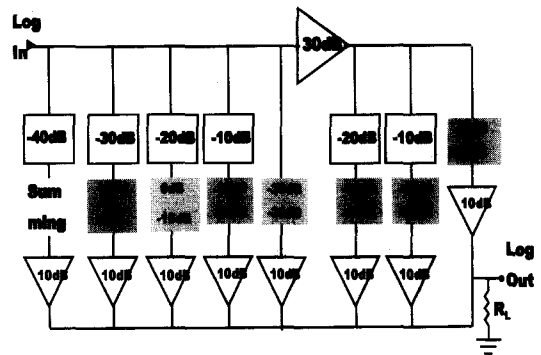


그림 7. 실제 설계된 Log stage의 Block Diagram
Fig. 7. Block diagram of designed Log stage.

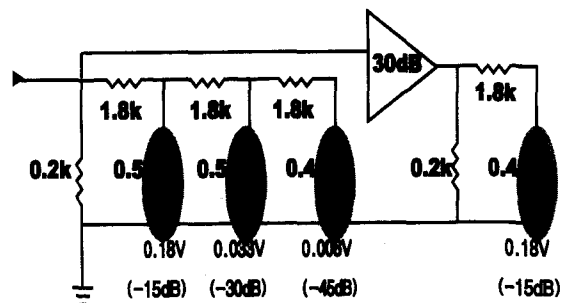


그림 8. 저항을 통한 입력 전압의 분배
Fig. 8. Division of input voltage under resistor.

증폭기를 통하여 일정부분 증폭이 된다. 그림 7에서의 경우 입력은 0에서 -40 dB까지 각각 10 dB씩 감소하여 인가되고 이 인가된 값은 다시 10 dB 증폭기를 통하여 증폭된 후 최종 summing된다. 그림 8에서는 입력 전압이 1 V일 경우 저항을 통하여 분배되는 과정을 보여주고 있다.

3. 출력단(Output stage)

일반적으로 LVA의 output stage에는 I-V 변환기를 사용한다. 전압을 summing하기보다는 전류를 summing하기가 쉽고 설계하기도 편리하기 때문이다. 가장 간단한 I-V변환기는 각 노드를 연결하고 저항을 사용하여 전압으로 바꾸는 형태이다. 그러나 저항으로 구현된 summing circuit은 저항값에 의한 출력값의 변화를 야기할 수도 있으며 Load에 의한 off_set 및 DC level의 변화를 동반하게 된다. 이러한 현상들을 줄이기 위하여 이번 설계에는 common base transistor(Q1) 와 emitter follower transistor(Q2)를 사용하여 output stage를 구성하였으며 RL은 각 단의 증폭기의 collector 저항으로 사용하여 이를 조절함으로써 특성곡선을 조절할 수 있다. load에서의 DC couple을 위한 DC-level shifting stage를 사용하여 구현하였다.

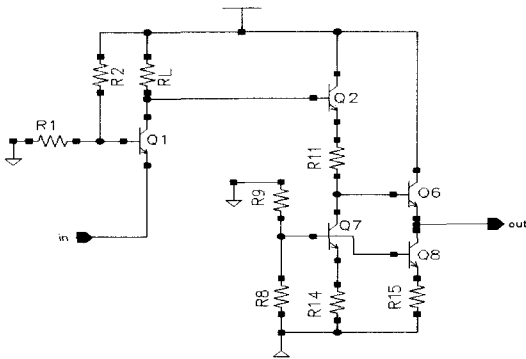


그림 9. DC Level Shifting Output Stage.
Fig. 9. DC Level shifting Output Stage.

IV. 모의 실험 결과

설계된 LVA의 동작여부를 확인하기 위하여 그림 10과 그림 11에 전체 chip에 대한 모의 실험 결과를 보여주고 있다. LVA성능을 나타내는 parameter들은 여러 가지가 있으나 그림 10과 그림 11에서는 중요한 성능 지수인 dynamic range 와 time response에서의 falling

time에 대한 모의 실험 결과를 나타내었다. 그림 10은 입력을 0 mV에서 5 V까지 선형적으로 증가하는 입력 전압을 인가하였을 경우 LVA 전체에 대한 출력 전압을 보여주고 있다. 이때의 x축은 log scale로 표현하였다. 입력 전압이 약 5 mV에서 5V구간에서 출력 전압이 선형적으로 증가하는 것을 볼 수 있으며 이를 dB로 환산하면 -46 dB~14 dB로 약 60 dB정도의 dynamic range를 보이고 있다. 또한 그림 11은 LVA의 시간 응답 곡선을 보여주고 있다. 그림 11의 주기는 실제 시간 응답이 아닌 time response를 나타내며 중요 포인트는 rising time과 falling time이다. 각각의 차동 입력에 대해 LVA의 특성을 보이며 falling time은 펄스 크기의 약 90%에 해당하는 값을 나타내었으며 그 크기는 약 50 ns를 보이고 있다. LVA는 그 구조적 특성상 rising time은 매우 빠르지만 Charge가 방전되는 시간이 길어 falling time이 느린 현상을 보인다. 이로 인하여 다음 Pulse의 입력 전에 data를 처리해야 하는 시간이 그에 비례하여 줄어든다. 이는 매우 큰 장애 요소로 이

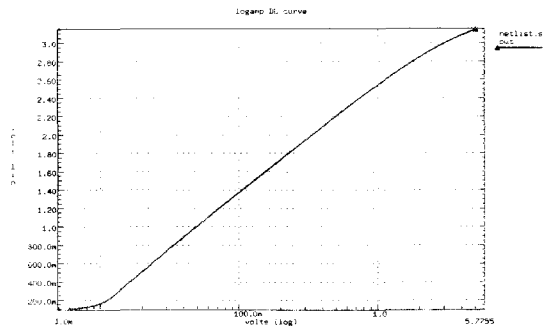


그림 10. LVA DC 특성 곡선
Fig. 10. DC character curve of LVA.

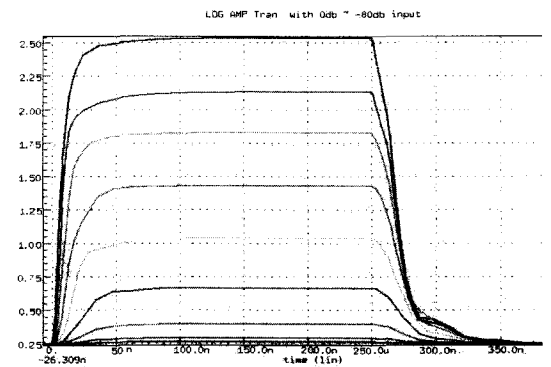


그림 11. LVA의 Pulse 응답 곡선
Fig. 11. Pulse transient curve of LVA.

를 높이는 일은 매우 중요하다. 이번에 제안된 회로는 같은 공정으로 설계된 LL_LVA보다 30%이상의 falling time 단축효과를 볼 수 있었다.

V. Chip Implementation 및 측정결과

1. Chip Implementation

그림 12, 13은 제작된 LVA의 full layout 과 Chip 사진이다. 그림 12의 layout 사진을 보면 test를 위하여 우측 상단에 30 dB 증폭기를 별도로 구현하였으며 log stage만의 특성과 입력단을 포함한 전체 LVA의 특성을 비교하기 위하여 2종류의 LVA를 chip으로 제작하 진을 보여주고 있다 LVA core의 전체 size는 power

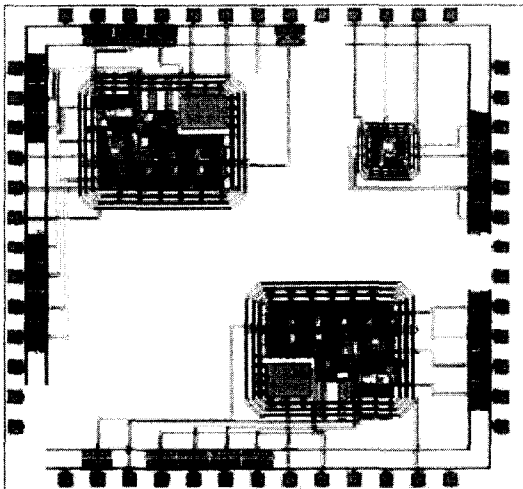


그림 12. 설계된 LVA의 Full Layout
Fig. 12. Full layout of designed LVA.

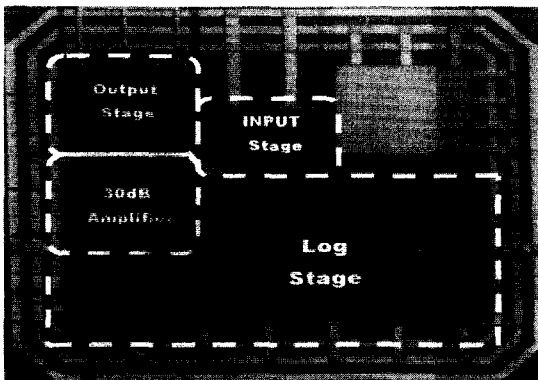


그림 13. 제작된 LVA의 Chip 사진
Fig. 13. Chip photographic of designed LVA.

였다. 그림 13은 제작된 Chip에서 LVA 만을 찍은 사 guardring 을 포함하여 약 1310 μm × 1540 μm이며 chip 은 1.5μm 2-poly 2-metal N-well BiCMOS 공정으로 제작되었다.

2. Chip 측정결과

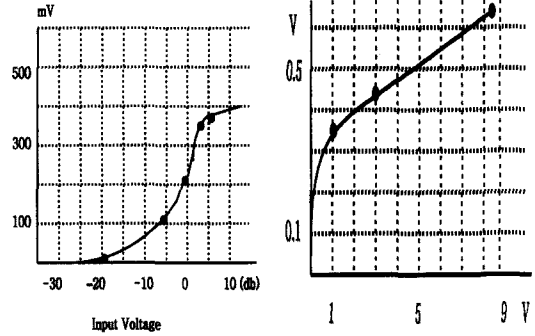


그림 14. 입력단과 LVA의 DC 특성 곡선
Fig. 14. DC character curve of input stage & LVA.

그림 14는 측정된 입력단(input stage)과 LVA의 DC 특성 곡선을 보여주고 있다. 우선 왼쪽의 입력단의 결과를 살펴보면 diode의 특성 곡선과 비슷하고 그 출력 값이 증가하여 log stage의 동작 전압을 구현할 수 있음을 알 수 있다.

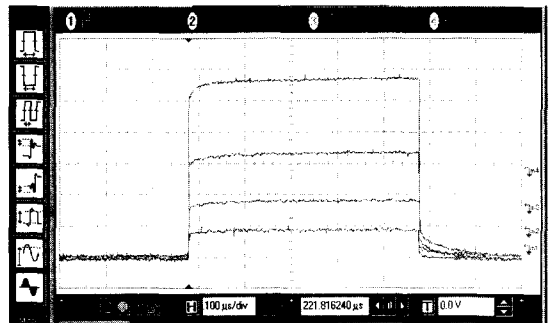


그림 15. LVA의 Pulse응답 곡선
Fig. 15. Measured pulse transient curve of LVA.

표 2. simulation과 측정의 결과 비교 및 분석
Table 2. Comparison between simulation result & measurement result.

	simulation	측정결과	비고
dynamic range	60 dB	60 dB	pcb기판의 noise, layout의 pad등
rising time	30 ns	45 ns	에서의 delay가
falling time	70 ns	100 ns	원인으로 작용

그림 14의 오른쪽 그림은 LVA의 DC특성 곡선 측정 결과로써 입력에 대하여 $\log(x)$ 적으로 출력이 증가함을 알 수 있다. 그림 15에서는 LVA에 0.5 V, 1.5 V, 3 V, 5 V의 pulse를 인가하였을 경우의 결과이다. 이때 falling time을 측정하며 5 V에서 약 100 ns의 결과를 얻었다. 지금까지의 측정결과와 simulation 결과를 비교한 것을 표 2에 나타내었다.

표 2를 통해 simulation 결과와 측정결과를 비교했을 때 time response에서 약간의 차이가 생겼는데 이것은 측정상에서의 부정합에 의한 것이다. [비교참조]

VI. 결 론

논문에서는 1.5 μm 2-poly 2-metal N-well BiCMOS 공정을 사용하여 LVA를 설계하였다. 실제 사용되어지고 있는 LVA의 형태에 따른 동작특성을 분석하였으며 분석된 결과를 이용하여 새로운 직·병렬 구조를 채택한 LVA구조를 제안하였다. 설계된 LVA는 높은 응답 시간과 넓은 동작영역을 유지하기 위하여 LL_LVA와 PS_LVA의 구조를 혼합한 형태를 사용하였으며 LVA의 전 단과의 matching을 위하여 입력단을 설계하였다.

표 3. 다른 회로와의 성능 비교

Table 3. Comparison of performance with other circuit.

	본 논문 회로	LI7C	AD 604 [7]
구조	직, 병렬 혼합	PS_LVA (병렬구조)	LL_LVA (직렬구조)
dynamic range	60 dB	40 dB	70~80 dB
time response	100 ns	120 ns	380~400 ns
비 고	전체적 우수	time response 우수	Dynamic range 우수

또한 펄스 응답시간을 고려한 DC level shifting output stage를 구현하였다. Full Chip 모의실험 결과와 제작 완료된 chip의 측정을 통하여 설계된 LVA는 60 dB의 dynamic range와 80 ns의 falling time을 나타내어 같은 공정을 사용하여 구현된 기존의 구조보다 빠른 응답시간을 나타냄을 확인 할 수 있었다. 기존 설계회로와의 비교가 표 3에 나타나 있다.

참 고 문 헌

- [1] David M. Pozar, "Microwave Engineering", Addison-Wesley, Inc, pp. 679~688, 1990.
- [2] 황치진, "Radar용 IF Successive Detection Logarithmic Amplifier의 설계 및 구현에 관한 연구" pp. 1~3, 1997
- [3] R. S. Hughes "Logarithmic Amplification with Application to Radar and EW", Artech House, 1986.
- [4] N. Scheinberg and R. Michels, "A Monolithic GaAs Low Power L-Band Successive Detection Logarithmic Amplifier", IEEE Journal of Solid-State Circuit., Vol 29, pp. 151~154, Feb. 1994.
- [5] MA-COM Inc, Logarithmic IF Amplifiers., MA-COM Inc, Application527, pp 2~134~2~137, 1994.
- [6] Stephen E. Lipsky, "Log Amps Improve Wideband Direction Finding", Microwaves, pp. 58~65, May 1973.
- [7] <http://www.analog.com>.

저 자 소 개



朴基元(正會員)
 동국대학교 반도체과학과 학사(2000년), 석사(2002년). '02년 - 현재 삼성전자 Device Solution Network 총괄 MEMORY사업부 DRAM 3팀, 연구원. 관심 분야는 CMOS Analog 회로설계 (logarithmic

amplifier, PLL, DLL 등)



宋敏圭(終身會員)
 서울대학교 전자공학과 학사('86년), 석사('88년), 박사('93년). '93년-'94년 일본 동경 대학교 전자공학과 초빙연구원, '95년-'96년 삼성전자 ASIC 설계팀 선임연구원, '97년-

현재 동국대학교 반도체과학과 조교수, 주관심 분야는 CMOS 혼성모드 회로설계, 저전력 집적시스템설계