

論文2002-39SD-11-1

# High Speed DRAM의 Speed 특성 향상을 위한 EDS Laser\_Repair Condition 최적화 방안 연구

(A Study about Optimization of Laser\_repair Condition in  
EDS Area to Improve the Speed Parameter of High  
Speed DRAM)

金 二 順 \* , 韓 永 信 \*\* 李 七 基 \*\*\*

(Li-soon Kim, Young-Shin Han, and Chil-Gee Lee)

## 요 약

본 논문에서는 High speed DRAM의 speed 특성을 향상시키기 위한 Laser\_Repair Condition 최적화의 한 방안을 구현하였다. 구현 방법은 먼저 Wafer내의 개별 Die별 DC Generator level을 확인하고 취약 DC Generator를 파악한 후 AC parameter의 margin을 check하고 AC parameter의 특성을 개선시킬 수 있는 DC Generator level을 forcing하여 test하여 개선 효과를 곧장 확인하였고 그에 대한 Fuse cutting inform을 생성하여 Laser\_Repair 공정에서 적용하여 Post\_Laser test시 개선 효과를 확인하였다.

## Abstract

This study is about optimization of Laser Repair Condition in EDS Line to improve AC and DC characteristic of high speed DRAM. The margin of AC parameter can be improved by forcing the proper DC generator levels and also improved by cutting the optional fuse about characteristics.

**Key Words** : DRAM, EDS, AC, DC

## I. 서 론

1995년 이후 몇 년간 CPU(Central Processing Unit)의 동작 속도는 66MHz에서 1GHz로 급격하게 변화되어왔다. 그러나 DRAM(Dynamic Random Access

Memory)의 Access Time은 CPU의 속도변화 만큼 급격한 발전을 이루지 못하였고 이에 따라 PC의 속도는 CPU의 속도에서 DRAM의 Access Time으로 점차 변화되고 있다. 이처럼 DRAM의 Access Time에 대한 요구가 증대되면서 DRAM component 자체의 속도에 대한 요구가 증가하였고, DRAM의 수율은 DRAM Cell 자체의 Defect보다는 speed parameter의 speed 특성에 더욱 민감하게 좌우된다. 본 논문에서는 반도체 EDS(Electrical Die Sorting) 공정 중 Laser Repair 공정에서 speed parameter의 speed 특성을 향상시킬 수 있는 Laser Repair Condition 을 최적화하여 speed parameter의 speed특성 저하로 인한 수율 감소를 방지하고 수율 상승 효과 -, speed 특성을 향상시켜 제품의 신뢰성 -동작 speed 향상-을 높이는 방안에 대해 다루었다.

\* 學生會員, 三星電子株式會社

(Samsung Electronics Industries Co., Ltd.)

\*\* 學生會員, \*\*\* 正會員, 成均館大學校 情報通信工學部

(SungKyunKwan Univ. Information & Communication Engineeringy)

※ 본 연구는 한국과학재단 목적기초연구(R01-2000-00250) 지원으로 수행되었음.

接受日字:2002年2月6日, 수정완료일:2002年10月23日

## II. 본 론

### 1. DRAM의 access time

DRAM의 성능은 power consumption이나 access time에 의해 결정되는데 일반 PC (Personal Computer) 환경에서는 power consumption보다는 access time이 보다 중요한 성능 판단의 요소가 된다. DRAM의 access time은/RAS(Row Address Select) 신호가 enable된 후 data가 read out 될 때까지의 시간을 의미하지만 연속적인 data가 read out 될 때는/CAS(Column Address Select) 신호가 enable 된 후 data가 read out 되기까지의 시간을 의미하게 된다. DRAM의 access time에 따른 제품의 분류는 다음과 같이 나타낼 수 있다.

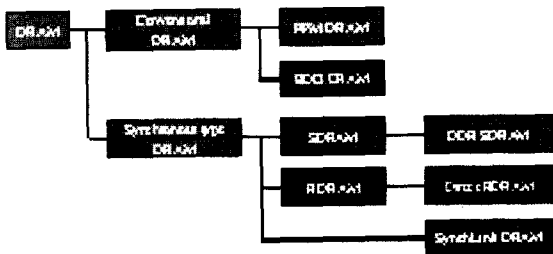


그림 1. Access Time에 의한 DRAM 분류  
Fig. 1. Classify DRAM by Access Time.

DRAM은 크게 Main clock과 무관하게 read/write동작을 Conventional DRAM과 main clock에 동기 되어 동작하는 Synchronous type DRAM으로 분류한다. Conventional DRAM에는 FPM(Fast Page Mode) DRAM과 EDO(Extended Data Out) DRAM이 있는데 두 DRAM은 하나의 Row address에 여러 개의 연속적인 Column address의 data를 read out 하는 방식이지만 출력 단의 D latch에 의해 EDO DRAM이 약간 빠른 read out 동작을 한다.

Synchronous type DRAM은 크게 SDRAM(Synchronous DRAM)과 RDRAM(Rambus DRAM) 그리고 SynchLink DRAM으로 분류되는데 모두 main clock과 동기 되어 read/write동작을 수행한다. SDRAM은 clock의 한 edge만을 사용하다가 dual-edge를 사용하는 DDR(Double Data Rate) SDRAM으로 발전하였고 RDRAM은 더욱 빠른 interface를 채용한 Direct RDRAM으로 발전하였다.

위와 같이 분류된 DRAM의 access time 변화를 graph로 나타내면 다음과 같다.

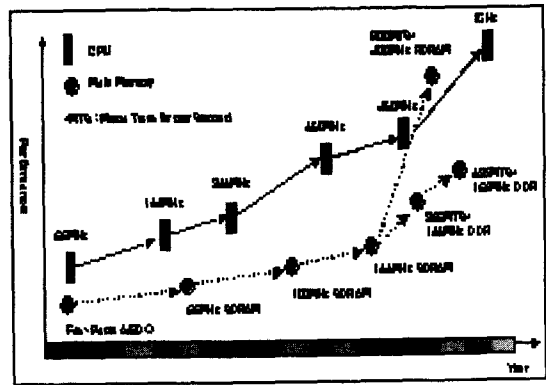


그림 2. DRAM access time 변화  
Fig. 2. DRAM access time change.

1995년 66MHz였던 CPU의 속도가 1999년 450MHz로 약 7배가 될 때까지 memory의 속도는 133MHz를 넘어서지 못하고 있다. 1999년 후반 DDR SDRAM 나오면서 CPU 속도와의 gap을 줄이게 되었고 RDRAM이 개발되면서 한때 CPU의 속도를 넘어서게 되었다.

반도체 제조 공장에서 speed parameter에 의한 수율 저하는 이때부터 주목받기 시작했다고 할 수 있다. 반도체 공정의 발달은 DRAM Cell의 Defect을 일정 비율 이하로 낮추는데 성공하였으나 새롭게 대두되는 speed parameter에 의한 speed 수율 저하는 새로운 문제가 되었다.

### 2. DRAM의 구조 및 특성

DRAM Cell은 1T1R(Transistor) 1C1R(Capacitor) 구조라고 알려져 있는데 상세 구조는 다음과 같다.

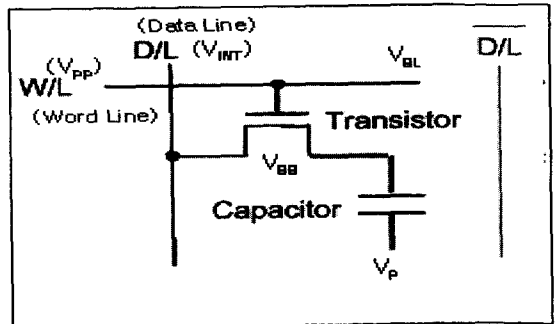


그림 3. DRAM Cell 구조  
Fig. 3. DREAM Cell construction.

인터넷 그리고 휴대 전화의 급속한 보급에 따라 통신 네트워크의 통신 용량이 비약적으로 증가하고, 그 결과 광통신 장치용 IC의 대용량화, 소형화, 저가격화 등이 요구되어지고 있다. 이러한 요구에 부합하기 위해서는 광통신 장치용 IC를 구성하는 초고속 전자소자와 광 수신소자의 집적화를 필요로 한다.

이종접합 포토 트랜지스터(HPT)는 InP와 격자상수가 같은 InGaAs( $E_g=0.75$ ) 베이스의 낮은 밴드갭의 특성을 유지하도록 DRAM 내부에 DC Generator를 가지게 된다. DRAM의 집적도가 증가함에 따라 MOSFET Gate length와 oxide thickness가 줄어드는데 반해 외부전압은 5V가 계속 유지되므로 channel electric field가 커져 TR에 stress를 주게 되는데 이를 피하기 위해 VINT generator를 사용하게 되었다.<sup>[1]</sup> DRAM내의 PN junction이 부분적으로 forward bias되는 것을 막기 위한 VBB generator, Word Line의 고전압을 유지하기 위한 VPP generator, Data Line의 Precharge 전압을 잡아주는 VBL generator등이 DRAM 내부의 DC generator이다. 이러한 DC generator의 level이 제대로 생성되지 않으면 말은 역할을 할 수 없어 결국 chip의 불량율을 야기한다. DRAM의 동작 중 DC generator만큼 중요한 것이 AC parameter인데 AC parameter는 DRAM의 동작 속도라 할 수 있다. DRAM의 동작 timing상에서 각 timing 요소간 time spec에 따라 DRAM의 access time을 산정할 수 있다.

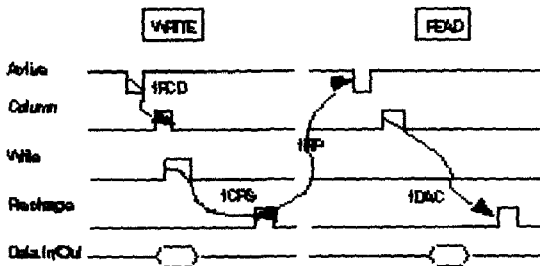


그림 4. Timing에 의한 AC parameter  
Fig. 4. AC parameter by Timing.

위 그림에 DRAM의 동작 timing에서 중요시 되는 AC parameter를 표시하였는데 DRAM의 access time이 빨라지려면 각각의 AC parameter가 specification 내에 있어야 함은 물론 빠른수록 DRAM의 성능이 좋다고 할 수 있다. 이러한 AC parameter는 FAB 공정의 영향을 많이 받고 근래에는 option fuse를 이용하여

Laser\_Repair 공정에서 개선용 fuse를 cutting하여 특성을 향상 시키기도 한다.

### 3. 반도체 공정

반도체 공정은 크게 4가지로 분류할 수 있는데 그림으로 나타내면 다음과 같다.

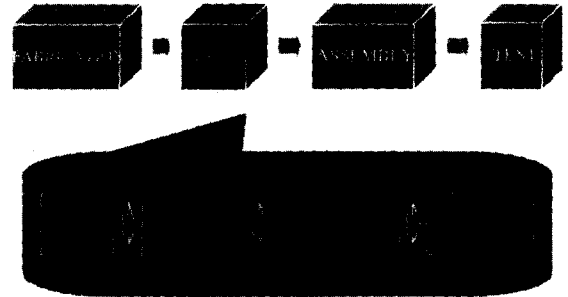


그림 5. 반도체 공정 flow  
Fig. 5. Semiconductor manufacturing process flow.

DRAM은 먼저 bare wafer 아무런 회로 패턴도 없는 Si(Silicon) wafer - 에 여러 장의 Mask를 이용하여 circuit을 만드는 FAB(Fabrication) 공정을 거치고 wafer위의 완성된 Die - Wafer상태의 chip을 Die 라고 한다 - 를 wafer상태에서 test하는 EDS(Electrical Die Sorting) 공정을 거치게 된다. EDS 공정을 거치면 wafer위의 수 많은 Die들이 pass Die와 fail Die로 구분되게 되는데 pass Die는 Cell내 defect이 없거나 defect이 있지만 repair 가능한 정도이고 fail Die는 cell내 defect이 많아 repair 불가능한 Die이다. 이후 조립 (Assembly) 공정에서 wafer위의 pass Die만을 따로 떼어내어 하나의 chip으로 조립하게 된다. 개별 chip이 완성되면 개별 chip에 대한 마지막 공정인 test가 이루어진다.

### 4. EDS 공정

EDS 공정은 FAB(Fabrication) 공정 진행 후 Wafer 상태에서 개별 Die의 동작 여부를 확인하고 fail Die의 fail요인에 대한 분석을 통해 FAB 공정을 개선 시키기 위한 공정이다. 조립 공정으로 pass Die만을 flow시킴으로 조립 등 이후 공정의 비용을 절감할 수 있으며 Laser\_Repair공정을 통해 특성을 향상 시킬 수 있다. EDS공정은 ET 측정 공정, Pre\_Laser 공정, Laser\_Repair 공정, Post\_Laser 공정의 4가지 공정으로 나눌 수 있다. ET 측정 공정은 EDS 공정의 시작 공정으로

FAB 공정에서 제품이 제대로 제조되었는가를 기초적으로 확인하는 단계이다. Wafer의 상,하,좌,우,중심의 다섯 곳에서 각 ET parameter를 측정하게 된다. ET 측정 point를 그림으로 나타내면 다음과 같다.

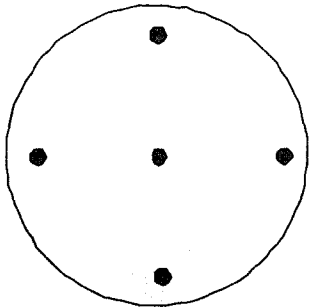


그림 6. ET 측정 Point  
Fig. 6. ET measurement Point.

Pre\_Laser 공정은 Laser\_Repair 공정의 이전 단계로 Laser\_Repair에서 사용될 Redundancy Cell Repair Inform을 생성시키기 위한 test하고 할 수 있다.

DRAM Cell은 수십~수백 MByte의 cell로 이루어져 있는데 이 cell들을 한번의 FAB 공정으로 제대로 만들어 내기란 힘들고 일부 소수의 cell이 fail 되었다고 해서 한 Die를 모두 reject 처리하는 것은 생산성 측면에서 매우 큰 loss가 된다. 이를 위해 fail cell에 대해 양품 cell로 대체시킬 필요가 있는데 fail cell을 대체시키는 cell을 Redundancy cell이라고 한다. Redundancy cell을 개념적으로 나타내면 다음 그림과 같다.

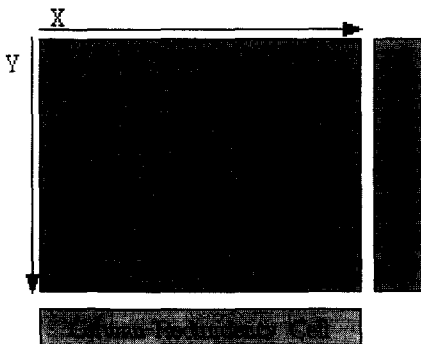


그림 7. Redundancy Cell 배치도  
Fig. 7. Redundancy Cell Layout.

즉 Main Cell내에서 특정 cell이 fail 되었을 때 fail cell을 Redundancy Cell중 양품 cell로 대체하는 것이다.

Repair는 개별 cell 단위로 이루어지는 것이 아니라 Row/Column 단위로 Repair되게 된다.

Pre\_Laser test에서 각 cell의 pass/fail을 가리고 그에 따라 repair될 Redundancy cell address를 저장하면 Laser\_Repair 공정에서 Laser beam을 이용하여 Repair하게 되는 것이다.

Repair 모양을 그림으로 나타내면 다음과 같다.

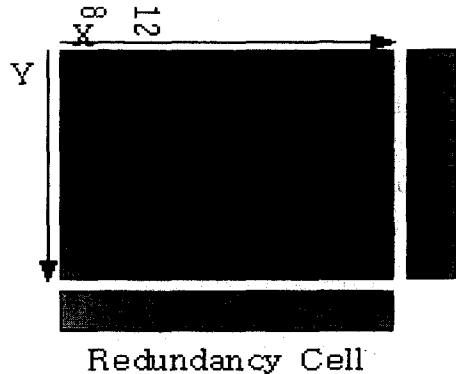


그림 8. Redundancy Cell 대체모양  
Fig. 8. Redundancy Cell alternation a form.

위 그림은 Main Cell내의 128 address에서 fail이 발생했을 때 Row Redundancy Cell을 이용하여 Repair함을 나타내고 있다.

Post\_Laser 공정에서는 Laser\_Repair 공정에서 Repair된 address가 Repair후 pass하는지 확인하기 위해 test를 진행한다.

### 5. Laser\_Repair Condition 최적화

이전의 Laser\_Repair 공정은 fail address에 대한 Redundancy cell로의 대체 inform에 대한 repair와 DC generator level의 repair만을 진행하였다. 그러나 DRAM의 speed가 점차 빨라지면서 DRAM의 speed factor가 점차 중요한 수율 요소가 됨에 따라 Laser\_Repair 공정에서 AC parameter에 대한 repair까지 진행되고 있는데 현재까지의 Laser\_Repair는 Wafer 전체에 동일한 AC parameter fuse cutting을 적용함으로써 일부 Die에 따라서는 특성 저하를 일으킬 가능성이 있다고 할 수 있다. 또한 통계적 수치에 따라 Lot by Lot - Wafer 25매가 한 set가 되어 공정을 진행하는데 이러한 set을 Lot이라 한다 - 의 특성을 무시한 채 모든 기간의 Lot에 대해 동일한 fuse cutting inform을 적용시키기 때문에 FAB parameter변화에 따른 개별 Lot의

특성 개선이 효율적으로 이루어지지 못하고 있다.

본 논문에서는 Pre\_Laser 단계에서 개별 Lot의 AC parameter의 특성을 추출하여 이에 따른 Die별 개별 AC parameter 개선 용 fuse cutting inform을 적용하여 Die to Die로 AC parameter의 특성을 개선시키고자 한다. 또한 Wafer에 대한 DC/AC 특성을 파악하여 향후 package에서의 수율을 예측할 수 있으며 Laser\_Repair에서 개별 Die에 대한 fuse cutting inform을 사용함으로써 package수율 개선의 효과를 기대할 수 있다.

이상과 같은 방법으로 Laser\_Repair Condition을 최적화하기 위해 먼저 제품의 DC 특성을 파악한 결과는 다음과 같다.

보안상의 이유로 각 축의 이름 및 값은 생략하였지만 몇 개의 DC level이 일정 조건에서 각각 특성에 맞게 변화하는 것을 알 수 있다. 이 DC 그래프의 문제점은 X축의 후반부로 가면서 각 level들이 급격하게 변화하는 것이라고 할 수 있다

개별 DC의 변화 추이

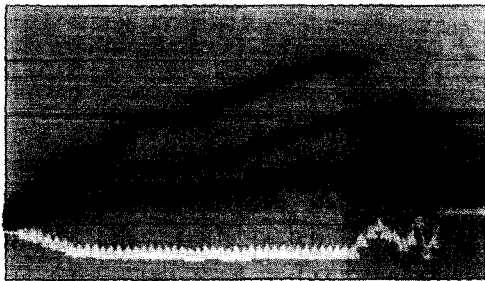


그림 9. DC 특성 그래프  
Fig. 9. DC characteristic graph.

DC 특성에 대한 평가가 끝나면 AC 특성에 대한 특성 평가가 이루어지고 그 결과를 그래프로 나타내면 <그림 10>과 같다.

<그림 10>에서 AC<sub>n</sub>이라 표기한 것은 몇 개의 AC parameter의 값이 동시에 그래프로 나타내어 줌을 의미한다.

위 AC 특성 그래프도 보안상의 이유로 각 AC 조건 및 fail bit에 대한 자세한 정보는 표시하지 않았지만 AC 항목에 대해 급격하게 fail bit이 변화하는 부분을 AC 특성의 margin 값이라고 판단하고 그에 대한 보상 방법 - DC level을 변경하거나 option fuse중 적절한

fuse를 선택하여 cutting하도록 을 제시하여 Laser\_Repair시 사용할 수 있는 Inform으로 생성하여 저장하게 된다.

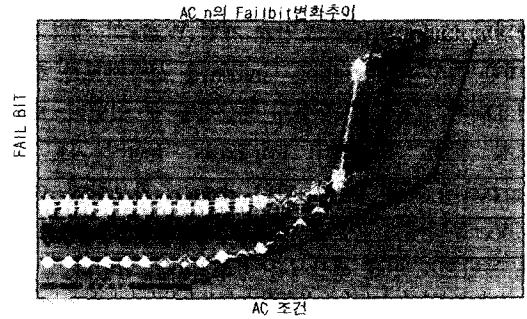


그림 10. AC 특성 그래프  
Fig. 10. AC characteristic graph.

위와 같이 DC/AC 특성에 대한 평가가 이루어지면 Laser\_Repair시 제품의 특성을 향상 시킬 뿐만 아니라 각 결과에 대해 정보를 필요로 하는 Engineer에게 쉽게 정보를 제공할 수 있다.

다음 그림은 Engineer가 보게 될 평가 결과이다.

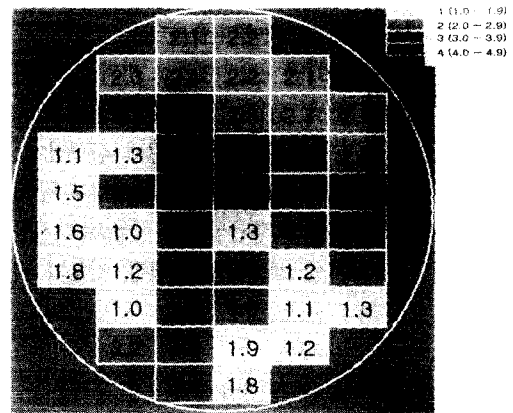


그림 11. GUI 구현 결과  
Fig. 11. GUI implementation result.

위 <그림 11>에서 원은 Wafer를 나타내고 사각형은 Wafer상의 하나의 Die 를 나타낸다. Die내 숫자는 DC level또는 AC parameter의 margin값이고 개별 값에 대한 음영 정보로 그 값이 Wafer내에서 분포하는 모양을 쉽게 확인 할 수 있다.

#### IV. 결 론

이상과 같은 방법으로 Wafer전체 또는 생산 시기가 다른 Lot 전체에 대해 동일한 fuse cutting inform으로 진행되던 Laser\_Repair 조건을 개별 Wafer의 개별 Die에 대한 특성 fuse cutting inform을 사용하도록 하여 개별 Die의 실질적인 특성을 향상시킬 수 있었다. 또한 반도체 EDS line에서 Pre\_Laser test시 DC/AC parameter에 대한 특성 파악 data를 확보함에 따라 Engineer들에게는 분석용 data를 제공하고 Package 수율을 높임으로 인해 생산성을 향상시키게 되었다.

#### 참 고 문 헌

[1] 유희준 "DRAM의 설계" 홍릉 과학 출판사  
 [2] Sung Ho Wang, Jeongpyo Kim, Joonsuk Lee, Hyung Sik Nam, Young Gon Kim, Jae Hoon Shim, Hyung Ki Ahn, Seok Kang, Bong Hwa Jeong, Jin Hong Ahn, Beomsup Kim "A

500-Mb/s Quadruple Data Rate SDRAM Interface Using a Skew Cancellation Technique" IEEE Journal of solid-state circuits, Vol. 36, No. 4, APRIL 2001.

[3] Dual-Line.co.ltd "DRAM의 분류"  
 [4] Hongil Yoon, Gi-Won Cha, Changsik Yoo, Nam-Jong Kim, Keum-Yong Kim, Chang Ho Lee, Kyu-Nam Lim, Kyuchan Lee, JunYoung Jean, Tae Sung Jung, Hongsik Jeong, Tae-Young Chung, Kinam Kim, Soo In Cho "A 2.5-V, 333-Mb/s/pin, 1-Gbit, Double-Data-Rate Synchronous DRAM" IEEE Journal of solid-state circuits, Vol. 34, No. 11, NOVEMBER 1999.  
 [5] Hiroki Fujisawa; Tsugio Takahashi; Masayuki Nakamura; Kazuhiko Kajigaya "A Dual-Phase-Controlled Dynamic Latched Amplifier for High-Speed and Low-Power DRAMs" IEEE Journal of solid-state circuits, Vol. 36, No. 7, JULY 2001.

#### 저 자 소 개



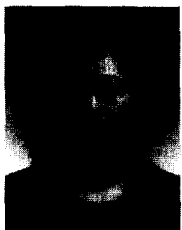
金 二 順(學生會員)  
 1997년 광운대학교 전자통신공학과 학사. 2002년 성균관대학교 반도체 공학과 공학석사. 현재 삼성전자 반도체 MEMORY 개발사업부 주임연구원. <주관심분야 : 컴퓨터 시뮬레이션, 객체지향 모델링, 전문가 시스템>

템>



李 七 基(正會員)  
 1980 성균관대학교 전자공학과 졸업. 1985 Arizona State University 전기 및 컴퓨터 공학과 석사. 1990 University of Arizona 전기 및 컴퓨터 공학과 박사. 1990-1995 삼성 전자 수석연구원. 1995~현재 성균관대학교 정보통신공학부 부교수. <주관심분야 : 컴퓨터 시뮬레이션, 객체지향 모델링, 공장자동화, 전문가 시스템>

시스템>



韓 永 信(學生會員)  
 1994년 상명여자대학교 경제학과 학사. 1997년 이화여자대학교대학원 전산정보학과 공학석사. 2000년 9월~현재 성균관대학교 정보통신공학부 박사과정. 인천대학교 컴퓨터 공학과 강사. <주관심분야 : 컴퓨터 시뮬레이션, 물류시뮬레이션, 공장자동화, 전문가 시스템>

템>