

論文 2002-39SD-11-3

비례축소인자를 가진 2단 SOVA를 이용한 터보 복호기의 설계

Implementation of Turbo Decoder Based on Two-step SOVA with a Scaling Factor

金大原*, 崔峻林*

(Dae Won Kim and Jun Rim Choi)

요약

본 논문에서는 SOVA(Soft Output Viterbi Algorithm)를 이용한 터보 복호기의 최적화된 설계를 위하여 두 가지 방법을 적용하고 검증하였다. 첫 번째 방법은 생존 경로를 찾기 위한 역추적(trace back) 회로와 2단 SOVA의 가중치 인자(weighting factor)를 찾기 위한 2단 역추적 회로를 동시에 적용시키는 것이다. 이 방법을 적용할 경우 두 단계의 기능을 동시에 수행하도록 하여 레지스터 교환 방식 혹은 역추적 회로만을 적용한 SOVA 디코더보다 속도와 면적의 효율성을 높일 수 있다. 두 번째 방법은 비례 축소 인자(scaling factor)를 적용하여 디코더의 수행 시 발생된 왜곡을 보상하는 것이다. 이 방법을 부호율 1/3, 256비트의 프레임 사이즈를 가지는 8-state SOVA 디코더에 적용하여 0.25에서 0.33사이의 비례 축소 인자 값을 얻을 수 있었다. 이에 따라 10E-4의 BER(에러율)에서 비례 축소인자가 없는 시스템에 비해 2dB의 SNR(신호 대 잡음비) 성능 향상이 있었다. 이렇게 제시된 방법을 바탕으로 Xilinx XCV 1000E FPGA를 이용하여 검증한 결과 256비트 프레임 사이즈의 경우 최대 33.6MHz 주파수에서 동작하였으며, 845 클럭의 지연속도를 가지고 175K개의 게이트 수를 가지는 단일 칩으로 동작을 검증하였다.

Abstract

Two implementation methods for SOVA (Soft Output Viterbi Algorithm) of Turbo decoder are applied and verified. The first method is the combination of a trace back (TB) logic for the survivor state and a double trace back logic for the weight value in two-step SOVA. This architecture of two-step SOVA decoder allows important savings in area and high-speed processing compared with that of one-step SOVA decoding using register exchange (RE) or trace-back (TB) method. Second method is adjusting the reliability value with a scaling factor between 0.25 and 0.33 in order to compensate for the distortion for a rate 1/3 and 8-state SOVA decoder with a 256-bit frame size. The proposed schemes contributed to higher SNR performance by 2dB at the BER 10E-4 than that of SOVA decoder without a scaling factor. In order to verify the suggested schemes, the SOVA decoder is tested using Xilinx XCV 1000E FPGA, which runs at 33.6MHz of the maximum speed with 845 latencies and it features 175K gates in the case of 256-bit frame size.

Key Words : SOVA(Soft Output Viterbi Algorithm), Turbo Code Channel Coding, error Correcting, Convolutional code.

* 正會員, 慶北大學校 電子工學科

(School of Electrical Engineering and Computer Science Kyungpook National University)

※ 본 연구는 한국학술진흥재단 과학기술초 중점지원 반도체 연구 사업 1998-016-E00015과 IDEC의 지원에 의해 이루어졌음.

接受日字:2002年1月23日, 수정완료일:2002年10月24日

I. 서론

현재 차세대 무선 멀티미디어 통신을 위한 규격으로 FEC(forward error correcting)와 관련하여 데이터 전송속도가 낮은 음성 쪽에서는 길쌈 부호^[1]를 사용하고, 데이터 전송과 영상 등의 전송 속도가 높은 쪽에서는

터보코드를 채택하였다. 이러한 터보코드는 디지털 통신 시스템의 성능을 향상시키기 위하여 복호된 각 경관정(hard output)에 연관정(soft output)을 출력하는 복호법을 사용한다. SCCC(serial concatenated convolutional code)와 PCCC(parallel concatenated convolutional code)에서의 터보 복호기는 크게 MAP(maximum a posteriori) 알고리즘^[2,3]을 이용한 복호기와 SOVA(Soft Output Viterbi Algorithm)^[4]를 이용한 복호기로 크게 나눌 수 있다. MAP 알고리즘을 이용한 터보 복호기는 하드웨어 요구량이 SOVA에 비하여 매우 크며, 복호를 위하여 긴 지연시간이 요구되므로 실제 시스템에 응용하기에 어려움이 많은 반면 SOVA는 MAP에 비하여 하드웨어 요구량이 매우 적으며, 설계가 비교적 간단하고, 복호를 위한 지연시간이 짧은 장점이 있다. 본 논문에서는 각 경관정에 해당하는 연관정을 출력하기 위하여 HR-SOVA (Hagenauer's rule SOVA)^[4-6]를 도입하였으며, 시스템의 성능을 높이면서 시스템 면적을 줄이기 위한 아키텍처, 즉 생존 정보를 구하기 위한 역추적(Trace Back) 알고리즘과 신뢰 정보를 구하기 위한 두 번의 역추적 알고리즘을 조합한 2단 SOVA^[7]를 적용하였다. 또한, 비례 축소 인자(scaling factor)를 사용하여 시스템 성능을 향상 시켰고 이렇게 제안된 구조를 Xilinx XCV 1000E FPGA를 이용하여 설계하고 검증하였다.

II. 2단 SOVA의 구조

1. 부호기와 복호기

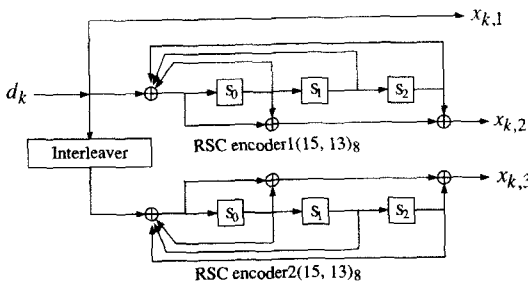


그림 1. 생성 다항식이 (15, 13)₈인 터보 부호기의 RSC 부호기

Fig. 1. The RSC encoder of a Turbo decoder with generator polynomial (15, 13)₈.

본 논문에서는 <그림 1>과 같이 코드율이 1/3이고 8개의 상태를 가지며 생성다항식이 (15, 13)₈, 그리고 구속장이 4인 RSC (recursive systematic convolutional) 구조를 부호기로 사용한다. 이 부호기에서 d_k 는 k번째 정보 비트를 의미하며 $x_k = (x_{k,1}, x_{k,2}, x_{k,3})$ 는 k번째 3비트 출력 벡터를 의미한다. <그림 1>과 같은 부호기를 사용할 경우 터보 복호기는 <그림 2>와 같다. <그림 2>에서 k번째 수신 벡터는 $y_k = (y_{k,1}, y_{k,2}, y_{k,3})$ 이며 $y_{k,1}$ 는 $y_{k,1}$ 이 인터리버된 값을 의미한다. 외인성 정보 $L_a(d_k)$ 는 SOVA 디코더의 출력이며 이 정보는 피드백되어 다음 복호 단계에서 사전 정보 $L_a(d_k)$ 로 사용된다. SOVA의 최종 출력은 d'_k 가 된다. 반복 복호 알고리즘을 사용하는 터보 복호기의 성능은 적용할 인터리버 알고리즘과 깊이에 따라 영향을 받는다. 인터리버는 터보 복호기의 거리 특성과 프레임의 마지막 정보에 대한 신뢰 정보를 정확히 추정하기 힘든 테일 효과(tail effect)를 일으키기 때문에 인터리버의 선택은 오류 정정 성능에 영향을 준다. 따라서 본 논문에서는 터보 복호기의 거리 특성을 좋게 하면서 테일 효과를 없앨 수 있는 회전 블록 인터리버를 적용하였다.^[8]

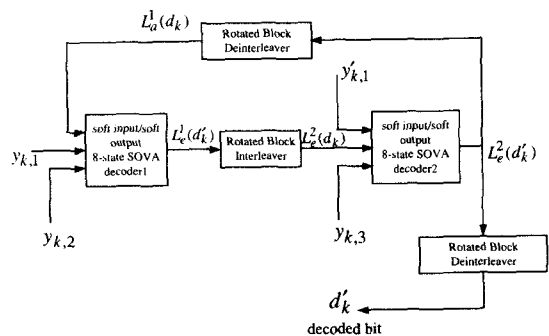


그림 2. 8개의 상태를 가진 SOVA 복호기에 기반을 둔 터보 복호기의 구조

Fig. 2. The architecture of a Turbo decoder based on 8-state SOVA decoder.

2. 가지 메트릭과 ACS(Add-Compare-Select) 블록
SOVA는 <그림 3>과 같이 7개의 블록으로 나눌 수 있다. 입/출력 버퍼, 패스 메트릭을 위한 가지 메트릭 연산 블록, 신뢰 정보와 선택 부호 비트를 위한 ACS 블록, 상태 저장 메모리, 생존 상태 선택 블록, 신뢰 정보 갱신을 위한 SOVA-SMU (survivor memory unit),

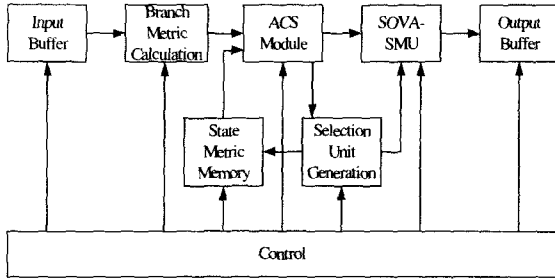


그림 3. SOVA 복호기의 일반적인 계통도
Fig. 3. The general outline of the SOVA decoder.

그리고 이러한 블록들을 제어하는 제어블록으로 구성된다.

SOVA는 비터비 알고리즘을 변형하여 복호된 비트 시퀀스에 신뢰정보를 더하는 알고리즘이다. 따라서 가지 메트릭은 기존의 비터비 알고리즘에 사용된 계산 방법과는 다르며 RSC 부호기에 대해서 계산 방법이 변형되어야 한다. 단위 시간 k 에서 가지 m 이 가지는 확률값은 식 (1)과 같다.

$$D_k^m = C e^{M_k^m/2} \quad (1)$$

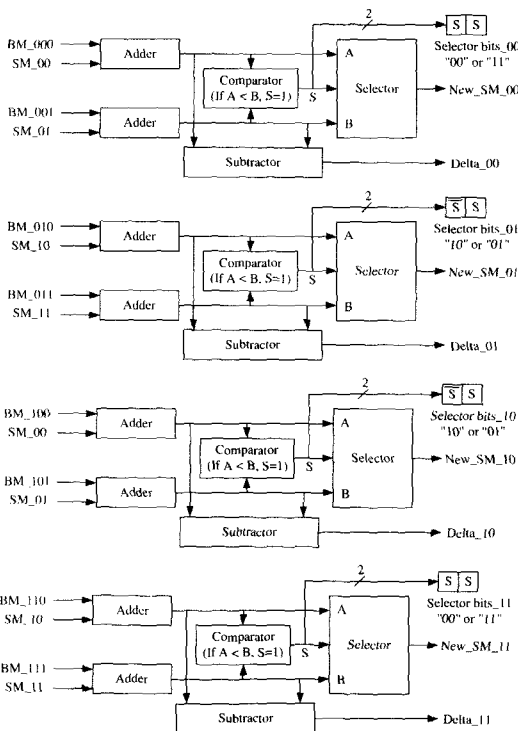


그림 4. 제시된 SOVA-SMU를 위한 새로운 ACS 모듈
Fig. 4. The new ACS module for the presented SOVA-SMU.

여기에서 C 는 상수이며 M_k^m 는 단위 시간 k 에서 가지 m 이 가지는 가지 메트릭이다. 만약 이 값이 크면 가지 m 이 생존할 확률이 커진다. AWGN 채널에서는 코드율이 $1/N$ 일 경우 가지 메트릭은 식 (2)와 같이 갱신된다.

$$M_k^m = M_{k-1}^m + \sum_{n=1}^N x_{k,n}^m L_{\mathcal{Y}_{k,n}} + x_{k,1}^m L_a(d_k) \quad (2)$$

<그림 4>에서는 나타낸 ACS 모듈은 본 논문에서 제안한 최적의 SOVA-SMU 블록을 위해 3개의 값을 출력한다. 3개의 값은 각각 생존 경로 탐색을 위한 선택 비트와 연관성 결정을 위한 신뢰정보 그리고 생존 경로 결정을 위한 가지 메트릭이다. <그림 4>에서 나타낸 ACS 모듈은 코드율이 $1/3$, 4개의 상태, 그리고 (7, 5)8인 생성 다항식을 갖는 부호기를 위한 것이다. 선택 비트 정보가 2비트인 것은 생존 경로와 경쟁 경로를 동시에 탐색하고 생존된 경로로부터 경관정과 연관성을 결정하기 위해서이다.

3. SOVA 복호기의 2단 알고리즘

<그림 5>에서와 같이 2단 SOVA^[7,8]는 생존 정보를 찾기 위하여 비터비 알고리즘의 역추적(trace-back)방법^[10]과 신뢰 정보를 구하기 위하여 역추적 알고리즘^[11]을 혼용한 알고리즘이다.

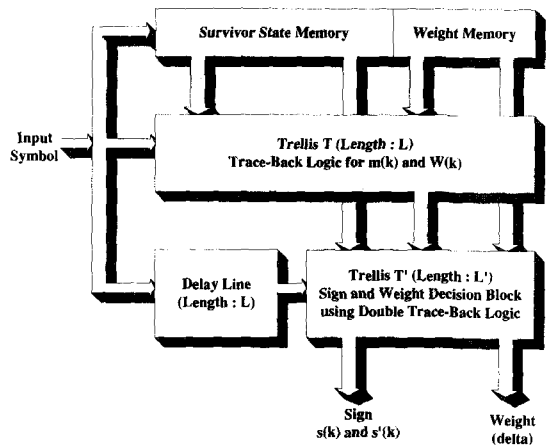


그림 5. 일반적인 2단 SOVA의 블록 다이어그램
Fig. 5. The general two-step SOVA.

역추적 방법은 연관성 값을 결정할 때 초기 생존 상태를 결정해 주는 역할을 담당하고, 신뢰 정보를 구하기 위한 역추적 알고리즘은 연관성을 갱신해 주는 역할을 한다. <그림 5>에서 역추적 깊이(TBD : trace-

back depth)는 L 이고, 연판정 갱신 깊이(WUD : weight update depth)는 L' 이다.^[7,8,12] 위의 그림에서도 알 수 있듯이 초기 생존 정보 $m(k)$ 을 구하기 위한 역추적 알고리즘은 L' 시간에서 연판정을 갱신하는 역추적 블록이 가장 신뢰성 있는 연판정으로 갱신을 할 수 있도록 하는데 목적이 있다. 즉 $m(k)$ 은 충분히 긴 시간 $L+1$ 에서 역추적 하여 구해진 생존상태이므로 매우 큰 신뢰성을 연판정 갱신을 위한 역추적 블록에 전달할 수가 있는 것이다. 만약, 레지스터 교환 알고리즘 혹은 역추적 알고리즘 가운데 하나의 알고리즘만을 사용하여 1단으로 연판정을 결정한다면, 갱신할 시간이 되었을 때 선택된 초기 생존 상태의 연판정 값이 큰 신뢰성을 가지지 못한다. 특히 레지스터 교환 알고리즘을 사용할 경우 레지스터 교환 깊이가 짧을 수록 더 잘못된 연판정 값을 결정할 가능성이 커지게 된다. 만약 레지스터 깊이를 길게 하면 시스템의 면적을 많이 차지할 뿐만 아니라, 레지스터의 동적 전이가 많아지므로 그로 인한 전력소모가 증가한다. 이와 마찬가지로 역추적 알고리즘만 사용하여 1단으로 처리할 경우에도 신뢰성 있는 정보를 출력하기 위하여 역추적 깊이를 크게 설정해야 하는데 이 경우 생존 경로를 탐색하기 위한 생존 상태 메모리와 신뢰정보를 처리하기 위한 신뢰정보 메모리가 증가하므로 하드웨어 면적이 커질 뿐만 아니라 설계 측면에서 복잡해지는 단점이 있다. 따라서, <그림 6>과 같은 역추적 깊이(TBD)와 연판정

갱신을 위한 깊이(WUD)를 가진 2단 SOVA를 도입하여 1단으로 구성한 SOVA보다 보다 높은 성능뿐만 아니라 전력 효율 면에서도 우수한 터보 복호기를 설계할 수 있다. <그림 5>와 <그림 6>을 비교해 보면 다음과 같은 장점이 있다.

① 생존 경로를 저장한 생존 상태 메모리의 역추적을 위한 지연시간이 줄어든다.

② 생존 정보 메모리 및 신뢰정보를 위한 L 길이의 delay line 크기가 감소된다.

본 논문에서는 위와 같이 지연시간의 문제점과 전력 효율의 문제점을 해결하기 위한 2단 SOVA 복호기의 설계 방안을 제시하여 보다 높은 성능과 전력소모를 감소시키는데 역점을 두었다.

III. 2단 SOVA 복호기의 구현

위에서 살펴본 알고리즘을 하드웨어에 적용하기 위하여 본 논문에서는 systolic array^[10]를 변형하여 2단 SOVA를 최적으로 구현하는 방안을 모색하였다. 본 논문에서 제안한 최적의 2단 SOVA-SMU의 전체 계통도는 <그림 7>과 같다. <그림 7>은 메모리가 2개이며 (7, 5)8의 생성 다항식을 가진 부호기를 사용했을 때이다. 시스템은 크게 역추적 깊이에 해당하는 delay line과 4×1 선택기, 연판정 비교기, 경판정 비교기, 그리고 연판정 갱신 블록으로써 구성되어 있다. <그림 7>에 나타나 있는 블록 B를 <그림 8>로 설명하면 생존 경로의 경판정과 경쟁경로의 경판정을 비교하는 경판정 비교 블록을 XOR로써 간단히 구현될 수 있다. Minimum 블록은 그 상태 자신의 연판정과 기준 연판정 WL를 비교하여 작은 값으로 출력한다. 2×1 의 Multiplexer로 구성된 선택기는 XOR로부터 선택 정보를 받아 "1"인 경우 minimum 블록의 출력을 선택하게 되며 "0"인 경우 그 상태 자신의 연판정을 선택한다. 선택기의 출력은 연판정 갱신 블록에 입력되어 그 상태의 연판정으로 교체가 됨으로써 연판정 갱신 깊이 만큼 수행되어 최적의 연판정 값으로 결정된다. <그림 9>는 <그림 3>의 2단 SOVA-SMU구조에 생존 정보 탐색을 위한 역추적 처리 방법을 예로서 설명한 그림이다. 단위시간 k 시간에서 가장 큰 메트릭을 가진 상태를 생존 상태로써 결정하여 $k_{survivor}$ state가 된다. 이 값은 k_{MUX} 의 선택 정보로써 입력되어 k_{MUX}

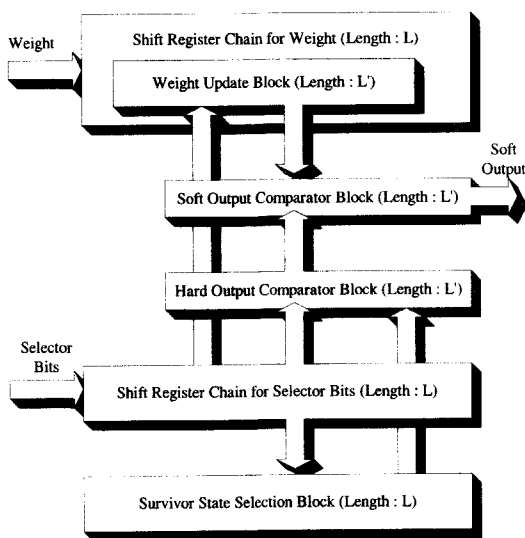


그림 6. 제안된 2단 SOVA의 블록 다이어그램
Fig. 6. The proposed Two-Step SOVA.

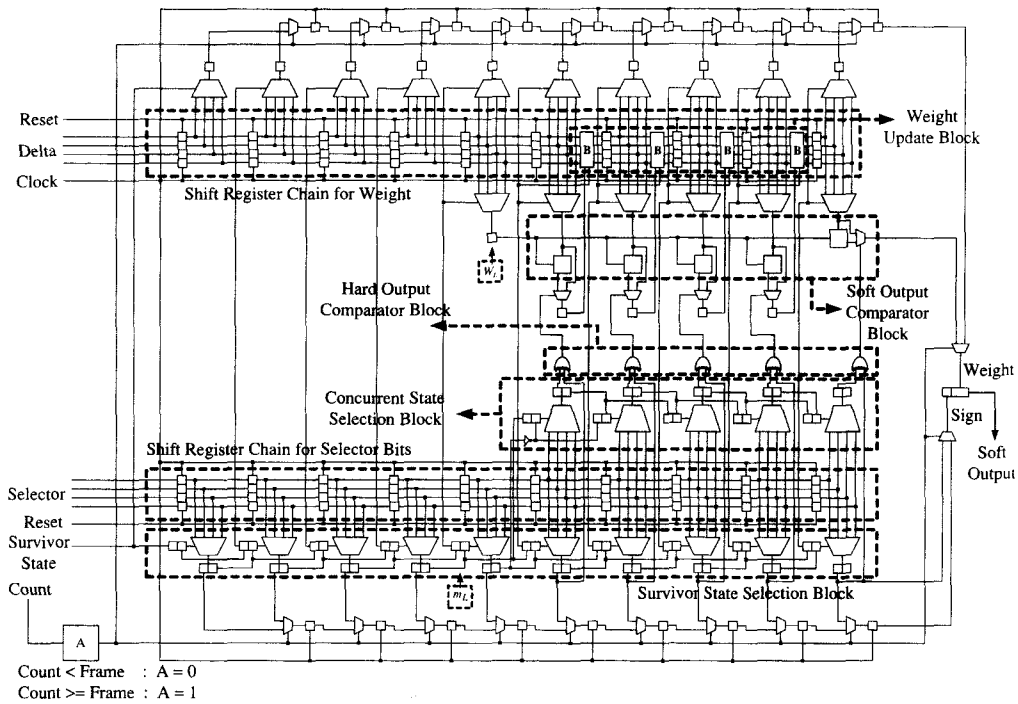


그림 7. 제안된 2단 SOVA-SMU의 예 (TBU=5 WDU=5)
Fig. 7. The Proposed two-step SOVA-SMU.

블록은 k_Reg 의 출력을 입력으로 받은 것 중 하나를 출력하게 된다. $k+1$ 번째 생존 상태는 $k_survivor$ state의 LSB와 k_MUX_out 의 LSB로 구성된다. 이러한 방식으로 생존 경로를 역추적 값과 그 상태에서의 경판정 값을 가진다. 만약 경판정 값이 "1"이면 최종 연판정 출력 MSB의 비트에 "0"을, "0"이면 "1"을 출력한다.

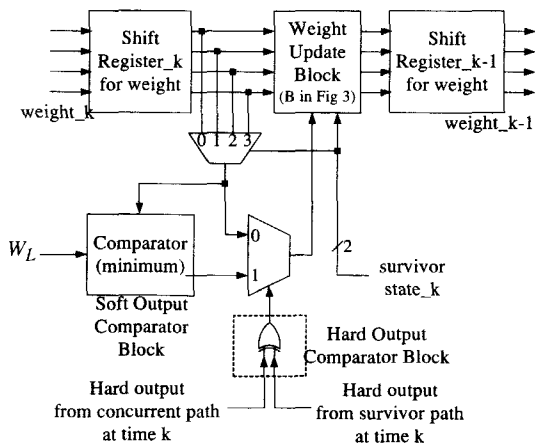


그림 8. 연판정 (가중치) 갱신 블록
Fig. 8. The weight update block.

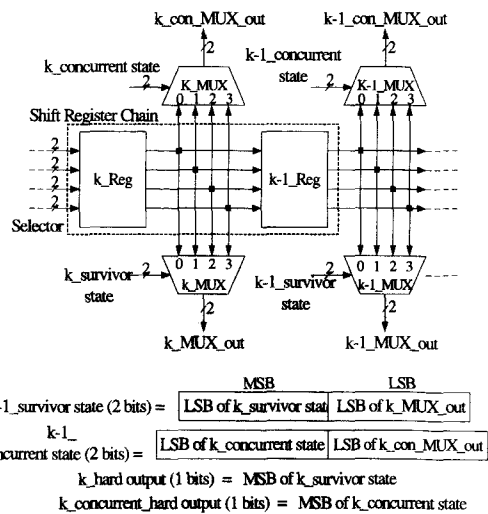


그림 9. 제안된 2단 SOVA-SMU의 역추적 논리회로
Fig. 9. The trace-back logic in the proposed two-step SOVA-SMU.

IV. 비례 축소 인자의 영향

SOVA를 기반으로 한 터보 복호기는 MAP을 기반으로 한 터보 복호기보다 성능 면에서 떨어지기 때문에

성능을 향상시키기 위한 방안이 모색되어야 한다. 그 방안으로 크게 2가지가 있다. 하나는 연판정 값에 문턱 값을 설정하여 그 값보다 크면 문턱값으로 연판정을 결정하는 방법과 또 하나는 연판정을 모두 결정하여 모든 연판정에 대하여 같은 레벨로 낮추는 방법이다.^[5,9] 이 두 가지 방법의 공통된 사항은 결국 연판정 값을 최소화하여 서로 간의 간섭을 줄이고자 하는 것이다. 이러한 처리의 주된 이유는 만약 연판정을 최소화하지 않으면 반복 복호를 할 때 고유 수신 벡터 입력에 영향을 받지 않고 그 연판정 값에만 의존하게 되어 반복 복호를 수행하더라도 더 이상의 성능 개선이 이루어지지 않기 때문이다. 위에서 설명한 알고리즘 중 첫 번째 방법으로 시스템을 설계할 경우 연판정을 결정하는 모든 시간에서 문턱값과 비교연산을 행해야 하므로 시스템의 지연시간이 길어지며, 어떤 경우에는 문턱값보다 큰 경우가 많이 발생하여 그 상태가 가지는 경판정의 신뢰도가 낮아지는 결과를 가져온다. 두 번째 방법은 비례 축소인자를 도입하는 방안으로서 이 방안은 연판정을 모두 결정하여 프레임 크기에 대한 연판정 값의 평균과 분산을 구하여 식 (3)과 같은 연산을 처리하게 된다.

$$A = 2 \frac{m_v}{\sigma_v} = 2 \frac{\text{mean}(L_e)}{\text{var}(L_e)} \quad (3)$$

식 (3)에서 인자 A는 과대 평가된 연판정 값이 SOVA에 왜곡을 발생시켜 경판정에 오류를 일으킬 수 있어 이 왜곡을 없애기 위한 것이다 그리고 그 상태가 가지는 연판정 값이 다른 상태와 상대적인 값을 가지게 하여 전체적인 시스템 성능에 영향을 전혀 주지 않고 터보 복호기가 더 많은 반복 복호를 행할 수 있게 하여 에러정정 성능을 높여준다. 그러나 (3)과 같은 방안을 하드웨어에 그대로 적용하게 되면 많은 지연시간과 하드웨어 크기를 증가시키게 되어 오히려 첫 번째 방안보다 못한 결과를 가져온다. 본 논문에서는 하드웨어 설계면에서 이 방안을 최적으로 구현하기 위하여 고정된 값을 도입하였다. 비례 축소인자를 고정하기 위하여 256 프레임 크기부터 1296, 4096, 그리고 9216 크기까지 다양한 프레임 크기에 대하여 그 분포도를 조사하여 <그림 10>에 나타내었다. 비례 축소인자의 분포도는 0.23에서 0.35사이의 값을 가졌으며 이 사이의 값 중 하드웨어 설계에 적용 가능한 0.25와 0.33을 고정값으로 도입하였다.

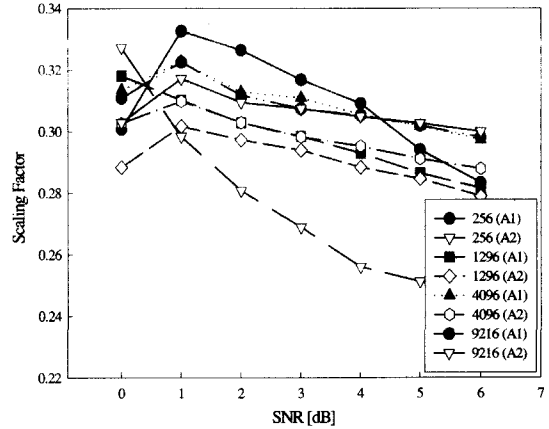


그림 10. scaling factor의 분포도
Fig. 10. The distribution of a scaling factor.
(A1: SOVA 첫 번째 단 이후의 비례 축소 인자
A2: SOVA 두 번째 단 이후의 비례 축소 인자)

아래의 <표 1>은 비례 축소 인자의 도입 시 고정된 비례 축소 인자와 일반적인 비례 축소 인자 즉 (3)을 그대로 도입할 경우 하드웨어 량을 비교 한 것이다. 결국 (3)을 이용한 설계가 비례 축소 인자의 경우보다 13 배나 하드웨어 량이 소모되는 것을 볼 수 있다.

표 1. 비례축소 인자의 도입시 하드웨어비교
Table 1. Resource comparison of decoder with or without scaling factor(0.6 μm CMOS Tech).

	고정된 비례 축소인자	일반적인 비례 축소인자
필요한 하드웨어	16bit 곱셈기	16bit 덧셈기 16bit 곱셈기 자승 제곱 연산기 (Restoring 방식) 32bit 나눗셈기 8 bit 쉬프트 레지스터
게이트 수	288	3976

V. 제안된 터보 복호기의 성능 분석

<그림 11>은 제안된 터보 복호기를 구성하기 위한 전체 시스템의 계통도를 나타내고 있다.

컴퓨터 모의 실험을 위하여 부호률이 1/3이며 (15, 13)₈의 생성 다항식을 가진 RSC 부호기를 사용하였으며, 256 bit 프레임, 블록 인터리버, 8 상태를 가진 터보 복호기를 사용하였다. 채널은 AWGN이며 변조 방식으

로 BPSK를 사용하였다.

<그림 12>는 Scaling factor가 없는 2단 SOVA와 1단 SOVA를 사용하여 모의 실험한 결과이다. 2단 SOVA인 경우는 연관정 갱신 깊이가 구속장의 3배 이상이면 적절한데 본 논문에서의 모의 실험은 구속장이 4이므로 연관정 갱신 깊이가 12 이상이 적절하다. 그런데 연관정 갱신 깊이를 고려하여 TBD를 40까지 설정하였으며 연관정 깊이는 역추적 깊이의 1/2 정도의 길이로 설정하면 최적의 성능을 얻을 수 있기 때문에 연관정 갱신 깊이는 최대 20까지로 설정하였다. <그림 12>로 부터 성능을 분석하면 같은 BER 성능에 대하여 낮은 SNR에서는 0.8dB의 성능차이가 발생하였지만, 높은 SNR에서는 비슷한 성능을 보였다. 즉 비례 축소인자를 도입하지 않으면 2단과 1단의 성능차이는 그다지 크지 않으며, 성능 또한 비터비와 크게 차이가 없음을

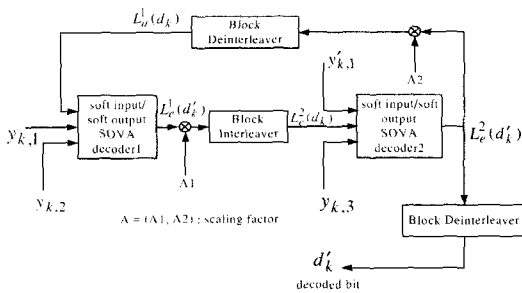


그림 11. 비례 축소 인자를 가지는 터보 디코더의 전체 시스템 계통도

Fig. 11. The SOVA-based turbo decoder with a scaling factor.

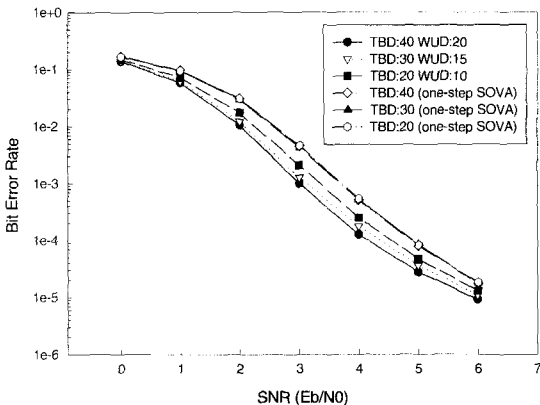


그림 12. 비례 축소인자가 없는 복호기의 BER
Fig. 12. The BER performance of turbo decoder without a scaling factor.

알 수 있다.

다음으로 <그림 13>은 비례 축소인자를 도입한 2단과 1단 SOVA 복호기의 성능을 분석한 것이다. 비례 축소인자가 없는 시스템과 비교하면 전체적인 성능은 약 2dB의 차이가 있으며, 1단과 2단을 비교하여도 1dB의 성능차이가 있음을 알 수 있다. 즉 TBD를 40, WUD를 20을 가진 2단 SOVA와 TBD를 40으로만 구성된 1단 SOVA를 BER 10E-5를 얻기 위한 SNR로 비교한 경우, 먼저 비례 축소인자가 없는 2단 SOVA의 경우 6dB였으며, 1단 SOVA의 경우 6.5dB이었다. 비례 축소인자가 있는 2단 SOVA의 경우 3.6dB였으며, 1단 SOVA의 경우 4.3dB이었다. 즉 2단과 1단에서도 차이가 크게 나지만, 비례 축소인자를 사용하면 그 성능차이는 확실해진다.

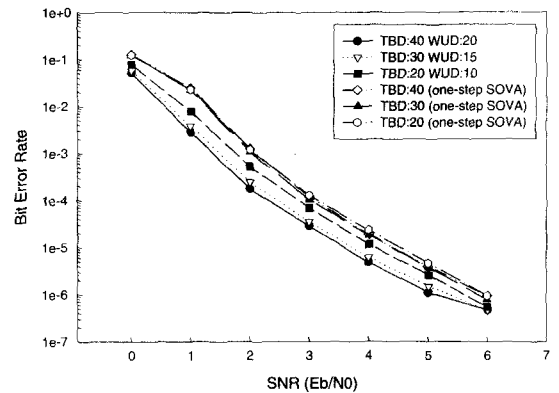


그림 13. 비례 축소인자가 있는 복호기의 BER
Fig. 13. The BER performance of turbo decoder with a scaling factor.

마지막으로 <그림 14>에서는 비례 축소인자를 고정 하였을 경우 성능 분석을 나타낸 것이다. 위의 <그림 13>과 비교하면 비례 축소인자를 고정한 시스템의 성능이 향상됨을 알 수 있다. 같은 TBD와 WUD를 가진 경우를 비교하면 10E-4의 BER 성능을 얻기 위한 SNR은 일반적인 비례 축소 인자를 가진 시스템은 2.3에서 2.8dB를, 고정된 비례 축소인자를 가진 시스템은 2에서 2.4dB를 요구하는 것을 알 수 있다.

<표 2>에서 2단 SOVA를 기반으로 한 터보 복호기의 성능을 전체적으로 비교하였다. 비례 축소인자의 유무에 따라 약 2dB의 성능 차이가 있었으며, 비례 축소인자를 고정한 것과 고정하지 않은 것의 성능차이는 약 0.3dB에서 0.6dB의 성능차이가 있었다. 비례 축소인

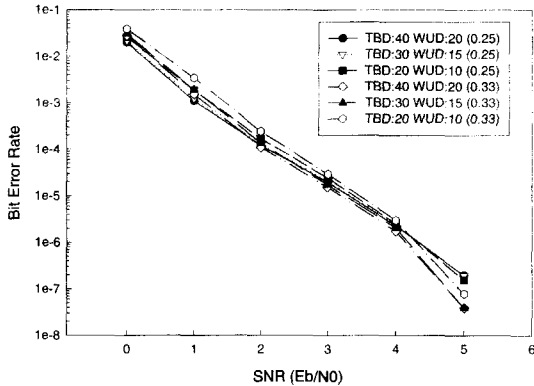


그림 14. 고정된 비례 축소 인자가 있는 복호기의 BER
Fig. 14. The BER performance of turbo decoder with a fixed scaling factor.

자의 고정 변수에 따라서는 약간의 성능차이는 있지만 비슷한 결과를 가져왔으며, TBD와 WUD의 깊이에 큰 영향을 받지 않으므로 시스템 설계시 TBD와 WUD를 20과 10으로 설정하면 설계면적과 성능을 만족할 수 있다.

표 2. 2단 SOVA를 기반으로 한 터보 복호기 성능분석 결과 (10E-4의 BER 성능을 얻기 위한 SNR[dB])

Table 2. The results of performance of the two-step SOVA-based turbo decoder. (SNR[dB] required for the 10E-4 BER performance).

(TBD, WUD)	(40, 20)	(30, 15)	(20, 10)
without a scaling factor	4.1	4.3	4.6
with a scaling factor	2.3	2.4	2.8
with a fixed scaling factor(0.25)	2	2	2.2
with a fixed scaling factor(0.33)	2	2	2.4

VI. VLSI 구현

제시된 방안을 바탕으로 Xilinx XCV 1000E FPGA를 이용하여 2개의 인터리버 및 디인터리버, 2개의 SOVA 디코더를 집적화 하였다. <표 3>은 하드웨어로 구현된 칩의 사양을 보이고 있다.

설계된 칩은 PC와의 ISA 인터페이스를 통하여 유선 형태로 테스트된 결과이고 다른 모든 조건들은 컴퓨터

표 3. 제작된 칩의 사양

Table 3. The chip specification.

특징	칩 내의 256비트 인터리버 포함
구속장(K)	4
인코더 Rate	1/3 (15, 13) ₈
Gate 수	175,350(인터리버포함)
동작주파수	10MHz(MAX 33.6MHz)
공정기술	Xilinx XCV1000E-6HQ040C
입 출력 비트수	입력: 5bit X2 13bit 출력:16bit
Latency	845 clock @10MHz
디코딩 길이	20 depth
성능	SNR 2dB @ BER 10E-4

모의 실험 결과와 동일한 상황으로 맞추었다. <그림 15>는 컴퓨터를 이용한 칩의 테스트 장면이다. TB(trace back) 회로와 2단 SOVA의 가중치 인자 (weighting factor)를 찾기 위한 double TB회로를 동시에 적용시키는 방법을 통하여 적용한 전체의 시스템의

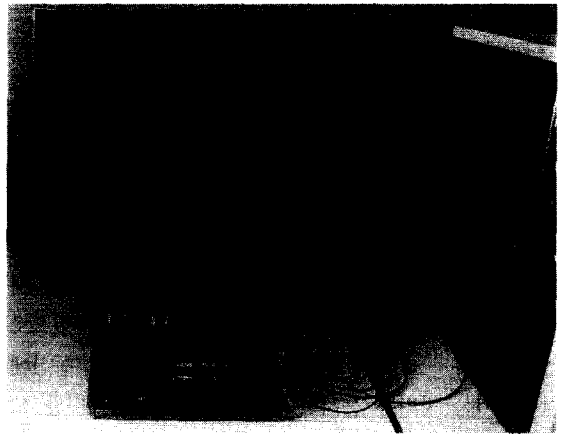


그림 15. 제작된 디코더의 보드 테스트
Fig. 15. The board test of turbo decoder.

표 4. SOVA-SMU의 게이트 수의 비교

Table 4. The comparison of SOVA-SMU gate counts.

디코딩 방법	레지스터 교환방식	2단 Double TB
Stages with updates	6233	3042
Stages without updates	1983	1062
Total gate counts except register	8527	4668

표 5. 각 SOVA 디코더의 게이트 수

Table 5. The gate counts of SOVA decoders.

	레지스터 교환 방식 ^[11]	일반적인 2단 SOVA ^[11]	제작된 SOVA
게이트 수	19631	12000(>6000cel 1+3kbitRAM)	9973

크기를 줄일 수 있었다. 제시된 방법이 칩의 크기를 얼마나 감소 할 수 있는지에 대한 비교를 위해 같은 상황에서 SOVA-SMU를 2단 SOVA가 아닌 기존의 방식 중 레지스터 교환방식을 사용한 것과 비교하였다.^{[8],[13]} 비교의 공정성을 위하여 각각의 디코딩 길이는 20이고, 갱신이 있는 블록을 10으로 하였고 4-state RSC 인코더를 사용하였을 경우로 제한하여 얻은 결과이다. 그 결과 아래 <표 4>와 같이 레지스터를 제외한 나머지 회로의 50% 정도의 면적 감소를 가져왔다. 그리고, <표 5>에서 전체 SOVA decoder의 경우를 비교하였다. 그 결과 제작된 SOVA의 경우가 레지스터 교환 방식의 경우 보다 50%, 일반적인 2단 SOVA의 경우 보다 20%의 게이트 수의 감소를 볼 수 있다.

VI. 결 론

본 논문에서는 터보 디코더를 SOVA를 이용하여 구현하는 방법으로 그 성능의 향상을 도모하기 위해 첫 번째로 2단 SOVA를 이용한 최적 설계 방안을 제시하였고 두 번째로 비례 축소 인자를 도입하는 방법을 제시하여 이를 컴퓨터 모의 실험 및 하드웨어 구현으로 검증하였다. 그 결과로서는 double TB회로를 동시에 적용시키는 방법을 통하여 칩의 크기를 레지스터를 제외한 부분에서 50% 정도 줄일 수 있었고, 0.25와 0.33으로 고정된 비례 축소인자의 도입으로 신호 대 잡음 비 2dB에서 $10E^{-4}$ 의 에러율을 얻을 수 있었다. 이렇게 제시된 방안을 바탕으로 Xilinx XCV 1000E FPGA를 이용하여 검증한 결과 256비트 프레임 사이즈의 경우 동작 주파수 최대 33.6MHz에서 845 클럭의 지연속도를 가지고 175,350개의 게이트 수를 가지는 단일 칩으로 구현 할 수 있었다.

참 고 문 헌

[1] G. D. Forney, "The Viterbi algorithm," Proc.

IEEE, Vol. 61, No. 3, pp. 268~278, March 1973.

- [2] C. Berrou, A. Glavieux, and P. Thitimajshima, "Near Shannon limit error correcting coding and decoding : Turbo-Codes (1)," Proc. IEEE ICC '93, Geneva, Switzerland, pp. 1064~1070, May 1993.
- [3] C. Berrou and A. Glavieux, "Near optimum error correcting coding and decoding : Turbo-Codes," IEEE Trans. Commun., Vol. 44, No. 10, pp. 1261~1271, Oct. 1996.
- [4] J. Hagenauer and P. Hoeher, "A Viterbi algorithm with soft-decision outputs and its applications," Proc. IEEE Globecom '89, Dallas, Texas, pp. 1680~1686, Nov. 1989.
- [5] J. Hagenauer and P. Robertson, "Iterative ("TURBO") decoding of systematic convolutional codes with the MAP nad SOVA algorithms," ITG-Fachberichte, Vol. 130, pp. 2 1~29, 1995.
- [6] L. Lin and R. S. Cheng, "Improvements in SOVA-based decoding for turbo codes," Proc. IEEE ICC '97, Montreal, Canada, Vol. 3~3, pp. 1473~1478, June 1997.
- [7] C. Berrou, P. Adde, E. Angui, and S. Faudeil, "A low complexity soft-output Viterbi decoder architecture," Proc. IEEE ICC '93, Geneva, pp. 737~740, May 1993.
- [8] O. J. Joeressen, M. Vaupel, and H. Meyr, "High speed VLSI architectures for soft output Viterbi decoding," Proc. IEEE ICASAP '92, Oakland, California, pp. 373~384, Aug. 1992.
- [9] L. Papke and P. Robertson, "Improved decoding with the SOVA in a parallel concatenated (turbo-code) scheme," Proc. IEEE ICC '96, Dallas, Vol. 1, pp. 102~106, July 1996.
- [10] T. K. Truong, M. T. Shih, I. S. Reed, and E. H. Satorius, "A VLSI design for a trace-back Viterbi decoder," IEEE Trans. Commun., Vol. 40, No. 3, pp. 616~624, March 1992.
- [11] O. J. Joeressen and H. Meyr, "A 40 Mb/s soft-output Viterbi decoder," IEEE Journal of Solid-State Circuits, Vol. 30, No. 7, pp. 812~

818, July 1995.

- [12] O. J. Joeressen, M. Vaupel, and H. Meyr, "Soft-output Viterbi decoding : VLSI implementation issues," Proc. IEEE VTC '93, Secaucus, NJ, pp. 941~944, May 1993.
- [13] Dae Won Kim, Taek Won Kwon, Jun Rim Choi, Jun Jin Kong "A modified two-step SOVA-based turbo decoder with a fixed scaling factor," Circuits and Systems, 2000. Proc. ISCAS 2000 Geneva. pp. 37 ~40 Vol.4. June 2000.
- [14] Dae Won Kim, Taek Won Kwon, Jun Rim Choi "Implementation of Turbo Decoder Using SOVA," IDEC Conference 2000. pp. 90~93 Aug 2000.

저 자 소 개



金大原(正會員)

1998년 2월 : 경북대학교 전자공학과 졸업. 2000년 2월 : 경북대학교 전자공학과 석사. 2000년 3월~현재 : 경북대학교 전자공학과 박사 과정. <주관심분야 : 통신칩설계 영상압축 및 워터마킹칩설계>



崔峻林(正會員)

1986년 2월 : 연세대학교 전기공학과 졸업. 1988년 8월 : 미국 Cornell 대학교 전자전기공학과 박사. 1991년 7월 : 미국 Minnesota 대학교 전자전기공학과 박사. 1987년 6월~1988년 5월 : 미국 National Nanofabrication Facility 연구원. 1988년 6월~1988년 5월 : 미국 Center For Microtechnology (MEIS) 연구원. 1991년 7월~1997년 2월 : LG전자기술원. 1997년 3월~현재 : 경북대학교 전자전기컴퓨터학부 조교수. <주관심분야 : 암호칩설계, 영상압축칩설계>