

3단 구성의 디지털 DLL 회로

All Digital DLL with Three Phase Tuning Stages

朴 澈 雨*, 姜 晋 球*

Chul-Woo Park*, Jin-Ku Kang*

요 약

본 논문에서는 전부 디지털 회로로 구성된 고 해상도의 DLL(Delay Locked Loop)를 제안하였다. 제안된 회로는 위상 검출기, 지연 선택 블록, 그리고 각각의 지연 체인을 가지는 Coarse, Fine 그리고 Ultra Fine 위상조정 블록의 삼 단의 형식으로 되어 있다. 첫 번째 단은 Ultra Fine 위상조정블록으로 고 해상도를 얻기 위하여 Vernier Delay Line을 사용하였다. 두 번째와 세 번째 단은 Coarse와 Fine 위상조정블록으로 각각의 단위 지연 체인을 이루는 단위 지연 소자의 해상도 만큼의 위상 제어를 하게 되며, 두 단은 상당히 비슷한 구조를 이루고 있다. 회로는 HSPICE를 이용하여 공급 전압이 3.3V인 0.35 μm CMOS 공정으로 시뮬레이션 되었다. 시뮬레이션 결과 회로의 해상도를 약 10ps로 높일 수 있었으며, 동작 범위는 250MHz에서 800MHz 이다.

Abstract

This paper describes a high resolution DLL(Delay Locked Loop) using all digital circuits. The proposed architecture is based on the three stage of coarse, fine and ultra fine phase tuning block which has a phase detector, selection block and delay line respectively. The first stage, the ultra fine phase tuning block, is tune to accomplish high resolution using a vernier delay line. The second and third stage, the coarse and fine tuning block, are tuning the phase margin of Unit Delay using the delay line and are similar to each other. It was simulated in 0.35um CMOS technology under 3.3V supply using HSPICE simulator. The simulation result shows the phase resolution can be down to 10ps with the operating range of 250MHz to 800MHz.

Keyword: all-digital DLL, phase resolution, vernier delay, CMOS

1. 서 론

마이크로 프로세서나 SDRAM(Synchronous Dynamic Random Access Memory)과 같은 고속의 디지털 시스템에서는 정확한 지연시간의 제어를 위해 PLL

* 仁荷大學校 電子電氣工學部

(Dept. of Electronics Engineering, Inha Univ.)

接受日:2002年 3月 6日, 修正完了日:2002年 7月 24日

※ 본 연구는 2000년도 인하대학교의 지원에 의해 수행되었음(INHA-21372)

(Phase Locked Loop)과 DLL(Delay Locked Loop)이 자주 사용되어진다[1][2]. 그러나, 최근의 클럭 속도와 집적도의 증가는 이와 같은 고속의 동기화 회로의 불안정한 동작을 유발한다. 따라서 낮은 지터 특성과 빠른 locking 시간을 갖는 PLL과 DLL의 설계가 중요시되고 있다.

PLL에서는 공급전압 노이즈가 증가하면 VCO 위상 노이즈가 증가하여 출력 신호의 위상 노이즈가

증가하는 단점이 있는데 반해, DLL에서는 VCO 대신 VCDL을 사용하므로 공급전압 노이즈가 증가해도 출력 신호의 위상 노이즈가 별로 증가하지 않는 장점이 있다[3]. 이는 공급전압 노이즈가 인가되면, positive 피드백 회로로 구성된 발진기(oscillator)인 VCO의 발진 주기(oscillation period)는 비교적 크게 영향을 받지만, inverter chain으로 구성되어 피드백 회로가 아닌 VCDL의 지연시간(Delay time)은 큰 영향을 받지 않기 때문이다. 이러한 장점 때문에 클럭의 합성이 요구되어지지 않는 응용분야에서는 VCO에 기초를 둔 PLL보다는 DLL이 더 많이 쓰이고 있다.

DLL은 아날로그, 디지털, 혼성모드의 종류가 있는데, 아날로그 DLL은 resolution이 좋은 반면 locking 시간이 느리고, 노이즈에 민감하다. 디지털 DLL은 공급 전압선 등으로부터 유기되는 노이즈에 둔감한(Insensitive) 특성을 가지며, 모든 회로가 static CMOS 회로로 되어 있으므로, DC 전류를 필요로 하는 VCO를 사용하는 PLL이나 VCDL(Voltage Controlled Delay Line)를 사용하는 DLL에 비해, standby 전력 소모가 매우 작은 장점을 가진다.

그러나 디지털 DLL은 루프 필터를 사용하는 아날로그 DLL에 비해 resolution이 나쁜 단점이 있다. 이는 디지털 DLL에서 지연시간의 해상도는 지연라인의 단위 지연 소자(unit delay element)의 지연시간과 같기 때문인데, delay line의 단위 지연 소자의 지연 시간은 공급전압이 정해지면 일정한 값을 갖는다.

제안하는 회로는 3단 디지털 DLL 블록을 기본으로 하여, Register Controlled DLL(RC-DLL) 구조를 이용하고 Vernier Delay Line을 첨가함으로써 단위 지연시간에 제한 받지 않는 고 해상도의 디지털 DLL을 구현하였다[5][6][7].

먼저 기존의 DLL의 배경이론을 간단히 언급하고 이후 절에서는 제안하는 DLL회로의 구조를 기술하고 모의 실험결과를 보여줄 것이다.

II. 설계된 DLL의 알고리즘과 아키텍처

제안하는 회로는 Register controlled Delay Line(RC-DL)과 Vernier Delay Line(VDL)의 두 종류 Delay Line을 사용함으로써, 빠른 위상잠김 시간(Phase Locking Time)을 갖는 디지털 DLL의 장점과, 해상도가 지연셀의 단위지연시간으로 고정되던 기존의 디지털 DLL의 단점을 극복하여 고 해상도의 디지털 DLL을 구현하였다.

본 논문에서 제안하는 DLL의 구조는 Coarse 위상조정블록(CB)과 Fine 위상조정블록(FB), 그리고 Ultra Fine 위상조정블록(UFB)의 3단 구성이다. 이 중에서 CB와 FB는 빠른 위상잠김 시간을 얻기 위하여, RC-DLL의 구조와 유사한 방식으로 구현하였다. 또한 동작 최저 주파수인 250MHz에서 UFB가 판단 가능한 위상오차를 만족시키려면, RC-DL이 1단일 경우 64개의 지연셀이 필요하지만, CB와 FB의 2단 구성을 통하여 16개의 지연만을 사용하여 UFB가 위상오차를 판단할 수 있도록 하였다. RC-DLL의 동작은 입력 클럭과 출력 클럭과의 위상 차이를 비교하여, 차이에 따라 Shift left/right를 내보내어 Shift Register로 하여금 Delay Line으로 Select 신호를 보내어 위상 차이를 제거하는 방식이다. UFB는 Vernier 지연라인을 사용하여 구현되었다. 버니어 지연 체인은 두 개의 지연라인은 구성되어 두 지연 체인의 단위 지연시간 차이가 위상 해상도가 되어 DLL의 위상 해상도를 한층 높일 수 있다.

제안하는 회로는 그림4와 같이 3 stage로 구성된 Closed Loop 형식이다. 각 단의 위상 선택은 위상 검출기와 카운터를 이용하여 순차적으로 진행되도록 설계하였다.

첫째 단은 Ultra Fine 위상조정블록(UFB)으로 기준클럭과 외부클럭(External Clock)과의 위상차이를 감지하는 기능과 DLL의 작동시에는 VDL(Vernier Delay Line)의 동작으로 10ps 이하의 위상차를 검출하여 가장 정밀한 위상오차제거 기능을 한다. VDL은 UD1(Unit Delay), $UD1+\Delta(10ps)$ 의 위상차를 갖는 sub delay element로 구성된다. 따라서 위상 제어 가능값은 두 단위 지연차이인 10ps이 된다. 예

를 들어 Int_CLK가 Ref_CLK보다 35ps 빠르다면, 3개의 Sub delay를 지나서 3A(30ps)를 보상하여 Ref_CLK과의 위상오차는 5ps로 줄어든다. 둘째 단은 Coarse 위상조정블록으로 단위지연이 500ps인 단위소자 8개로 구성된 UD1(unit delay line)과 unit delay만큼의 위상검출 능력을 가지는 PD(phase detector), 지연라인에 select 신호를 주는 Selection block으로 구성되어 단위지연(500ps) 간격으로 위상차이를 줄여 가는 역할을 한다.

셋째 단은 Fine 위상조정블록으로 단위지연이 70ps(UD2)인 단위소자 8개로 구성된 지연라인과 PD, selection block으로 구성되었으며, 두 번째 단과 같은 방법으로 단위지연(70ps) 간격으로 위상차이를 줄여간다. 동작은 먼저 Coarse 위상조정블록에서 시작한다. 기준클럭(Ref_CLK)과 내부 발생클럭(internal_CLK)과의 위상검출을 통해 500ps 이상의 위상차이를 해결하면서 Coarse 위상조정블록의 위상검출기에서 Lock신호를 발생하여 Fine 위상조정블록으로 보냄으로써 Fine 위상조정블록에서 위상조정이 시작된다. Fine 위상조정블록에서는 500ps 이하의 위상 에러를 70ps 이하로 줄여준다. 위상 에러가 70ps 이하로 줄어들면 FB의 위상검출기의 Lock 신호가 UFB의 위상 검출을 동작하게 하여 10ps의 위상간격으로 위상을 조정한다. 따라서 CB-->FB-->UFB의 순서대로 위상이 순차적으로 위상잠김된다.

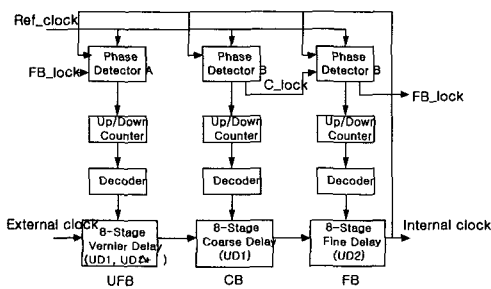


그림 1 전체회로 블록도
Fig. 1 Block Diagram

위상잠김 알고리즘은 그림 2의 순서도에 나타나

었다. 위상 잠김은 CB-->FB-->UFB의 순서대로 일어나지만 기준클럭이 UFB를 먼저 통과하는 것은 시뮬레이션결과 잠김시간이 단축됨을 보였다.

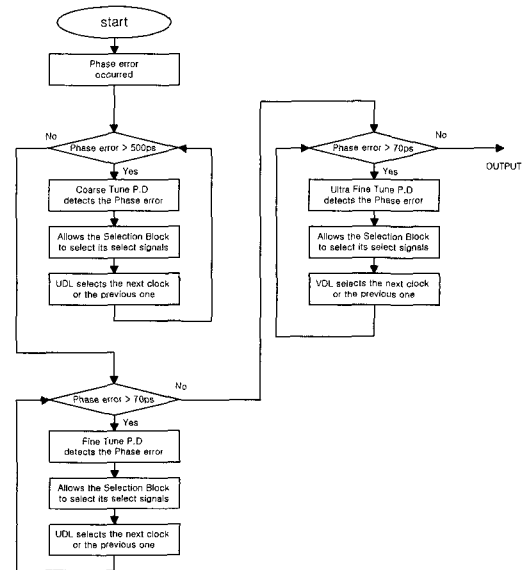


그림. 2 위상잠김 알고리즘 플로우 차트
Fig. 2 Algorithm Flow Chart

그림 3은 위상오차가 수정되어 가는 과정을 클럭의 관점에서 설명한 것이다. 그림의 (a)는 Int_clk과 Ref_clk과의 위상차이를 나타낸 것이고, C1,C2,C3 ... 등으로 나타낸 것은 Coarse 위상 조정블록(CB)의 단위지연이며, 지연정도는 500ps이다. 예를 들어 Int_clk는 Ref_clk보다 873ps 정도로 느리면, Coarse 위상 조정블록에서는 UD 하나만큼 앞에 있는 Clock을 선택함으로써 500ps의 위상차이를 수정하여, Ref_clk과 373ps 느린 Coarse_clk를 출력하면서, Coarse Tune을 완료하게 된다. 이때 위상검출기에서 위상 "Lock"신호가 Fine 위상 조정블록으로 전달된다.

(b)의 그림은 Fine 위상 조정 Block의 신호들을 나타낸 것이며, F1,F2,F3 ... 등은 Fine 위상조정 지연라인의 단위 지연시간으로 고정된 값이며, 지연정도는 70ps이다. Coarse 위상 조정을 마치고 출력된 Coarse_clk와 Ref_clk와의 지연차이는 373ps이다.

Fine 위상조정 블록은 5 클럭 동안 위상 선택블록으로부터 UP 신호를 받아서 350ps의 위상차이를 제거하고, Fine_clk을 Ultra Fine 위상 조정 블록으로 보낸다.

(c)의 그림은 Ultra Fine 위상 조정 블록의 신호들을 나타낸 것이며, U1,U2,U3 ... 등은 최소 위상조정 스텝이며 약 10ps이다. Fine_clk은 Ref_clk보다 23ps 느린 위상차이를 가지고 있으므로, UB는 2clock cycle 동안 선택블록으로부터 UP 신호를 받아서 최종 위상 제거를 하며, Int_CLK은 Ref_clk과 거의 동일한 신호인 3ps 지연된 신호로써 DLL의 위상 제어가 된다.

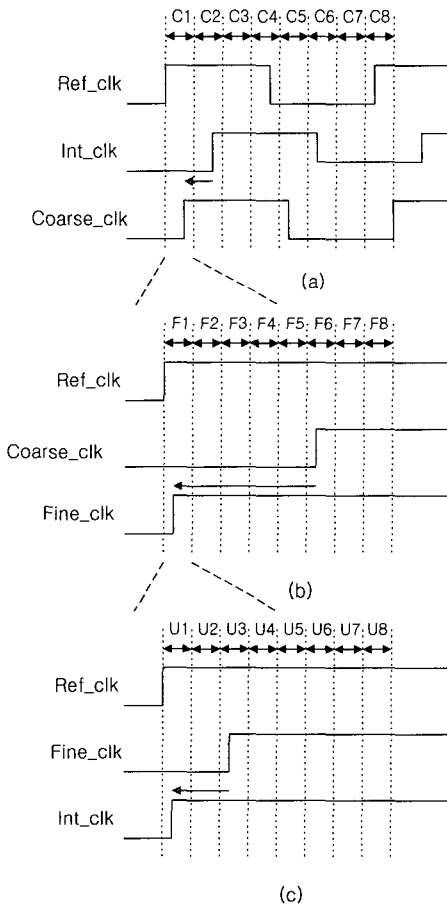


그림 3 위상 위상잠김 과정
Fig. 3 Process of Phase Locking

각 단의 지연값은 최초 설계시 250MHz 동작 클럭을 기준으로 정하였다. FB은 CB단의 하나의 지연스텝인 500ps을 8개의 step으로 제어하기 위해 70ps로 정하였고, 최종 UFB에서는 최소 resolution 10ps로 정하였다.

III. 제안한 디지털 DLL의 회로설계

1. Ultra Fine 위상 조정 블록

그림 4는 Ultra Fine 위상 조정(UFB)을 보여주고 있다. 8개의 UD(Unit Delay element)와 UD+4 (10ps)의 소자 delay를 갖는 7개의 Sub Delay element로 구성된 VDL(Vernier Delay Line)과 위상 검출기(Phase Detector), 그리고 VDL의 신호경로를 결정하게되는 select 신호를 보내기 위한 Selection 블록 - Up-Down Counter, 8bit-decoder, Registers - 으로 구성되었다. 위 부분은 Vernier Delay Line으로서 두 개의 지연 체인 중 위쪽 지연 체인의 버퍼 지연(Sub) 은 아래쪽 지연 체인의 버퍼 지연(UD)보다 약간 큰 값을 갖는다. 지연 차이 t_r 은 $|t_{Sub} - t_{UD}|$ 로 정의되며 10ps로 설계되었다. 따라서 최소 조정 가능한 위상 스텝은 두 개의 지연 차이에 의해 결정되어 미세한 위상의 조정이 가능하다.

버니어 지연 체인의 동작은 다음의 식이 만족되어 질 때 select 신호가 인가되어 Ext_CLK(External Clock)이 UF_CLK(Ultra_Fine Clock)으로 출력된다.

$$n_X \cdot t_r < t_X < (n_X + 1) \cdot t_r$$

t_x 는 기준 클럭(Ref_CLK)과 외부 클럭(Ext_CLK)의 위상 차이를 나타낸다. n_x 는 임의의 정수값이다. 위상 조정은 CB와 FB의 위상이 위상잠김된 후에 동작이 일어나도록 FB의 Lock 신호가 UFB의 위상 검출블록에 입력되어 이 신호가 활성화될 때 UFB의 위상 조정이 시작된다. Vernier Delay Line을 미세 위상 조정회로로 사용 하게되면 Ext_CLK가 VDL을 거치면서 미세 위상이 조정됨과 동시에 단위지연(Unit Delay)을 8개 통과하므로 $8 \cdot UD$ 시간만

큼 추가적인 시간지연이 발생된다. 이것은 위상 위상잠김 시간을 약 4ns 지연시킨다. 즉 250MHz 클럭의 경우 1 cycle 시간이다.

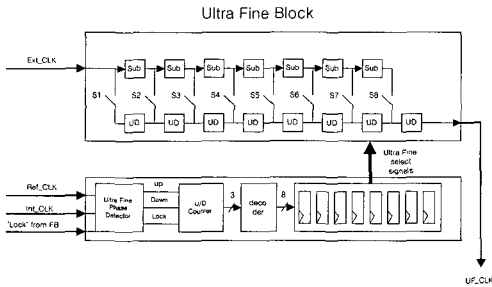


그림 4 Ultra Fine 위상조정 블록
Fig. 4 Ultra Fine Phase Tuning Block

UFB에서 사용한 Phase Detector를 그림 5에 보였다. Phase Detector의 역할은 두 입력 신호의 Phase 차이에 해당하는 신호를 발생하는 것이다. 그림 6 (a),(b),(c)는 UFB에서 사용되는 Phase detector에 나타날 수 있는 입력 파형을 나타낸 것이다. Fine Block에서 공급되는 Lock신호가 'ON'일 때 동작한다.

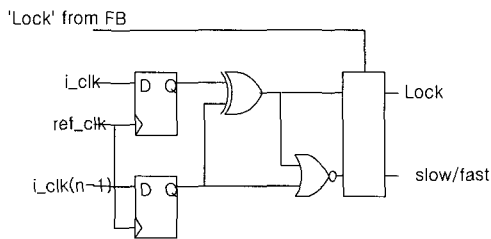


그림 5 Ultra Fine 위상조정블록의 위상검출기
Fig. 5 Phase Detector in the Ultra Fine Phase Tuning Block

그림 6의 (a) 경우에는 $i_clk(n-1)$ 과 $i_clk(n)$ 의 파형이 ref_clk 보다 앞서고 있음을 볼 수 있다. 이러한 경우에 출력 파형은 Fast를 내보내게 되어서, 버니어 지연 체인의 $n+1$ 번째 지연 소자를 선택하게 함으로써 지연 차이를 줄이게 된다

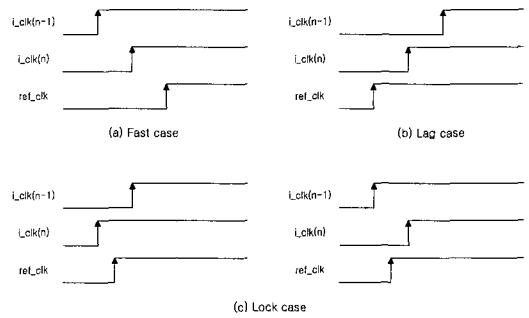


그림 6. Phase Detector의 입력 파형 형태
Fig. 6 Input Waveform of the Phase Detector

(b)는 $i_clk(n-1)$ 과 $i_clk(n)$ 의 파형이 ref_clk 보다 뒤쳐질 경우 출력 파형은 Slow가 ON이 되고, 버니어 지연 체인의 (n-1) 번째 지연 소자를 선택하게 함으로써 Ref_clk 와의 지연 차이를 줄이게 된다. (c)의 경우 Ref_clk 이 $i_clk(n-1)$ 과 $i_clk(n)$ 의 중간에 위치하게 되는 경우로써 XOR를 통과하여 출력되는 Lock 신호가 ON이 되어, 버니어 지연 체인의 n 번째 소자를 선택하게 되어, 일정한 i_clk 를 내보내게 된다. Flip Flop을 사용하는 Phase Detector는 입력 신호의 Duty Cycle과는 상관없이 신호의 Edge에만 영향을 받지만, Delay time이 큰 보통의 CMOS D Flip Flop을 사용하면 고속 동작에 부적합한 단점을 갖는다. 그리하여 D Flip Flop에 의한 지연시간을 줄이기 위해 Yuan/Sevensson Type의 D Flip Flop을 사용하였다[4]. 두 입력신호의 위상차이가 너무 작은 경우에는 Phase Detector가 Detector로서의 제 역할을 하지 못하는 경우가 발생하는데 Dead Zone이라 불리는 이 위상차이의 정도는 Phase Detector의 성능을 좌우하는 큰 변수중의 하나이다. 본 논문에서 쓰인 Phase Detector는 간단한 구조의 D F/F으로 구성되어 있고, 시뮬레이션 결과 Dead Zone이 약5ps 정도이므로, 10ps 이하의 위상차이를 감지하기에는 충분하다.

2. Coarse 위상조정블록과 Fine 위상조정블록

두 번째 단인 Coarse 위상 조정 블록(CB) 구성은 그림 7과 같이 구성되어 있다. 그림에서와 같이 하

나의 지연이 500ps인 8개의 UD(Unit Delay element)로 구성된 UDL(Unit Delay Line)과 위상 검출기(Phase Detector), 그리고 지연단의 Selection 블록 - Up-Down Counter, 8bit-decoder, Registers - 으로 구성되었다. 두 번째 단은 첫 번째 단에서 VDL을 거치면서 초기위상차와 Delay와 preset된 VDL 지연을 거친 UF_CLK을 받아서 UD 이상의 위상오차를 제거하는 역할을 한다.

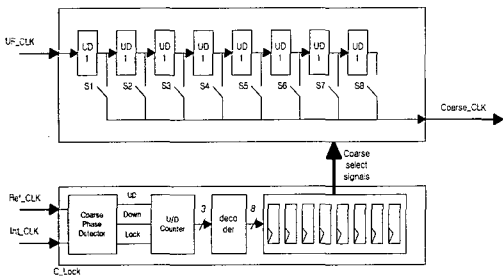


그림 7 Coarse 위상 조정 블록도
Fig. 7 Block diagram of the Coarse Phase Tuning

Coarse 위상조정을 위한 UDL(Unit Delay Line)은 500ps 단위의 위상제어를 위하여 사용되어지며 8개의 단위 지연 소자를 가지고 있다. 단위 지연 소자는 500ps의 지연을 가지도록 설계되었으며, 구조는 AND 버퍼 형식으로 되어 있다.

세 번째 단인 Fine Block(FB)의 블록도를 그림7에 보였다. 지연단의 UDL의 단위 지연값(70ps)을 제외하고는 두 번째 Coarse 위상조정 블록과 같은 구조이다. 70ps 단위의 위상제어를 위하여 사용되어지는 UDL은 8개의 단위 지연 소자를 가지고 있다.

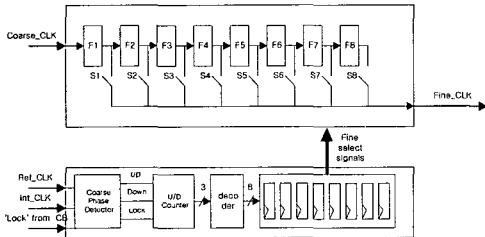


그림 8 Fine 위상조정블록도
Fig. 8 Block Diagram of the Fine Phase Tuning Block

CB와 FB에서는 사용된 Phase Detector[9]은 그림9에 보였다. 위상 검출기 내의 τ 는 위상잠김 Window가 각각 CB와 FB의 단위 위상 조정 값인 500ps, 70ps의 구간을 가지기 위해 쓰여진 지연값이며, 각각의 UDL의 단위 지연과 같은 값의 지연시간을 갖는다.

Phase Detector의 동작은 그림 10에서 A,B,C,D의 4가지 경우로 설명되어 진다. A의 경우 Int_CLK이 Ref_CLK보다 빠른 경우는 위상잠김 window의 앞에 Int_CLK의 Real edge가 위치하므로 Fast 신호를 출력한다. B의 경우 Int_CLK이 Ref_CLK보다 약간 빠른 경우는 위상잠김 window의 범주에 Int_CLK의 Real edge가 위치하여 Lock 신호가 출력된다.

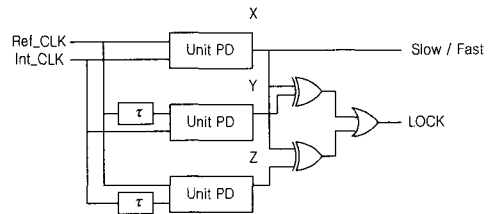


그림 9. CB와 FB에서 쓰인 Phase Detector
Fig.9 Phase Detector in Coarse Block and Fine Block

C의 경우는 Int_CLK이 Ref_CLK보다 약간 느린 경우로 위상잠김 window의 범주에 Int_CLK의 Real edge가 위치하여 Lock 신호가 출력된다. D의 경우 Int_CLK이 Ref_CLK보다 느린 경우로 위상잠김 window의 뒤에 Int_CLK의 Real edge가 위치하므로 Slow 신호를 출력한다

표 1. 위상검출기의 출력
Table 1. Output of Phase Detector

Region	X	Y	Z	Slow / Fast	Lock
A	0	0	0	0	0
B	0	0	1	0	1
C	1	0	1	1	1
D	1	1	1	1	0

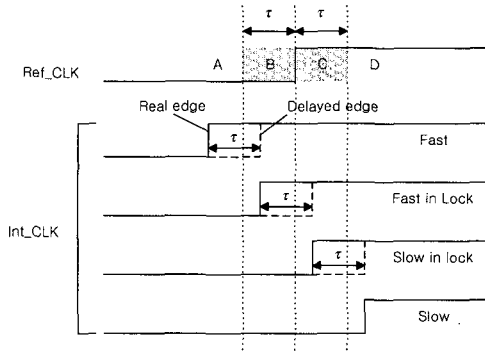


그림 10. 위상검출기의 동작도

Fig. 10 Waveform of Phase Detector in CB and FB

그림11은 각 블록에 사용된 Selection Block의 블록도를 보여준다. Selection Block은 Up-Down counter와 3-to-8 decoder, 그리고 8개의 Register로 구성된다.

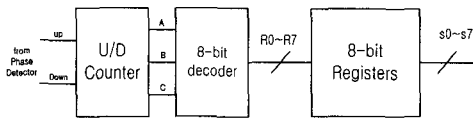


그림 11. Selection 블록도

Fig. 11 Block Diagram of Phase Selection

IV. Simulation 결과 및 고찰

본 논문에서 제안된 3단 all digital DLL 회로는 전자회로 Simulation 도구인 HSPICE를 이용하여 현대 0.35um CMOS p-sub 공정의 모델 파라미터를 사용하여 공급전원 3.3V하에서 모의실험을 수행하였다. 시뮬레이션 수행결과 최하 동작 주파수는 250MHz였으며, 최고 동작 주파수인 800MHz로 임을 검증하였다. 제안한 회로의 동작 주파수 250MHz에서의 worst case에서의 위상잠김 time은 Coarse Block에서 8 Clock Cycle, Fine Block에서 8 Clock Cycle, Ultra Fine Block에서 8 Clock Cycle 과 Pre_delay의 최대치로 2 Clock을 합쳐서 26 Clock Cycle이다. (104ns)

그림 12의 경우는 External Clock이 Reference Clock보다 3.3ns 앞서는 경우에 대한 시뮬레이션 파형이며 250MHz에서 수행되었다. 결과 파형을 보면 13 Clock Cycle만에 위상잠김이 되어짐을 알 수 있다. 이때 위상 resolution은 13ps으로 나타났다. 그림 13은 동작 주파수 500MHz에서 External Clock이 기준 클럭보다 뒤 처질 경우의 Ref_clk과 Int_clk의 시뮬레이션 파형이다. 위상잠김 time은 53.2ns이며, resolution은 24ps이다. 그림 14은 최고 동작 주파수 800MHz에서 External Clock이 Reference Clock보다 뒤 처질 경우의 Ref_clk과 Int_clk의 시뮬레이션 파형이다. 고속으로 동작하기 때문에, 초기에는 Int_clk의 신호가 흔들리지만 차츰 위상잠김 되는 것을 볼 수 있다. 위상잠김 time은 47ns이며, resolution은 42ps이다.

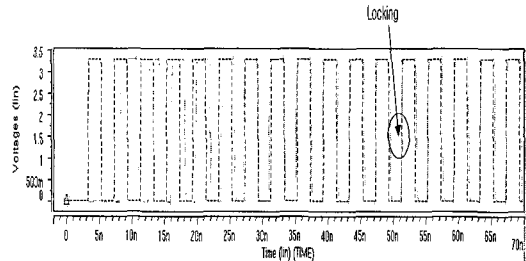


그림 12. Ext_clk이 Ref_clk보다 3.3ns lead하는 경우의 Ref_clk와 Int_clk파형(@250MHz),

Fig. 12 Waveforms of Ref_clk and Int_clk when Ext_clk is leading Ref_clk by 3.3ns at 250MHz

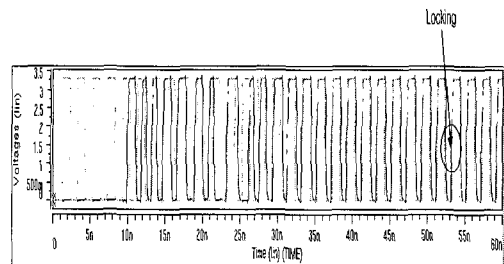


그림 13. Ext_clk이 Ref_clk보다 lag인 경우의 Ref_clk와 Int_clk파형(@500MHz)

Fig. 13 Waveforms of Ref_clk and Int_clk when Ext_clk is lagging Ref_clk(@500MHz)

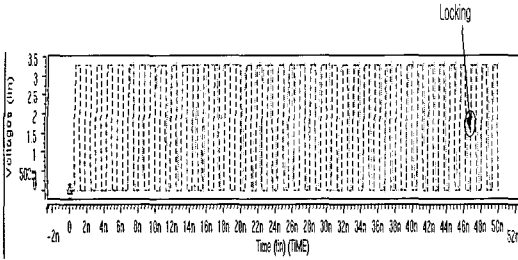


그림 14. Ext_clk이 Ref_clk보다 lag인 경우의 Ref_clk와 Int_clk파형(@800MHz)
 Fig. 14 Waveforms of Ref_clk and Int_clk when Ext_clk is lagging Ref_clk(@800MHz)

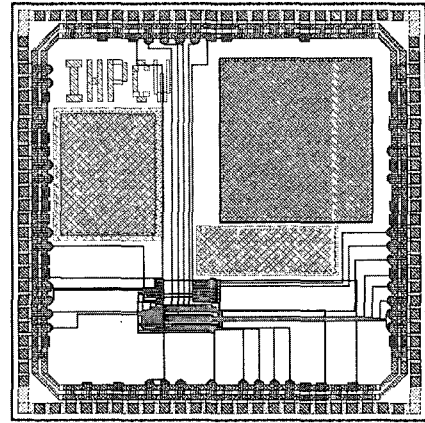


그림 15. 제안한 회로의 Layout
 Fig. 15 Layout

표 2. 기존의 디지털 DLL과의 비교
 Table 2. Comparison with Previous Works

구분	동작 영역	전력 소모	Locking time	resolution
버니어지연 체인 ^[5]	25 ~ 300MHz	-	-	30 ~ 250ps
Phase Interpolation ^[6]	250~ 667MHz	340mW @400MHz	< 2.9 μ s	40ps
Register-Controlled ^[11]	125~ 250MHz	30mW @300MHz	-	100ps
Low Power ^[8]	100MHz	41mW	< 2 μ s	400ps
제안된 회로	250 ~ 800MHz	94 ~ 252mW	< 0.1 μ s	10 ~ 45ps

V. 결론

제안한 DLL 회로는 위상 오차를 Digital Mode로 tuning하는 3단 Register controlled DLL 구조를 바탕으로 하였다. 낮은 해상도가 단점이던 디지털 DLL의 해상도를 높이기 위해 Vernier Delay Line을 사용하여서 해상도를 평균 10ps 정도로 높였다. 250MHz에서 Coarse 위상 조정 블록은 500ps의 해상도를 가지며, Fine 위상조정블록은 70ps의 위상 해상도를 갖고, Ultra Fine 위상조정블록은 10ps의 해상도를 갖는다. 이와 같이 다른 resolution을 갖는 세 단의 위상 제어 블록을 사용함으로써 제한 없는 위상 조절 능력과 짧은 위상 위상잠김시간을 얻도록 설계하였다. 설계한 DLL 회로는 0.35 μ m CMOS technology로 시뮬레이션 되었다. 시뮬레이션 결과, 동작 주파수 250MHz인 경우의 평균 위상제어해상도는 13ps이며, 500 MHz인 경우에는 24ps, 800MHz의 경우에는 42ps였다. 동작 주파수가 높아질수록 resolution이 낮아지는 것으로 나타났다. 이는 동작 주파수가 높아질수록 위상 검출기의 검출능력이 따라가지 못하기 때문으로 분석된다. 전체 회로는 최저 동작 주파수인 250MHz에서 가장 민감하도록 설계되었다. power dissipation은 250MHz에

실험결과에 의해 제안한 회로의 동작영역은 250~800MHz까지로 검증되었으며, 평균 소비 전력은 94mW(@250MHz) ~ 252mW(@800MHz)였다. resolution은 평균 10ps(@250MHz)로 기존의 논문들과 비교하였을 경우 위상잠김 시간과 resolution 면에서 좋은 결과를 나타내었다. 그림 15는 제안한 회로의 Layout이다. 0.35 μ m CMOS technology를 사용하였으며, 본 회로는 현재 칩 제작 중에 있다. Core size는 780 * 510 μ m²이다.

서 94mW이고, 800MHz에서 252mW가 소모되었다. 설계한 회로의 위상잠김 range는 250MHz에서 최고 800MHz이다. 제안한 회로는 고속의 디지털 시스템에서는 정확한 지연시간의 제어를 위해 사용되어질 수 있을 것이다.

VI. 감사의 글

본 연구에 사용된 CAD 툴을 지원을 해준 IDEC에 감사드립니다.

참 고 문 헌

[1] M.Johnson and E.Hudson, "A variable delay line PLL for CPU coprocessor synchronization", *IEEE J. Solid-State Circuits*, vol.23, Oct.1998, pp.1218-1223.

[2] Atsushi Hatakeyama, Hirohiko Mochizuki, "A 256Mb SDRAM Using a Register - Controlled Digital DLL", *IEEE J. Solid-State Circuits*, vol.32, Nov.1997, pp.1728-1734.

[3] A.Hatakeyama et.al, "A 256-M SDRAM Using a Register Controlled Digital DLL", *IEEE JSSC* vol.23,no.5, Oct.1998, pp. 1218-1223

[4] R. Rogenmoser et al., "1.16GHz Dual-Modulus 1.2um CMOS Prescaler." *IEEE 1993 CICC Proc.*, pp 27.6.1-27.6.4

[5] Piotr Dudek, "A High-Resolution CMOS Time-to-Digital Converter Utilizing a Vernier Delay Line", *IEEE J. Solid-State Circuits*, vol.35, Feb.2000, pp. 240-247

[6] Brono W. Garlepp, Kevin S. Donnelly et.al, "A Portable Digital DLL for High-Speed CMOS Interface Circuits", *IEEE J. Solid-State Circuits*, vol.34, May.1999, pp.632-643.

[7] Feng Lin, Jason Miller, Aaron Schoenfeld, "A

Register-Controlled Symmetrical DLL for Double-Data-Rate DRAM", *IEEE J. Solid-State Circuits*, vol.34, April. 1999, pp. 565-568.

[8] Bum-Sik Kim and Lee-sup Kim, "100MHz all-digital delay-locked loop for low power applicaion", *Electronics Letters*, vol.34, Sep.1998, pp. 1739-1740

[9] Tae-Sung Kim, Sung-Ho Wang, Beomsup Kim. "A low jitter, fast locking delay locked loop using measure and control scheme ", *Mixed-Signal Design*, 2001. SSMSD. 2001 Southwest Symposium on , 2001 pp. 45 -50

저 자 소개

朴 澈 雨 (正會員)



2000년 인하대학교 전자.전기. 컴퓨터공학부 졸업
 2002년 인하대학교 전자.전기 컴퓨터공학부 석사졸업.
 현재 일맥시스템 하드웨어설계 담당
 관심분야 : CMOS고속회로 설계,

VLSI, 신호처리회로설계

姜 晳 球 (正會員)



1983 서울대학교 공학사.
 1990 New Jersey Institute of Technology 전자공학 석사,
 1996 North Carolina State University, 전자 및 컴퓨터공학 박사. 1983-1988 삼성반도체, 1996-1997 미국 INTEL 선임설계 연구원. 1997. 3월 - 현재 인하대학교 전자전기공학부 조교수
 관심분야: 고속 CMOS회로설계. 혼합모드 회로설계, 통신용회로설계