

논문 2003-12-2-01

윤곽검출용 CMOS 시각칩의 수평억제 기능 해석 및 국소 광적응 메커니즘에 대한 검증

김정환*, 박대식*, 박종호*, 김경문*, 공재성*, 신장규*, 이민호*

Analysis of Lateral Inhibitive-Function and Verification of Local Light Adaptive-Mechanism in a CMOS Vision Chip for Edge Detection

Jung-Hwan Kim*, Dae-Sik Park*, Jong-Ho Park*, Kyoung-Moon Kim*,
Jae-Sung Kong*, Jang-Kyoo Shin*, and Minho Lee*

요 약

CMOS 공정을 이용한 윤곽검출 시각칩 설계시, 넓은 범위의 광강도에 대해서 이미지의 특징검출을 위하여 국소 광적응기능이 필요하다. 국소 광적응이란 망막내 수평억제(lateral inhibition) 기능을 행하는 수평세포를 이용하여 입력 광강도에 응답하는 국소적인 수평세포층의 수용야 크기를 변화시켜 동일한 출력레벨을 얻는 것이다. 따라서, 배경광보다 조금 크거나 아주 큰 입력광의 변화가 있을 때 동일한 출력레벨을 얻을 수 있다. 본 연구에서는, 망막내 수평세포를 p-MOSFET로 구성된 저항성 회로망으로 모델링 및 해석하고, 이를 이용하여 설계된 시각칩의 국소 광적응 메커니즘을 검증하였다.

Abstract

When a vision chip for edge detection using CMOS process is designed, there is a necessity to implement local light adaptive-function for detecting distinctive features of an image at a wide range of light intensities. Local light adaptation is to achieve the almost same output level by changing the size of receptive-fields of the local horizontal cell layers according to input light intensities, based on the lateral inhibitive-function of the horizontal cell. Thus, the almost same output level can be obtained whether input light intensities are much or less larger than background. In this paper, the horizontal cells using a resistive network which consists of p-MOSFETs were modeled and analyzed, and the local light adaptive-mechanism of the designed vision chip using the resistive network was verified.

Key Words : CMOS retina chip, CMOS vision chip, retina chip, analog CMOS retina chip

1. 서 론

기존의 CMOS 생산라인을 통하여 이미지 센

서제작이 가능하다는 점을 기반으로 CMOS 공정기술을 이용한 이미지 센서개발에 많은 연구가 진행되고 있다.^[1-9] CMOS 이미지 센서의 개발에 있어, 생체의 망막에서 정보처리를 수행하는 신경세포는 컴퓨터의 기본소자인 트랜지스터의 동작속도에 비해 상대적으로 느리나 입력된 정보를 병렬방식으로 처리하기에 시각정보를 실시간으로 처리하는 것이 가능한 점을 이용, CMOS

* 경북대학교 전자전기공학부(School of Electronic and Electrical Engineering, Kyungpook National University)

<접수일자 : 2002년 11월 18일>

회로로 구성된 시각칩에 관한 연구가 활발하게 진행되고 있다.^[1-6]

CMOS 시각칩은 인간의 망막구조를 기초로 해서 윤곽 검출을 수행하는 주요세포인 시세포, 수평세포 및 쌍극세포를 전자회로적으로 모델링하여 윤곽검출 기능을 구현하였다.^[1-6] Yagi 등은 MOSFET 저항기로 수평세포를 모델링하여 윤곽검출을 수행하였으나, 여러 개의 MOSFET가 필요하다는 단점이 있다.^[4]

본 연구에서는 수평억제(lateral inhibition)기능을 수행하는 수평세포를 단일 p-MOSFET로 대체하여 저항성 회로망으로 모델링하였고, 입력 광강도의 변화에 관계없이 동일한 출력 레벨을 얻을 수 있는 국소 광적응 메커니즘을 Hspice 모의실험으로 검증하였다.

2. 이 론

2-1 윤곽 검출의 원리

그림 1은 간략화된 망막의 구조를 나타낸 것이다.^[5] 망막은 외과립층, 내과립층 및 신경절세포층으로 구성된 세 개의 세포층상에 시세포, 수평세포 및 쌍극세포 외에 아마크린세포, 신경절세포 및 망상층간세포가 나누어져 분포하고 있다.

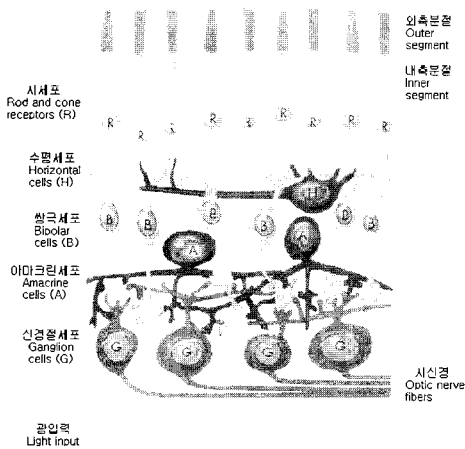


그림 1. 간략화된 망막의 구조.
Fig. 1. Simplified structure of the retina.

아마크린세포는 쌍극세포와 신경절세포간의 시냅

스(synapse) 전달을 돕고, 신경절세포는 쌍극세포의 아날로그 출력신호를 디지털신호로 변환하는 기능을 한다. 이런 세포들로 구성된 망막에서 윤곽 검출을 수행하는 주요세포로는 시세포, 수평세포 및 쌍극세포가 있다.

윤곽검출에 관여하는 세포들의 기능을 신호전달경로로 알아보면, 입력되는 광은 다른 세포들을 통과하여 가장 안쪽의 시세포에서 전기신호로 변환된다. 수평세포는 시세포의 출력을 공간적으로 평활화하고 쌍극세포는 시세포와 수평세포의 차이를 출력한다. 이런 방법으로 입력된 이미지의 윤곽부분에서만 큰 출력을 얻을 수 있다. 그림 2는 윤곽검출의 원리를 나타낸 것이다.

여기서 입력신호(input signal)는 입력되는 광신호를 의미하고, 평활신호(smoothed signal)는 수평세포를 통해 공간적으로 평활되는 신호를 의미하며 출력신호(output signal)는 입력과 평활화된 신호의 차이를 나타낸다.

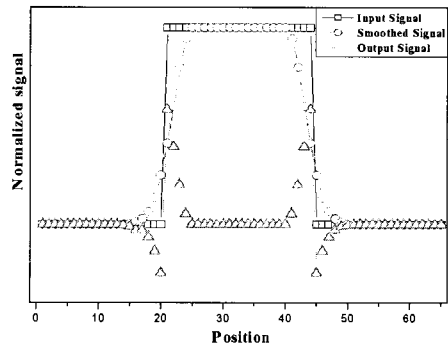


그림 2. 윤곽검출기능의 원리.
Fig. 2. Principle of edge detecte-function.

2-2 수평억제

수평억제란 망막내 윤곽검출을 행하는 여러개의 단위세포들이 새로운 입력에 대해 각각 독립적으로 신호처리를 행하고 그 결과를 출력하는 것이 아니라, 단위세포와 단위세포들을 연결하는 수평세포를 통해 새로운 입력에 대한 그 변화량을 인접한 다른 단위세포로 전달하거나, 다른 단위세포들로부터 전송받을 수 있음을 의미한다. 즉, 세포들간의 상호작용을 통한 신호처리의 결과를 출력한다.

이런 수평억제기능을 수평세포가 담당을 하게

되고, 그에 대한 전자회로적인 모델링이 필요하다.

2-3 국소 광적응

망막내 수평세포의 수평억제기능을 이용하여 입력 광강도에 응답하는 국소적인 수평세포층의 수용야 크기를 변화시켜 동일한 출력레벨을 얻도록 한다.^[3] 즉, 입력 광강도가 큰(작은) 경우 수평세포층의 평활화에 의한 입력전류의 확산을 억제(촉진)하여 쌍극세포를 통한 출력전류의 레벨이 낮게(높게)되도록 하는 것을 의미한다. 그림 3은 이러한 국소 광적응 윤곽검출의 원리를 나타낸 것이다.

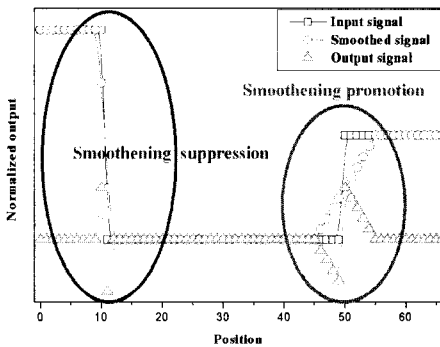


그림 3. 국소 광적응 윤곽검출의 원리.
Fig. 3. Mechanism of edge detection with local light adaptive-function.

그림 3에서 평활화 촉진부분의 윤곽선은 평활화 억제부분에 비해 희미하고 두터운 모양을 띠고 있다. 이런 점은 zero-crossing 검출기를 이용하면 억제와 촉진 모든 부분에서 선명한 윤곽을 검출할 수 있을 것이다.

2-4 저항성 회로망

인간 망막의 구조를 기초로 한 윤곽검출기능을 갖는 시각칩의 제작에 있어 시세포, 수평세포, 그리고 쌍극세포의 전자회로적인 모델링이 필수적이다. 그 중, 수평세포는 gap junction 이라 불리는 고저항 결합에 의해 연결되어 있고 시세포 바로 아래서 전기적으로 연속 저항성 회로망을 형성한다.

이러한 수평세포의 기능을 C. A. Mead는 저

항성 회로망을 이용하여 설명하고, 이를 CMOS 공정으로 제작용이한 MOSFET로 대체하여 모델링하였다.^[2]

2-4-1 연속 저항성 회로망

수평세포는 입력 신호를 공간적으로 평활화하여 인접한 셀의 신호처리과정에 영향을 미친다. 이런 수평세포의 기능을 C. A. Mead는 저항성 회로망을 제안하여, 회로망상의 임의의 한 노드를 통해 유입되는 전류에 의해 생성되는 전압이 회로망의 다른 부분에 미치는 영향의 정도를 설명하였다.^[2] 그림 4는 C. A. Mead가 제안한 저항성 회로망의 개략도이다.

가장 간단한 저항성 회로망은 단위길이당 저항 R 과 단위길이당 컨덕턴스 G 로 표현할 수 있다. 반무한(semi-infinite)의 회로망으로 가정하고, R 과 G 의 고유치는 x 에 대해서는 독립적이라고 가정한다.

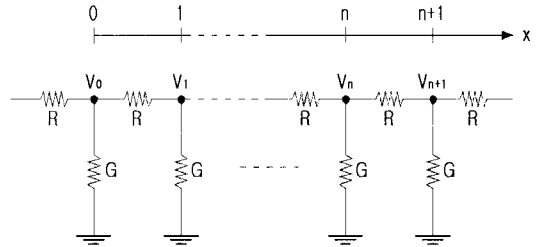


그림 4. C. A. Mead가 제안한 저항성 회로망.
Fig. 4. Resistive network proposed by C. A. Mead.

전압 V_0 는 $x = 0$ 에서 인가된 전압을 의미한다. 입력전압이 회로망상의 임의의 점 x 에서의 전압 $V(x)$ 에 주는 영향은 점 x 에서의 전압과 저항 R 을 통해 흐르는 전류 $I(x)$ 와 $x+dx$ 점에서의 $I(x+dx)$ 의 관계로 구할 수 있다.

$$V(x) = V(x+dx) + I(x+dx)Rdx \quad (1)$$

$$I(x) = I(x+dx) + V(x)G(x) \quad (2)$$

dx 는 아주 작은 값이므로 전류 I 와 전압 V 는 x 의 선형함수이고, 식 (1)과 식 (2)를 이용하여 전압 V 에 관한 이차미분방정식을 얻어 그 해를 구할 수 있다.

$$V(x) = V_0 e^{-\alpha x} = V_0 e^{-\frac{x}{L}} \quad (3)$$

상수 α 와 L 은 각각 회로망의 공간정수(space constant)와 확산길이(diffusion length)라

하고 다음과 같이 정의한다.

$$\alpha = \frac{1}{L} = \sqrt{RG} \quad (4)$$

이상과 같이 유입된 전류에 의해 생성되는 전압으로부터 멀어질수록 신호의 크기는 점차 감소하고, 그 감소의 정도는 단위길이당의 저항 R 과 컨덕턴스 G 에 의해 결정됨을 알 수 있다. 수평 세포가 입력된 신호를 평활화시키고 인접한 셀의 신호처리과정에 영향을 주는 현상을 한 노드의 전압변화가 다른 노드로 지수적으로 감소하며 영향을 주는 저항성 회로망으로 설명 가능하다.

2-4-2 MOSFET 저항성 회로망

C. A. Mead가 제안한 저항성 회로망의 요소인 R 과 G 를 구현하는데 있어 p-MOSFET을 이용하게되면 면적의 감소와 균일한 R 을 제공할 수 있다. 따라서, p-MOSFET을 이용한 저항성 회로망의 해석을 위해서 그림 5에 개략도를 나타내었다.

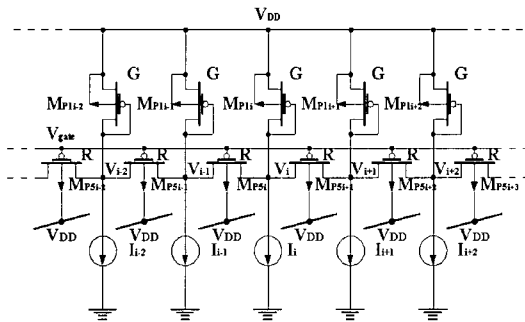


그림 5. p-MOSFET로 구성된 저항성 회로망.
Fig. 5. Resistive network consists of p-MOSFETs.

정전류원으로 표시된 것은 시각칩의 단위픽셀 회로중 수광소자를 통한 입력 광전류를 표시한 것이고, M_{P1i} 는 바이어스전압 V_{DD} 에 연결된 p-MOSFET, 그리고 M_{P5i} 는 이웃하는 단위픽셀회로와 연결되어 수평역제의 역할을 하는 p-MOSFET이다. 즉, M_{P1i-n} 에서 M_{P1i+n} 는 저항성 회로망의 G 성분에, M_{P5i-n} 에서 M_{P5i+n} 은 R 성분에 해당되며 망막의 수평세포역할을 한다.

모든 전류원, 즉, 입력 광전류의 크기가 모두 균일하게 I_0 라면, 노드 V_{i-n} 에서 V_{i+n} 까지 일정한 전압분포를 가지게 된다. 따라서, R 과 G 는 일정한 값을 갖는 상수이다.

식 (3)으로부터 임의의 노드 전류가 I_0 에서 I 로 변화될 때, 그 노드전압의 회로망을 통한 전달정도를 알 수 있다. 이 때, 회로망의 R 과 G 의 값이 R_0 와 G_0 , 크기가 다른 전류가 유입된 노드의 전압을 V_0 라면, V_0 에 의한 $i+n$ 번째 노드의 전압은 다음과 같이 나타낼 수 있다.

$$V(i+n) = V_0 e^{-\alpha(i+n)} = V_0 e^{-\frac{i+n}{L}} \quad (5)$$

여기서, $\alpha = 1/L = \sqrt{R_0 G_0}$ 이다.

수평배열된 p-MOSFET의 게이트전압은 V_{gate} 로 고정되고, 드레인, 소스의 전압은 입력되는 광전류강도 의해 변화되는 전압에 따라 결정된다. 그 전압변화는 매우 작기에 신호의 분할(segmentation)을 위해서 MOSFET는 subthreshold 영역에서 동작해야한다. 이 때, MOSFET의 R 과 G 의 크기는 subthreshold영역의 전류관계식으로부터 구할 수 있다.

$$I_{SD} = I_0 \exp\left(-\frac{xV_G - V_S}{U_T}\right) \left[1 - \exp\left(-\frac{V_S - V_D}{U_T}\right)\right] \quad (6)$$

여기서, $I_0 = \frac{qaw}{L} ND$, $U_T = kT/q$, x 는 도핑된 기판에서의 이온화된 도너나 억셉터에 의해 장벽의 에너지를 조절하는 게이트 영향력의 감소를 고려한 요소로써 공정변화에 따라 조금씩 달라진다.

동일한 광이 입사되는 부분에서의 R 은 각 p-MOSFET의 드레인과 소스의 전압차이가 아주 작음으로 인해 subthreshold의 선형영역에서 동작을 하게된다. 즉, $V_{SD} \leq 4U_T$ 인 경우 식 (7)과 같이 나타낼 수 있다.

$$\begin{aligned} I_{SD} &= I_0 \exp\left(-\frac{xV_G - V_S}{U_T}\right) \left[1 - \exp\left(-\frac{V_S - V_D}{U_T}\right)\right] \\ &\cong I_0 \exp\left(-\frac{xV_G - V_S}{U_T}\right) \left[1 - \left(1 + \left(-\frac{V_S - V_D}{U_T}\right) + \dots\right)\right] \\ &= I_0 \left(-\frac{V_D - V_S}{U_T}\right) \exp\left(-\frac{xV_G - V_S}{U_T}\right) \end{aligned} \quad (7)$$

구하고자하는 R 은 전압변화에 따른 전류변화의 관계식을 이용하여 식 (8)과 같이 나타낼 수 있다.

$$R \equiv \frac{\partial V_{SD}}{\partial I_{SD}} = U_T \left[I_0 \exp\left(-\frac{xV_G - V_S}{U_T}\right) \right]^{-1} \quad (8)$$

식 (8)로부터, R 은 p-MOSFET의 게이트와 소스간의 전압차이에 의해 그 값이 결정이 됨을 알 수 있다.

다이오드 연결된 M_{P5} 는 항상 포화영역에서 동작을 하게된다. 입사되는 광 강도에 의한 노드 전압 V_i 의 함수로서 G 는 표현 가능하다. i 번째 노드의 G_i 에 흐르는 전류를 I_i , 노드전압을 V_i 로 두고, $V_{SD} \geq 4U_T$ 이므로,

$$I_{SD} = I_0 \exp\left(-\frac{xV_i}{U_T}\right) \left[1 - \exp\left(-\frac{V_{SD}}{U_T}\right)\right] \quad (9)$$

$$\cong I_0 \exp\left(-\frac{xV_i}{U_T}\right) \equiv I_i$$

$$G_i = \frac{\partial I_i}{\partial V_i} = \frac{x}{U_T} I_0 \exp\left(-\frac{xV_i}{U_T}\right) \quad (10)$$

$$= \frac{x}{U_T} I_i \equiv G$$

가 된다. 입력 광 전류를 변화시키면 G 가 변화되고 확산길이 L 이 변하게된다. 식 (8)과 식 (10)으로부터 확산길이 L 은 다음과 같이 구할 수 있다.

$$L = \frac{1}{\sqrt{RG}} \quad (11)$$

$$= \left[\sqrt{x \exp\left(\frac{xV_G - xV_i - V_S}{U_T}\right)} \right]^{-1}$$

가 된다. 따라서, C. A. Mead가 제안한 저항성 회로망을 p-MOSFET로 대체하여 등가화할 수 있으며, 임의의 노드에 유입되는 전류의 변화는 p-MOSFET로 구성된 회로망을 통하여 이웃하는 단위픽셀에 영향을 주게되고, 입력 광전류의 크기에 따라 확산길이 L 이 식 (11)처럼 변화됨을 알 수 있다.

또한, 식 (11)로부터 확산길이 L 은 MOSFET의 게이트, 소스, 그리고 드레인단자의 전압에 따라 달라지게 된다는 것을 알 수 있다. 이로 인해 국소 광적응 기능이 구현될 수 있다.

2-4-3 국소 광적응을 위한 확산길이 L

국소 광적응 기능이 구현되기 위해서는 입력 광강도가 큰(작은) 경우 수평세포층의 평활화에 의한 입력전류의 확산을 억제(촉진)하여야 한다. 즉, 입력 광강도가 큰 경우, 확산길이 L 은 짧아져야 하고, 작은 경우는 그 반대이다.

국소 광적응 기능을 확인하기위해 그림 6과 같이 단위픽셀회로를 구성하고, 입력 광전류의 변화를 100 pA에서 100 nA까지 로그스케일로 변화시키면서 모의실험을 행하였다. 블록 (a)와

(b)로 표시된 것이 그림 5의 p-MOSFET로 구성된 저항성 회로망이다. 광 다이오드 이하는 그림 5에서의 정전류원에 해당된다.

제안된 단위픽셀회로는 수백 pA에서 수백 nA 까지 윤곽검출이 가능하도록 logarithmic 회로를 채택하여 80 dB이상의 dynamic range를 갖도록 하였고, 광전류의 포화가 잘 되지 않도록 하기위해 광 다이오드를 채택하여 구성하였다.

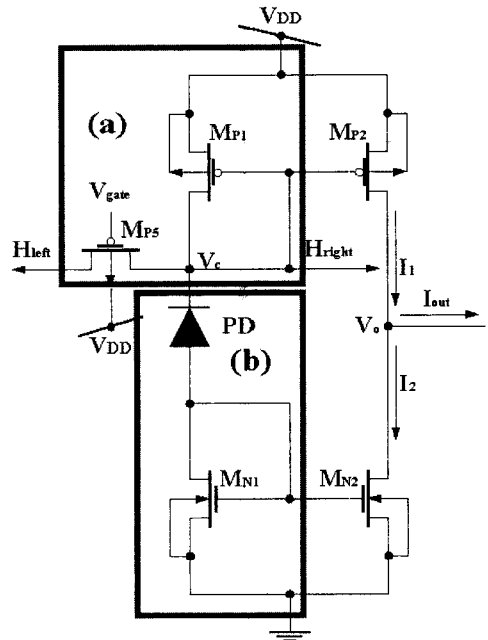


그림 6. 단위픽셀회로.
Fig. 6. Unit pixel circuit.

3. 모의 실험

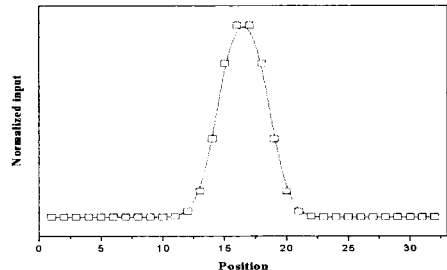


그림 7. 가우시안분포 입력.
Fig. 7. Gaussian distributive input.

단위픽셀회로 32개를 1차원 배열하였고, 배경 광전류를 10 pA로 가정하였다. 입력 광강도분포형태는 광의 분산에 의해 주변에 위치한 단위픽셀까지도 입력 광의 영향이 존재하리라 가정하여, $\sigma = 1.5$ 인 가우시안분포형태를 띠게하였다. 그림 7은 정규화된 가우시안분포형태의 입력을 나타낸 것이다.

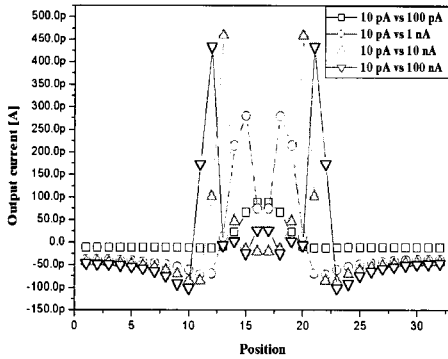


그림 8. 입력 광강도 변화에 따른 국소 광적응된 윤곽검출 결과.

Fig. 8. Results of locally adapted edge detection with light inputs.

그림 8은 입력 광강도 변화에 따른 국소 광적응된 윤곽검출의 모의실험 결과를 나타낸 것이다. 광강도가 증가함에 따라 윤곽의 위치가 달라지는 것은 가우시안 분포를 띠는 입력형태가 광강도의 증가와 더불어 광의 분산으로 인해 인접한 단위픽셀에 주는 영향이 더욱더 넓어지기 때문이다.

10 pA의 배경광에 대하여 입력 광전류를 100 pA에서 100 nA까지 로그스케일로 변화시키는 동안, 각 입력 광전류에 대한 출력전류의 레벨은 비슷한 크기임을 알 수 있다. 이는, 광강도가 큰 경우 M_{P5} 를 통해서 흐르는 전류의 확산길이가 짧아지고, 광강도가 작은 경우 확산길이가 길어지기 때문이다. 이를 검증하기 위해 1차원 배열된 단위픽셀회로의 V_C 노드들의 전압, 그리고 M_{P1} 및 M_{P5} 를 통해서 흐르는 전류를 조사하였다. V_C 노드전압과 $R-G$ 를 구성하는 M_{P1} 과 M_{P5} 의 전류를 알게되면, 정량적인 확산길이 L 을 알 수 있을 것이다. 국소 광적응된 출력결과를 얻기위해 M_{P5} 의 게이트 전압은 3.45 V로 고정

하였다.

1차원 배열된 단위픽셀회로의 V_C 노드들의 전압을 조사하여 그림 9에 나타내었다. V_C 노드들의 전압분포형태는 입력 광전류가 증가할수록 작아진다. 인접한 단위픽셀회로의 노드 V_C 간의 전압차가 제일 큰 경우에 윤곽이 나타남을 그림 8과 비교해서 알 수 있다.

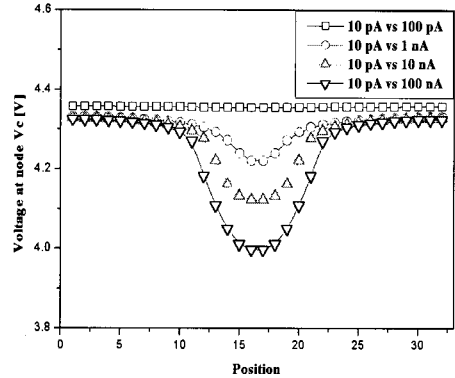


그림 9. 노드 V_C 의 전압분포.

Fig. 9. Voltage distributions at node V_C .

출력전류레벨이 비슷한 크기를 갖는 것은 식 (8)에서와 같이 R 이 게이트와 소스의 전압차증가로 인해 지수함수에 비례하며 커지게되기 때문이다. 그리고, 식 (9)의 V_i (그림 6의 V_C 노드)는 다른 노드에 비해 작은 전압을 나타낸다. 따라서, G 는 지수함수에 비례하며 커지게되고, 이로 인해 확산길이 L 이 식 (4)의 정의로부터 감소하게된다. 즉, 입력 광전류의 크기가 클수록 확산길이 L 의 감소가 두드러지게 나타난다. 다음의 검증과정을 거쳐 그 사실을 알 수 있다.

M_{P5} 와 M_{P1} 을 통해서 흐르는 전류크기를 조사하였다. M_{P5} 를 통해 흐르는 전류와 그 양단의 전압변화를 알게되면 R 을 구할 수 있고, M_{P1} 을 통해 흐르는 전류와 양단의 전압변화로 G 를 구할 수 있다. 그림 10은 각 단위픽셀회로의 M_{P5} 와 M_{P1} 을 통해 흐르는 전류를 나타낸 것이다. (a)는 M_{P5} 를 통해 흐르는 전류, (b)는 M_{P1} 을 통해 흐르는 전류이다.

R 은 M_{P5} 의 $\Delta V_{SD5}/\Delta I_{SD5}$ 로 구할 수 있고, G 는 M_{P1} 의 $\Delta I_{SD1}/\Delta V_{SD1}$ 의 비로 구할 수 있다.

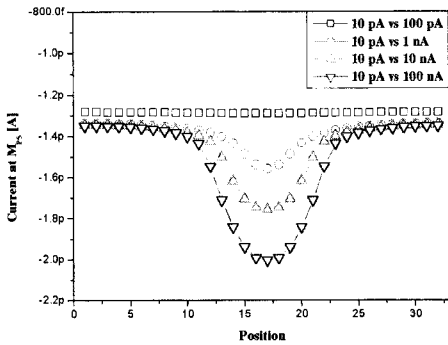
그림 11은 p-MOSFET로 구성된 저항성 회로

망의 R 과 G 성분을 나타낸 것이다. 음의 값을 갖는 R 의 분포는, 전류의 유입과 유출에 따른 전류 방향의 변화에 기인된 것이다.

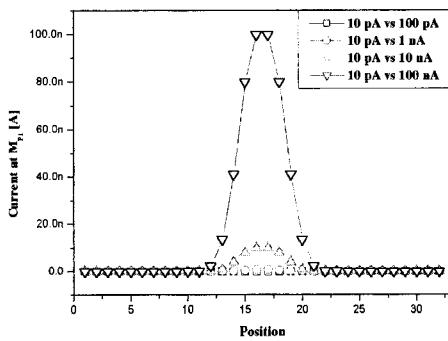
그림 11 (a)와 (b)를 통해 알 수 있듯이 R 과 G 는 10 pA 배경광이 존재하는 영역에 비해 큰 입력 광전류가 존재하는 영역이 더 큰 값을 갖는다는 것을 알 수 있다. R 이 가장 크게 나타나는 부분은 윤곽부분이고, G 가 가장 크게 나타나는 부분은 가장 큰 입력 광이 존재하는 부분이다.

모의실험결과로부터 구한 R 과 G 의 값들을 식 (4)에 적용하여 확산길이 L 을 구할 수 있으며, 이를 그림 12에 나타내었다.

그림 12에서, 동일한 위치로부터 입력 광강도의 크기가 클(작을)수록 확산길이 L 이 작음(큼)을 알 수 있다. 이는 입력 광강도가 큰(작은) 경우 수평세포층의 평활화에 의한 입력전류의 확산을 억제(촉진)하여 쌍극세포를 통한 비슷한 출력 전류레벨을 가질 수 있도록 한다. 따라서, 국소 광적응이 구현됨을 위의 검증과정을 통해서 알 수 있다.



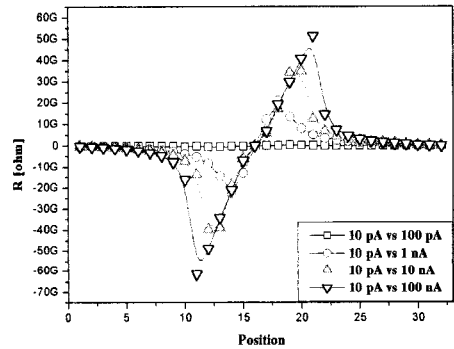
(a)



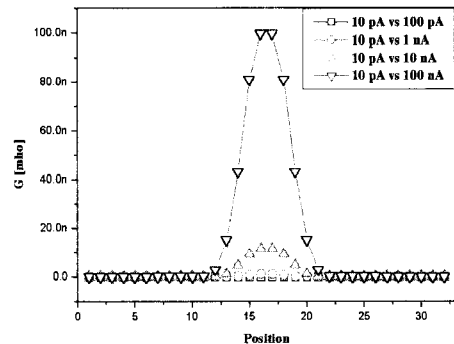
(b)

그림 10. M_{P5} 와 M_{P1} 의 전류분포 : (a) M_{P5} 의 전류 분포 (b) M_{P1} 의 전류분포.

Fig. 10. Current distributions at M_{P5} and M_{P1} : (a) current distribution at M_{P5} (b) current distribution at M_{P1} .



(a)



(b)

그림 11. R 및 G 의 분포 : (a) R , (b) G .

Fig. 11. Distributions of R and G : (a) R , (b) G .

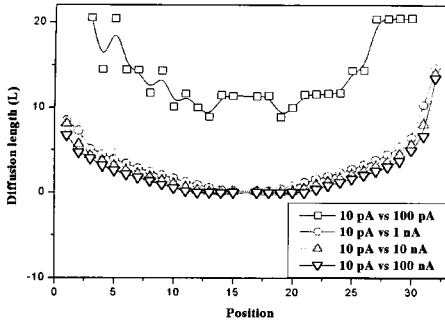


그림 12. 확산길이 L 의 분포.

Fig. 12. Distributions of the diffusion length L .

4. 결 론

생체망막의 수평억제기능은 외망막의 구성세포 중 수평세포가 행하는 것으로 알려져있고, 시각칩을 구현하는데 있어서 수평세포를 통한 수평억제의 정도를 C. A. Mead는 저항성 회로망을 통하여 설명하였다.

본 연구에서는 C. A. Mead가 제안한 저항성 회로망을 p-MOSFET로 대체하여, 회로망 임의의 한 노드의 전압변화가 다른 부분들에 미치는 영향을 해석하였다. 또한, 이를 토대로 국소 광적응의 메커니즘을 p-MOSFET로 구성된 저항성 회로망을 통하여 검증하였다. 수평세포 역할을 하는 M_{p5} 의 게이트에 적절한 전압을 인가함으로써 입력 광강도에 따른 확산길이 L 의 억제 및 촉진을 유발시킬 수 있고, 이로 인해 시각칩에서 입력 광강도에 관계없이 비슷한 출력전류레벨을 갖는 국소 광적응된 유피카검출결과를 얻을 수 있었다.

※ 본 연구는 KISTEP의 뇌신경정보학연구사업에서 지원을 받아 수행되었습니다.

참 고 문 헌

[1] C. Mead, "Neuromorphic electronic systems", IEEE Proceedings, Vol.

78, No. 10, pp. 1629-1636, 1990.

[2] C. A. Mead, *Analog VLSI and Neural Systems*, Addison-Wesley, 1989.

[3] T. Miyashita, K. Nishio, M. Ohtani, H. Yonezu, "Analog integrated circuits for edge detection with local adaptation", The 1999 Annual Conference of Japanese Neural Network Society, pp. 65-66, 1999.

[4] Tetsuya Yagi and Seiji Kameda, "A Parallel Analog Intelligent Vision Sensor with a Variable Receptive Field", Systems and Computers in Japan, Vol. 30, No. 1, pp. 60-69, 1999.

[5] 박대식, 박종호, 김경문, 이수경, 김현수, 김정환, 이민호, 신장규, "국소 광적응 기능을 가지는 유피카검출용 32×32 방사형 CMOS 시각칩의 설계", 센서학회지, Vol. 11, No. 2, pp. 84-92, 2002.

[6] 박종호, 김정환, 이민호, 신장규, "MOSFET 부정합에 의한 출력오프셋 제거기능을 가진 유피카검출용 시각칩의 설계", 센서학회지, Vol. 11, No. 5, pp. 255-262, 2002.

[7] F. Pardo, B. Dierickx, D. Scheffer, "CMOS Foveated Image Sensor: Signal Scaling and Small Geometry Effects", IEEE Transactions on Electron Devices, vol. 44, NO. 10, October, pp. 1731-1737, 1997.

[8] Michael Schanz, Werner Brockherde, Ralf Hauschild, Bedrich J. Hosticka, and Markus Schwarz, "Smart CMOS Image Sensor Arrays", IEEE TRANSACTION ON ELECTRON DEVICES, Vol.44, No. 10, pp. 1699-1705, 1997.

[9] Eiichi Funatsu, Yoshikazu Nitta, Yasunari Miyake, Takashi Toyoda, Jun Ohta, and Kazuo Kyuma, "An Artificial Retina Chip with Current-Mode Focal Plane Image Pro-

cessing Functions", IEEE TRANSACTION ON ELECTRON DEVICES, Vol. 44, No. 10, pp. 1777-1782, 1997.

著 者 紹 介

김 정 환

1970년 11월 18일생
 1999년 경북대학교 대학원 전자공학과 졸업(공학석사)
 현 경북대학교 대학원 전자공학과 박사과정
 주관심 분야: CMOS retina chip, analog circuit design

박 대 식

1974년 12월 17일생
 2000년 경북대학교 전자전기공학부 졸업(공학사)
 현 경북대학교 대학원 전자공학과 석사과정
 주관심 분야: CMOS retina chip, 아날로그 회로설계

박 종 호

1975년 11월 9일생
 2001년 금오공과대학 전자공학과 졸업(공학사)
 현 경북대학교 대학원 전자공학과 석사과정
 주관심 분야: CMOS retina chip, analog circuit design, process variation cancellation

김 경 문

1975년 10월 21일생
 2001년 경상대학교 전자재료학과 졸업(공학사)
 현 경북대학교 대학원 전자공학과 석사과정
 주관심 분야: silicon retina chip, analog circuit design



공 재 성

1978년 1월 21일생
 2002년 경북대학교 전자전기 컴퓨터학부 졸업(공학사)
 현재 경북대학교 대학원 전자공학과 석사과정
 주관심 분야: CMOS image sensor system 설계

이 민 호

1965년 12월 19일생
 1988년 경북대학교 공과대학 전자공학과 졸업(공학사)
 1995년 한국과학기술원 전기 및 전자공학과 졸업(석사, 박사)
 1995년 9월~1998년 2월 한국해양대학교 전기공학과 (전임강사, 조교수)
 1998년 3월 현 경북대학교 전자전기공학부/센서기술연구소(전임강사, 조교수)
 주관심 분야: 신경망, 지능정보처리시스템

신 장 규

1978년 서울대학교 전자공학과 졸업(공학사)
 1980년 한국과학기술원 전기 및 전자공학과 졸업(공학석사)
 1991년 미국 콜로라도 주립대학교 전기공학과 졸업(공학박사)
 1995년~1997년 일본 토요하시 기술과학대학교환교수
 현재 경북대학교 전자전기공학부 교수
 주관심 분야: 반도체 센서, Nano image sensor, 시각칩