

論文2003-40SD-1-1

NDRD 방식의 강유전체-게이트 MFSFET 소자의 특성

(Characteristics of Ferroelectric-Gate MFISFET Device Behaving to NDRO Configuration)

李國杓*, 姜聲俊**, 尹英燮*

(Kook Pyo Lee, Seong Jun Kang, and Yung Sup Yoon)

요 약

본 연구에서는 Metal-Ferroelectric Semiconductor FET (MFSFET) 소자의 특성을 시뮬레이션 하였다. 시뮬레이션에서는 field-dependent polarization 모델과 square-law FET 모델이 도입되었다. MFSFET 시뮬레이션에서 $C-V_G$ 곡선은 축적과 공핍 및 반전 영역을 확실하게 나타내었다. 게이트 전압에 따른 캐패시턴스, subthreshold 전류 그리고 드레인 전류특성에서 강유전체 항전압이 0.5, 1V 일 때, 각각 1, 2V 의 memory window 를 나타내었다. 드레인 전류-드레인 전압 곡선은 증가영역과 포화영역으로 구성되었다. 드레인 전류-드레인 전압 곡선에서 두 부분의 문턱전압에 의해 나타난 포화드레인 전류차이는 게이트 전압이 0, 0.1, 0.2 그리고 0.3V 일 때, 각각 1.5, 2.7, 4.0 그리고 5.7 mA 이었다. 시간경과 후의 드레인 전류를 분석하였는데, PLZT(10/30/70) 박막은 10년 후에 약 18% 의 포화 전류가 감소하여 우수한 신뢰성을 보였다. 본 모델은 MFSFET 소자의 동작을 예측하는데 중요한 역할을 할 것으로 판단된다.

Abstract

Device characteristics of the Metal-Ferroelectric Semiconductor FET (MFSFET) are simulated in this study. The field-dependent polarization model and the square-law FET model are employed in our simulation. $C-V_G$ curves generated from our MFSFET simulation exhibit the accumulation, the depletion and the inversion regions clearly. The capacitance, the subthreshold and the drain current characteristics as a function of gate bias exhibit the memory windows are 1 and 2 V, when the coercive voltages of ferroelectric are 0.5 and 1 V respectively. I_D-V_D curves are composed of the triode and the saturation regions. The difference of saturation drain currents of the MFSFET device at the dual threshold voltages in I_D-V_D curve is 1.5, 2.7, 4.0, and 5.7 mA, when the gate biases are 0, 0.1, 0.2 and 0.3 V respectively. As the drain current is demonstrated after time delay, PLZT(10/30/70) thin film shows excellent reliability as well as the decrease of saturation current is about 18% after 10 years. Our simulation model is expected to be very useful in the estimation of the behaviour of MFSFET devices.

Keyword : NDRO, MFSFET, PLZT, Ferroelectric

* 正會員, 仁荷大學校 電子電氣工學部

(School of Electronic and Electrical Engineering, Inha Univ.)

** 正會員, 國立麗秀大學校 半導體 應用物理學科

(Dept. of Semiconductor and Applied Physics, Yosu Univ.)

接受日字:2001年9月4日, 수정완료일:2002年12月9日

I. 서 론

반도체 및 정보통신 산업의 발전 속도는 매우 빠르게 가속화되고 있으며, 이에 따라 고기능성을 갖는 재료 개발의 필요성이 절실히 요구되고 있다. 이러한 새로운 고기능 재료 중에서, 강유전체는 유전성, 압전성, 초전성 등의 우수한 전기적 특성과 독특한 광학적 특

성을 가지고 있어, 메모리소자, 적외선 검출소자, 전기 광학소자 등에 응용하려는 연구가 활발히 진행되고 있다^[1~4]. 특히, 강유전체 박막을 이용하여 외부전기장 없이 정보를 기억할 수 있는 비휘발성 메모리소자인 강유전체-게이트 MFSFET (Metal-Ferroelectric-Semiconductor FET) 소자는 기존의 비휘발성 메모리인 EEPROM이나 flash EEPROM 등에 비해 고집적도, 고속구동, 고내구성, 내방사선성, 저소비전력화를 실현시킬 수 있어 이상적인 메모리로서 각광받고 있다. 또, MFSFET 소자는 셀 크기를 1T/1C 메모리 셀 보다 작게 할 수 있고 정보를 읽어내는 순간 써놓았던 정보가 파괴되지 않는 NDRO (Non Destructive Read Out) 방식으로 동작한다는 장점을 가지고 있으며 미래의 neural network system 을 위한 핵심부품인 adaptive-learning 소자로의 응용이 제안되고 있어 그 중요성이 더욱 증가하고 있다^[5,6].

NDRO 형인 MFSFET 소자는 캐패시터에서의 전하가 아니라 분극의 방향으로 정보를 저장할 수 있다는 특성을 이용한 소자로서 비휘발성의 고속 스위칭이 가능한 기억소자, 고밀도 집적회로 등에 응용 가능성이 커서 상당한 주목을 끌고 있다. 그러나, 지금까지 MFSFET 소자에 대한 연구가 계속되어 왔음에도 불구하고 이러한 소자들의 정상적인 메모리 동작과 장치간의 data 보존을 구현한 보고는 매우 드문 실정이다.

MFSFET 소자를 실제적인 메모리 소자에 적용하기 위해서는 캐패시터스와 드레인 전류 특성을 정량적으로 분석하고 모델링 하는 것이 필수적인 일이다. 그러나, 강유전체는 독특한 분극특성을 가지고 있어 수치적으로 표현하기 어렵기 때문에 강유전체와 FET 소자 사이의 관계를 정량적으로 모델링 하는 것에는 많은 문제점이 있어 왔다. 따라서, MFSFET 소자의 모델링에 대한 연구는 국내외적으로 극히 미흡한 실정으로서 MFSFET 소자의 개발에 큰 장애가 되고 있다. 또한, MFSFET 소자에서 장기적인 데이터 보존을 위한 메모리 retention 특성의 연구도 필수적이지만, 이에 대한 체계적인 연구 또한 거의 이루어지고 있지 않다.

본 연구에서는 강유전체 박막의 field-dependent polarization^[7,8] 모델과 MOSFET 소자의 square-law FET^[9~11] 모델을 이용하여 효과적으로 MFSFET 소자의 드레인 전류를 시뮬레이션 하였다. MFSFET 소자의 분석은 드레인 전류와 캐패시턴스-전압 특성에 초점을 맞추어서, 메모리소자로 활용이 가능한지를 알아

보았다. 그리고, PLZT(10/30/70), PLT(10) 및 PZT(30/70) 등의 다양한 강유전체 박막을 제작해서 본 모델을 적용하여 시간지연에 따른 MFSFET 소자의 특성을 조사하였다.

II. 실험 방법

본 연구에서 MFSFET 소자의 신뢰성을 조사하기 위해 사용한 강유전체 박막은 PLZT(10/30/70), PLT(10) 그리고 PZT(30/70) 이다. 이들 박막을 제작하기 위한 출발물질로는 $Pb(CH_3COO)_2 \cdot 3H_2O$ (Aldrich), $La(OOCCH_3)_3 \cdot 1.5H_2O$ (Strem), $Zr(OC_2H_5)_4$ (70% in propopanol) (Fluka), $Ti(O-iC_3H_7)_4$ (Alpha) 를 사용하였다. 용매와 안정화제로 acetic acid (Acros) 를 사용하였고, 점도 조절을 위해 n-propanol (Acros) 을 첨가하였다. 출발물질로 사용되는 알콕사이드는 공기중의 수분에 매우 민감하므로 이를 방지하기 위해 질소 분위기의 glove box 내에서 조성에 해당하는 양을 칭량한 후, clean bench 내에서 stock solution 을 제작하였다. 본 연구에서는 Pb, La, Zr, Ti 의 stock solution 을 각각 제작하였으며, Pb 용액의 경우, Pb 부족 때문에 파이로클로로 (pyrochlore) 상이 생기는 것을 막기 위해 12.5 mol% 의 Pb 를 과량으로 첨가하였다. 개별적으로 제작된 각 stock solution 을 조성에 맞게 혼합하여 0.4 M 의 coating solution 을 제작하였다. 제작된 coating solution 은 회전 도포시 0.2 μm filter (Gelman Science) 를 이용하여 걸러서 사용하였다. 박막은 clean bench 내에서 회전도포기 (ABLE, AM-4096) 를 사용하여 500 rpm 에서 5 초, 3000 rpm 에서 40 초간 회전시켜 Pt/TiO₂/SiO₂/Si 기판위에 형성시켰다. 코팅이 끝나면 110 °C 와 400 °C 에서 각각 15 분, 5 분간 건조시키고 다시 코팅하는 방법을 사용하였다. 그 후, 650 °C 에서 30 분간 열처리하여 박막제작을 완료하였다. 각각의 강유전체 박막은 Pt/TiO₂/SiO₂/Si 기판 위에 증착하였고, 상부전극은 Ag 를 이용하였으며 면적은 $3.14 \times 10^{-4} cm^2$ 이었다. 이력곡선, 피로특성 그리고 retention 특성은 RT66A standardized ferroelectric test system (Radiant technologies) 을 이용하여 측정하였다.

III. 모델링

강유전체 박막의 이력특성은 식 (1)의 field-depen-

dent polarization 모델^[7,8]을 이용하여 효과적으로 시뮬레이션 할 수 있었다.

$$P_d = P_s(1 + \alpha V) \cdot \tanh\left[\frac{(V \pm V_c)}{2V_a}\right] \quad (1)$$

$$V_0 = \frac{V_c}{\ln\left[\frac{1 + \frac{P_R}{P_S}}{1 - \frac{P_R}{P_S}}\right]} \quad (2)$$

여기서, P_d 는 강유전체 박막의 분극값, P_s 는 강유전체 박막의 자발분극, α 는 강유전체 분극의 전계효과, V 는 강유전체의 인가 전압, V_c 는 항전압, P_R 은 강유전체의 잔류분극이다.

강유전체 박막을 이용한 소자 중에서 차세대 메모리로 평가되고 있는 MFSFET 소자의 전체 캐패시턴스를 구하면 다음 식과 같다^[9-11].

$$C_S(V_S) = \frac{dQ_S(V_S)}{dV_S} \quad (3)$$

$$Q_S(V_S) = -\text{sgn}(V_S) \frac{\sqrt{2}\epsilon_n\epsilon_s kT}{qL_D} F\left(\beta V_S, \frac{n_{po}}{p_{po}}\right) \quad (4)$$

$$F\left(\beta V_S, \frac{n_{po}}{p_{po}}\right) = \left[e^{\beta V_S} + \beta V_S - 1 + \frac{n_{po}}{p_{po}} (e^{\beta V_S} - \beta V_S - 1) \right]^{1/2} \quad (5)$$

$$\frac{1}{C_T} = \frac{1}{C_F(V_F)} + \frac{1}{C_S(V_S)} \quad (6)$$

$$C_F(V_F) = \frac{\epsilon_o}{d_f} + \frac{dP(V_F)}{dV_F} \quad (7)$$

여기서, β 는 $q/(kT)$, V_S 는 반도체의 표면전위, Q_S 는 V_S 에 따른 면적당 표면전하, L_D 는 Debye length, p_{po} 와 n_{po} 는 각각 p 형 기판의 정공과 전자 평형 밀도, k 는 볼츠만 상수, T 는 절대온도, N_A 는 기판의 p 형 농도, ϵ_s 는 실리콘의 비유전률, q 는 전하량, C_S 는 실리콘 반도체의 캐패시턴스, C_T 는 MFSFET 소자의 전체 캐패시턴스이다. 식 (6) 을 수치해석적으로 정리하면 MFSFET 소자의 캐패시턴스를 구할 수 있다.

다음으로 MFSFET 소자의 각 부분별 전압을 구하기 위해 다음 식을 유도하였다.

$$V_G = \Phi_{ms} + V_F + V_S \quad (8)$$

$$P(V_S, V_F) = -Q_S(V_S) - \frac{\epsilon_o}{d_f} V_F \quad (9)$$

여기서, V_G 는 게이트 전압, Φ_{ms} 는 금속과 벌크 실리콘 반도체 사이의 일함수이다. 식 (1) 에서 식 (9) 까지의 수식을 정리하면 V_G 에 따른 V_S , V_F 의 상관관계를 알 수 있다.

MFSFET 소자에서 게이트 전압이 문턱전압 이하일 때 나타나는 subthreshold 영역에서 드레인 전류는 전형적인 MOSFET 소자의 동작원리와 동일하다. 그러므로, subthreshold 전류는 다음 식과 같이 표현될 수 있다^[9-11].

$$I_{sub} = -qAD_n \frac{dn}{dy} \quad (10)$$

$$I_{sub} = qAD_n \left(\frac{Z}{L}\right) \beta n_i (1 - e^{-\beta V_{(n)}}) \left(\frac{\epsilon_o \epsilon_{Si}}{2qN_A V_S}\right)^{1/2} e^{q(V_G - \phi_s)} \quad (11)$$

여기서, A 는 전류가 이동하는 단면적, D_n 은 전자의 확산상수, n 은 채널에서의 전자농도, Z 는 채널의 너비, L 은 채널의 길이, μ_n 은 전자의 이동도, V_{DS} 는 소스와 드레인 사이의 전위, n_i 는 진성 실리콘의 전자농도, ϕ_s 는 p 형 실리콘의 페르미 준위이다. 식 (10) 에서 MFSFET 소자의 경우는 반도체 표면전위 V_S 가 강유전체 분극 방향에 따라 상이하게 나타나므로, 게이트 전압에 따른 반도체 및 강유전체 전압의 상관관계로부터 분극방향에 따른 subthreshold 전류의 차이를 구할 수 있다.

<그림 1> 과 같이 선형 영역에서 동작하는 MOSFET 동작으로부터 문턱전압 이상 즉 강반전 구간

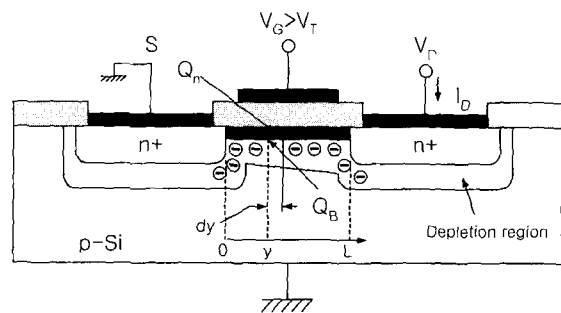


그림 1. 선형 영역에서 동작하는 MOSFET
Fig. 1. MOSFET operated in the linear region (low drain voltage).

일 때의 드레인 전류를 조사하였다^[9-11]. 이 때의 드레인 전류는 포화드레인 전압 이하에서 형성되는 선형 구역과 포화 드레인 전압 이상에서 나타나는 포화 구역으로 나뉘게 되는데, n-type FET의 드레인 전류는 다음식과 같이 표현된다.

$$I_D = -\frac{Z}{L} \mu_n \int_0^{V_{is}} Q_n dV \quad (12)$$

식 (12)의 파라미터를 살펴보면 다음 식과 같다.

$$Q_n(y) = Q_S - Q_B \quad (13)$$

$$Q_B = -\sqrt{2q\epsilon_0\epsilon_{si}N_A V_S} = -\sqrt{2q\epsilon_0\epsilon_{si}N_A(2\Phi_F + V(y))} \quad (14)$$

여기서, Q_B 는 실리콘 벌크의 전하밀도, $V(y)$ 는 소스 전극과 임의의 지점 y 사이에 해당하는 역 바이어스이다. 식 (12)를 사용하여 드레인 전류를 구하면 다음 식과 같다.

$$I_D = \frac{Z}{L} \mu_n \left(\int_0^{V_{is}} P(V_F) dV + \frac{\epsilon_0}{d_f} \left[(V_G - 2\Phi_F - \Phi_{ms}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] - \frac{2}{3} \sqrt{2q\epsilon_0\epsilon_{si}N_A} [(V_{DS} + 2\Phi_F)^{3/2} - (2\Phi_F)^{3/2}] \right) \quad (15)$$

포화드레인 전압 V_{Dsat} 은 다음 식과 같이 표현할 수 있다.

$$V_{Dsat} = V_G - V_T \quad (16)$$

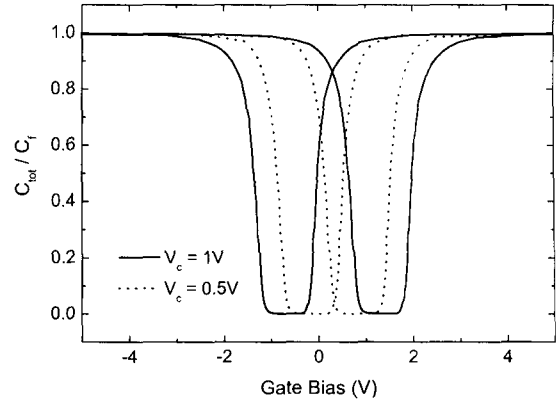
여기서, 문턱전압 V_T 는 $V_S = 2\Phi_F$ 일 때의 게이트 전압으로 식 (8)을 활용하여 다음 식과 같이 구할 수 있다.

$$V_T = \Phi_{ms} + 2\Phi_F + V_F(V_S = 2\Phi_F) \quad (17)$$

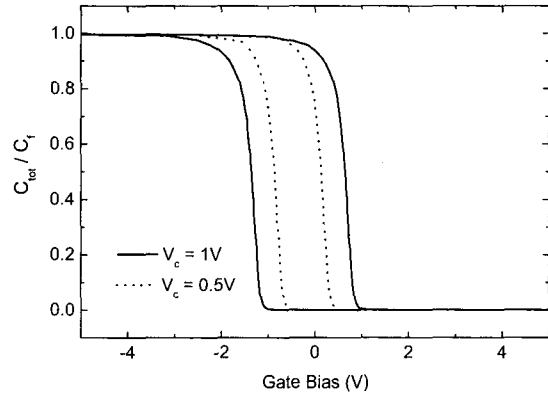
식 (15)는 선형영역의 드레인 전류를 표현한 식이고, 포화영역의 드레인 전류는 식 (15)에 V_{DS} 대신 V_{Dsat} 대입하여 얻을 수 있다. 이와 같은 방법으로 식 (15)를 활용하면 임의의 드레인 전압 또는 게이트 전압에서 드레인 전류를 효과적으로 나타낼 수 있다.

IV. 결과 및 논의

저주파수와 고주파수에서 MFS 캐패시터의 캐패시턴스 특성을 <그림 2(a)>와 <그림 2(b)>에 나타내었다.



(a)



(b)

그림 2. (a) 저주파수와 (b) 고주파수에서 MFS 캐패시터의 캐패시턴스 특성

Fig. 2. Capacitance characteristics of MFS capacitor as a function of gate bias in (a) low frequency ($\rightarrow 0$) and (b) high frequency ($\rightarrow \infty$).

주파수에 따른 캐패시턴스 특성은 식 (6)을 이용하여 조사하였다. 여기서, Z/L 은 2, μ_n 은 $1500.0\text{cm}^2/(\text{V}\cdot\text{s})$, N_A 은 $1.0 \times 10^{16}\text{cm}^{-3}$, ϵ_{si} 은 11.8, 강유전체의 자발 분극은 $10\mu\text{C}/\text{cm}^2$, 잔류분극은 $8\mu\text{C}/\text{cm}^2$ 이고, 항전압은 0.5V와 1V를 사용하였다. 식 (6)은 저주파수 영역 ($\text{frequency} \rightarrow 0$)에서 타당한 식으로 forward sweep과 backward sweep 분극방향에 따라 다른 캐패시턴스를 갖는데, <그림 2(a)>에서 살펴보면 항전압이 1V일 때 forward sweep 분극방향이 backward sweep 분극방향에 비하여 게이트 전압에 대해 오른쪽으로 약 2V 정도 이동되었고, 항전압이 0.5V인 경우는 약 1V 이동되었다. 이는 강유전체 이력특성에서 분극이 전압의 인가방향에 따라 항전압의 두 배만큼 이

동되어 형성되기 때문에 발생하는 현상으로, 강유전체 분극이 MFSFET 소자를 제어하는데 중요한 역할을 한다는 사실을 추론할 수 있다. 그리고, MFSFET 의 전체 캐패시턴스가 줄어들어 생성되는 깊은 구멍형태의 곡선이 각 분극방향에 따라 존재하는데, 이는 실리콘 반도체가 공핍영역 (depletion region) 에 해당되어 발생하는 부분이다.

저주파수 영역과 달리 MFSFET 에서 고주파수 영역 (frequency $\rightarrow \infty$) 은 캐패시턴스 곡선의 변형이 일어난다. 일반적으로 반전영역일 경우, 고주파수 영역에서 반도체의 표면전하는 표면전위에 따라 증가하는 양이 미약하므로, 공핍영역에서 반전영역까지 식 (13) 의 $C_s(V_s)$ 항이 일정하게 유지되는 형태로 수정하였다¹⁰⁻¹¹.

<그림 2(b)> 는 식 (6) 에서 $C_s(V_s)$ 에 관한 항을 고주파수 영역에 맞게 수정한 캐패시턴스 특성을 나타낸 것이다. <그림 2(b)> 에서 보듯이, memory window 는 항전압에 따라 각각 1, 2 V 이며, 게이트 전압 -1 V 와 1 V 사이에서 전압의 인가방향에 따라 캐패시턴스의 차이가 확실하므로, 캐패시턴스 차이를 이용하면 메모리로 사용될 수 있다고 사료된다.

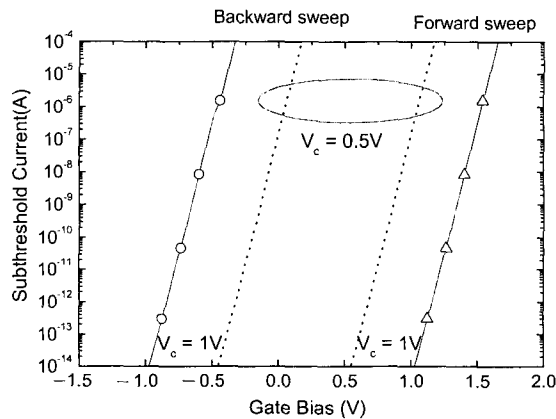


그림 3. 게이트 전압에 따른 MFSFET 소자의 subthreshold 전류
 Fig. 3. Subthreshold current of MFSFET device as a function of gate bias.

게이트 전압이 문턱전압 이하이고, 반도체 표면상태가 약반전일 때의 드레인전류를 subthreshold 전류라 부르며, 이 subthreshold 영역은 메모리 소자 등에 응용할 때 저전압, 저전력 구동에 부분적으로 중요한 역할을 한다¹⁰. <그림 3> 은 MFSFET 소자에서 게이트

전압에 따른 subthreshold 전류를 나타낸 곡선으로서 파라미터는 <그림 2> 에서 사용한 값과 동일하며 $\beta V_{DS} \rightarrow \infty$ 로 가정하였다. Subthreshold 전류모델의 경우도 캐패시턴스 모델과 동일하게 항전압의 두 배만큼 분극방향에 따라 곡선이 이동되었으며, 게이트 전압의 증가에 따라 지수함수로 전류가 증가하였다. 이는 식 (11) 에서 보듯이 subthreshold 전류가 반도체 표면전위에 다음 식과 같이 비례하기 때문에 나타나는 현상이다.

$$I_{sub} \propto \frac{e^V}{\sqrt{V_s}} \tag{18}$$

<그림 3> 으로 부터 MFSFET 소자에서 subthreshold 영역의 드레인 전류도 강유전체 분극에 의해 효과적으로 제어되어, -1 V 와 1 V 사이의 게이트 전압에서 분극에 따른 드레인 전류 차이를 확실하게 나타낼 수 있으며 메모리 구동을 위한 저전압, 저전력 구동이 가능함을 알 수 있었다.

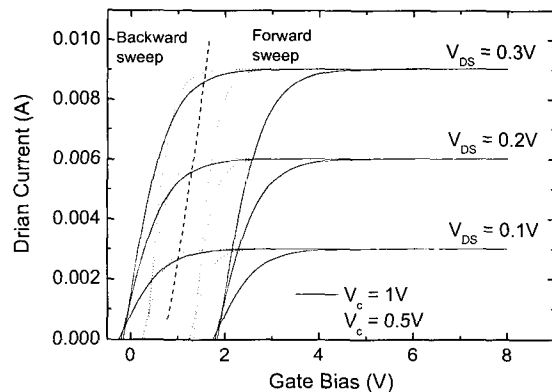


그림 4. 게이트 전압에 따른 MFSFET 의 드레인 전류
 Fig. 4. MFSFET drain current as a function of gate bias.

<그림 4> 는 식 (15) 를 이용해 나타낸 문턱전압 이상에서 게이트 전압에 따른 드레인 전류를 나타낸 것이다. V_{DS} 는 0.1, 0.2, 0.3 V 로 변화시켰다. <그림 4> 의 드레인 전류는 드레인 전압을 크게 설정할수록 커지며, 게이트 전압에 따라 증가영역과 포화영역으로 나눌 수 있다. 문턱전압은 강유전체의 항전압이 1 V 일 때, forward sweep 와 backward sweep 분극방향에서 각각 1.8 V 와 -0.2 V 이었고, 항전압이 0.5 V 인 경우

는 각각 1.2 V 와 0.2 V 이므로, 포화 게이트 전압이 backward sweep 에 비하여 forward sweep 에서 큰 값을 가진다. Memory window 는 <그림 3> 의 subthreshold 모델처럼 항전압의 두 배한 값과 동일해 문턱전압 이상의 threshold 영역에서도 강유전체의 특성에 따라 드레인 전류가 제어됨을 알 수 있다. 그렇지만, 강유전체의 항전압이 0.5 V 인 경우 분극 방향에 따라 문턱전압이 0.2 V 와 1.2 V 를 나타내어, 게이트 전압이 0 V 일 때 threshold 영역의 전류는 분극방향에 상관없이 흐르지 않았다. MFSFET 의 메모리 정보를 읽을 때 게이트 전압을 0 V 로 설정할 경우, 게이트 전압의 인가에 따른 강유전체의 분극손실, 즉 정보 파괴의 가능성을 없앨 수 있다. 그러므로, 분극방향에 따라 문턱전압이 각각 '-' 와 '+' 값을 동시에 나타낼 수 있는, 강유전체의 항전압 1 V 인 경우가 보다 효율적인 메모리 정보관리가 가능함을 알 수 있다.

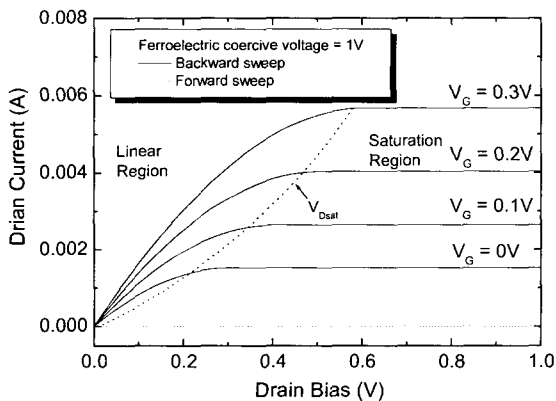


그림 5. 게이트 전압이 0, 0.1, 0.2, 0.3 V 일 때, 드레인 전압에 따른 MFSFET 의 드레인 전류 모델
Fig. 5. MFSFET drain current as a function of drain bias when gate voltage is 0, 0.1, 0.2, and 0.3 V.

<그림 5> 는 게이트 전압이 0, 0.1, 0.2, 0.3 V 일 때, 식 (15) 를 이용해 나타낸 드레인 전압에 따른 선형영역과 포화영역의 드레인 전류이다. <그림 5> 에서 드레인 전류는 게이트 전압이 문턱전압 보다 큰 backward sweep 분극방향에서 발생하고 forward sweep 분극방향에서는 드레인 전류가 발생하지 않는다. <그림 5> 로 부터 backward sweep 의 포화드레인 전압 (V_{Dsat}) 을 구하면, 게이트 전압 0, 0.1, 0.2, 0.3 V 에서 각각 0.34, 0.44, 0.54, 0.64 V 이다. 그리고, 분극방향과 문턱전압에 따른 포화드레인 전류 차이는 게이트

전압 0, 0.1, 0.2, 0.3 V 에서 각각 1.5, 2.7, 4.0, 5.7 mA 이다.

본 모델로부터 MFSFET 소자에서 threshold 영역의 드레인 전류가 분극방향에 따라 mA 범위의 확실한 차이를 나타내어 차세대 메모리로서 확실한 정보의 구별이 가능함을 알 수 있었다.

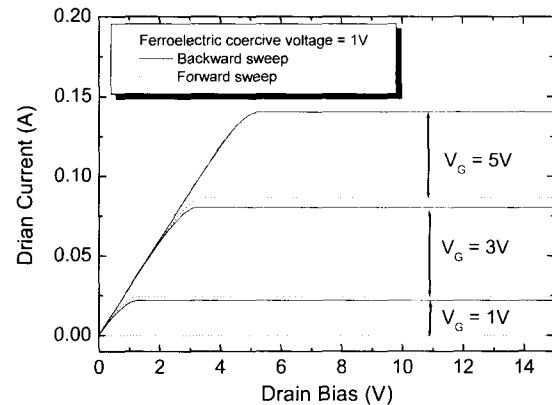
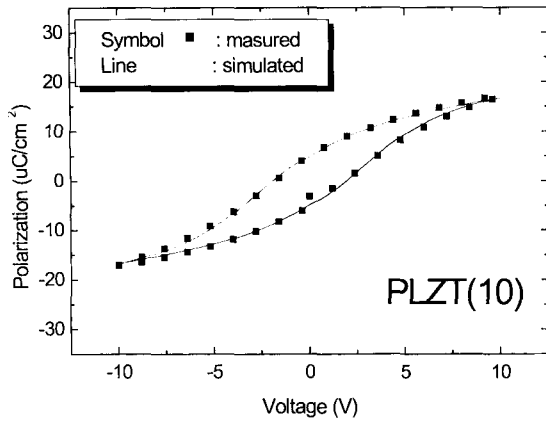


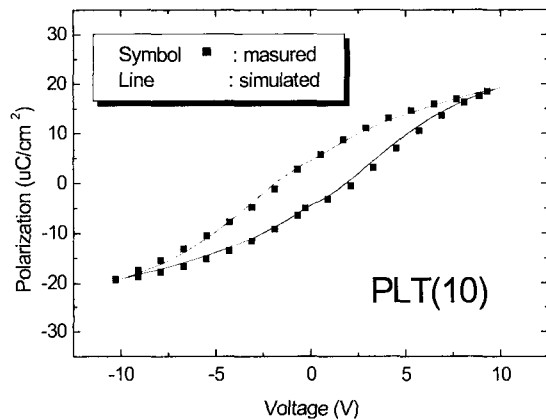
그림 6. 게이트 전압이 1, 3, 5 V 일 때, 드레인 전압에 따른 MFSFET 의 드레인 전류 모델
Fig. 6. MFSFET drain current as a function of drain bias when gate voltage is 1, 3 and 5 V.

강유전체의 분극방향에 따라 MFSFET 소자의 문턱전압이 각각 1.8 V 와 -0.2 V 이므로, 게이트 전압을 각각 1, 3, 5 V 를 인가하여 문턱전압 이상에서 MFSFET 소자의 드레인 전류를 분석하였다. <그림 6> 에서 보듯이, MFSFET 소자의 강유전체 부분이 forward sweep 의 경우, 문턱전압이 1.8 V 이므로 게이트 전압 1 V 에서 전류의 흐름이 관찰되지 않지만 게이트 전압 3, 5 V 일 때는 forward sweep 분극상태에서도 드레인 전류가 관찰되었다. 따라서, 강유전체의 분극방향에 따른 포화드레인 전류 차이는 게이트 전압 1, 3, 5 V 에서 각각 22, 56, 54 mA 로 분명한 차이를 보여 주었다. 그러므로, 다양한 게이트 전압에서도 강유전체 분극에 의해 전류제어가 가능하다는 사실을 추론할 수 있다.

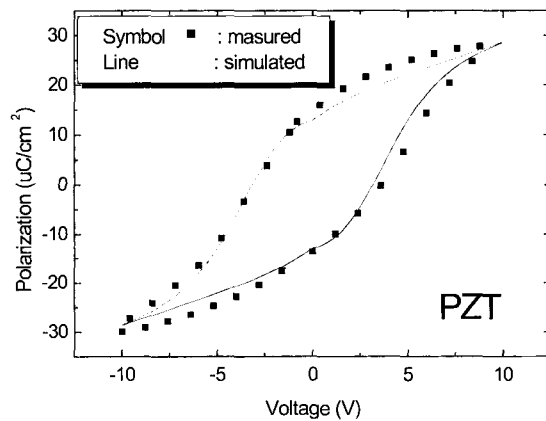
<그림 7> 은 강유전체의 분극에 따른 MFSFET 소자의 특성을 분석하기 위해, RT66A 를 사용하여 측정된 강유전체 박막의 이력곡선과 field-dependent polarization 모델에 의해 얻은 이력곡선을 나타낸 것이다. <그림 7> 에서 MFSFET 소자의 동작에 가장 중요하게 작용하는 잔류분극과 항전압을 살펴볼 때, <그림 7(c)> 의 PZT(30/70) 박막이 MFSFET 소자 적용



(a)



(b)



(c)

그림 7. RT66A 를 사용하여 측정된 강유전체 이력곡선과 시뮬레이션 곡선 : (a) PLZT(10/30/70), (b) PLT(10) and (c) PZT(30/70)

Fig. 7. Ferroelectric hysteresis loops measured using RT66A and their simulated loops : (a) PLZT(10/30/70), (b) PLT(10) and (c) PZT(30/70).

에 가장 유망한 물질임을 알 수 있다. 실제적으로 식 (15) 에서 강유전체 분극값이 드레인 전류를 조절하는 주요인자임을 알 수 있고, 항전압의 경우는 강유전체의 분극 반전에 요구되는 지표 전압으로서, 항전압의 크기에 따라 memory window 가 결정되므로, 항전압이 크고 안정적인수록 우수한 MFSFET 특성을 나타낸다. 또, <그림 7(a)>와 <그림 7(b)> 에서 보듯이, PLZT(10/30/70) 과 PLT(10) 박막의 경우, 측정값이 field-dependent polarization 모델과 잘 일치하는 특성을 나타내어 순수한 쌍극자에 의해 강유전체 분극이 만들어졌음을 알 수 있다. 하지만 <그림 7(c)> 에서 보듯이 PZT(30/70) 의 경우, 5 V 이상의 인가전압에서 분극의 포화현상이 아주 둔감하게 나타나고 시뮬레이션 값과의 차이도 심해 강유전체 분극이 순수한 쌍극자 외에도 각종 다양한 전하에 영향을 받아 형성되었다는 사실을 알 수 있다. 그러므로, <그림 7> 의 이력곡선 특성에서 나타난 분극크기들이 시간의 지연에 따른 강유전체 분극의 retention 특성에서 얼마나 유지되는가 하는 연구가 선행되어 각각의 강유전체 분극값들에 대한 신뢰성을 알아보는 것이 필수적이다.

<그림 8> 은 PLZT(10/30/70), PLT(10) 그리고 PZT(30/70) 박막의 retention 특성을 나타낸 것이다. <그림 8> 의 retention 특성은 RT66A 을 이용하여, -5 V 의 'write' 사각펄스로 초기화하고 최종적으로 +5 V 와 -5

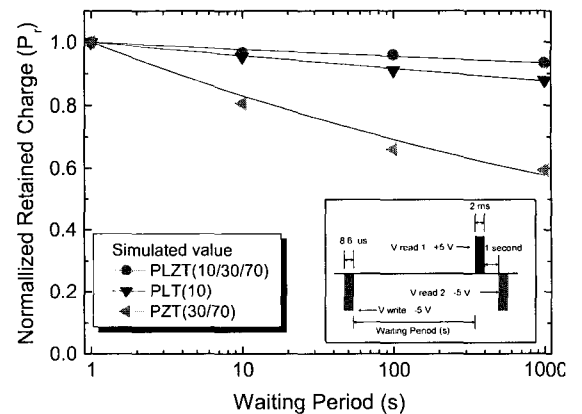


그림 8. 지연시간에 따른 강유전체 박막의 retention 특성과 fitting 곡선 : (a) PLZT(10/30/70), (b) PLT(10) and (c) PZT(30/70)

Fig. 8. Retention characteristics of ferroelectric thin films measured using RT66A and their fitting curves : (a) PLZT(10/30/70), (b) PLT(10) and (c) PZT(30/70).

V 로 'read' 사각펄스를 인가하여 실험하였다. 그리고, 이때 'write' 펄스 폭과 'read' 펄스 폭은 각각 $8.6 \mu\text{s}$ 와 2ms 이었으며, 'write' 펄스와 'read' 펄스 사이의 시간 지연을 retention time 으로 정하여 측정하였다.

강유전체 박막의 retention 특성은 그 주된 mechanism 이 아직 확실하게 밝혀지지 않았지만 현재까지 보고되고 있는 분극 손실기구의 원인은 표면 공간전하와 ferroelastic 에 따른 depolarization electric field 에 의한 것으로 알려져 있다¹²⁾.

<그림 8> 에서 PZT(30/70) 박막의 분극값은 10^3 초 후에 초기값 보다 37% 감소한 반면, PLZT(10/30/70) 와 PLT(10) 박막의 분극값은 10^3 초 후에 초기값 보다 각각 7 과 12% 감소하여 PLZT(10/30/70) 박막의 retention 특성이 상대적으로 우수하게 나타났다. 이러한 시간에 따른 분극감소현상은 MFSFET 소자에 응용할 때 시간의 지연에 따른 메모리 retention 특성에 영향을 주는 주된 요인으로 작용된다고 생각된다. 시간에 따른 강유전체 retention 의 측정된 결과를 효율적으로 데이터화 하기 위해, 시간에 따른 지수함수 형태의 fitting 식을 아래와 같이 표현하였다.

$$P, \propto t^{-\alpha} \quad (19)$$

여기서, α 는 시간에 따른 강유전체 분극의 감소를 나타내는 지수인데, <그림 8> 에서 PLZT(10/30/70), PLT(10), PZT(30/70) 박막은 α 값이 각각 0.01, 0.02, 0.08 로 fitting 되어 실험값을 효율적으로 표현할 수 있었다.

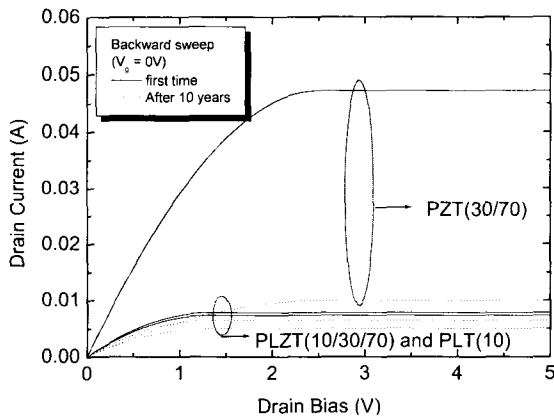


그림 9. 초기시간과 10년 경과 후의 MFSFET 소자에서 드레인 전류

Fig. 9. MFSFET drain current as a function of drain bias in initial time and after 10 years.

본 연구에서는 이와 같은 fitting 결과로부터 얻은 시간에 따른 분극값을 활용하여 MFSFET 소자에서 임의의 시간경과 후 드레인 전류를 분석하여 시간지연에 따른 MFSFET 의 신뢰성을 조사하여 <그림 9> 에 나타내었다.

<그림 9> 는 강유전체 이력곡선의 시뮬레이션과 retention 특성의 fitting 결과에서 얻은 시간경과에 따른 분극값으로부터, 시간경과 후의 드레인 전류를 시뮬레이션한 결과이다. <그림 7> 로부터, PLZT(10/30/70), PLT(10), PZT(30/70) 박막의 잔류분극은 각각 4.8, 4.5, $13 \mu\text{C}/\text{cm}^2$ 이고 항전압은 각각 2, 2, 3.2 V 로 설정할 수 있으며, 식 (15) 를 사용하여 시뮬레이션하면 <그림 9> 의 실선과 같은 드레인 전류를 구할 수 있다. 여기서, 게이트 전압 0V 에서 forward sweep 분극방향일 때는 모든 박막에서 threshold 영역의 드레인 전류가 관찰되지 않았다. 반면에, 강유전체가 backward sweep 분극방향인 경우, PLZT(10/30/70), PLT(10), PZT(30/70) 박막을 사용했을 때 포화드레인 전류는 각각 7.8, 7.4, 47 mA 이었다. 이는 MFSFET 소자의 드레인 전류가 강유전체의 분극과 항전압에 의해 주도된다는 것을 나타내는 것으로, 강유전체 분극과 항전압이 상대적으로 큰 PZT(30/70) 박막이 큰 드레인 전류를 나타냄을 알 수 있었다.

다음으로, 식 (19) 을 사용한 fitting 결과로부터 10년 후의 드레인 전류를 유도하였는데 이는 <그림 9> 에서 점선으로 표시되었다. 위의 결과로부터 PZT(30/70) 박막의 경우 초기에 상대적으로 큰 드레인 전류를 가지지만, 10년 후에는 80% 이상의 포화드레인 전류가 감소하여 메모리 응용을 위한 신뢰성에 큰 문제가 있음을 알 수 있었다. 그러나, PLZT(10/30/70), PLT(10) 박막은 초기값에 비하여 10년 후에 각각 약 18%, 32% 의 포화드레인 전류가 감소하여, PLZT(10/30/70) 박막을 MFSFET 소자에 적용할 경우, 우수한 신뢰성을 나타낼 것이라 추론할 수 있었다.

V. 결 론

본 연구에서는 강유전체 박막의 field-dependent polarization 모델과 MOSFET 소자의 square-law FET 모델을 이용하여 MFSFET 소자의 캐패시턴스와 드레인 전류를 시뮬레이션 하였다. MFSFET 의 캐패시턴스 모델에서 memory window 는 강유전체의 항전압이

0.5, 1 V 에서 각각 1, 2 V 이었으며, 게이트 전압 -1 V 와 1 V 사이에서 전압의 인가방향에 따라 캐패시턴스의 차이가 확실하므로, 캐패시턴스 차이를 이용하여 메모리 소자로 사용할 수 있음을 알 수 있다. 이는 강유전체 이력특성에서 분극이 전압의 인가방향에 따라 항전압의 두 배만큼 이동되어 형성되기 때문에 발생하는 현상으로, 강유전체 분극이 MFSFET 소자를 제어하는데 중요한 역할을 한다는 사실을 알 수 있다. 그리고, MFSFET 소자에서 subthreshold 영역의 드레인 전류도 강유전체 분극에 의해 효과적으로 제어되어 메모리 구동을 위한 저전압, 저전력 구동이 가능함을 알 수 있었다. 또한, V_{DS} 가 각각 0.1, 0.2, 0.3 V 일 때, 문턱전압 이상에서 게이트 전압에 따른 드레인 전류를 시뮬레이션 하였는데, 드레인 전류는 드레인 전압을 크게 설정할수록 커지며, 게이트 전압의 증가에 따라 증가영역과 포화영역을 가지며 memory window 는 subthreshold 모델처럼 항전압의 두 배한 값과 동일해 문턱전압 이상의 threshold 영역에서도 강유전체의 특성에 따라 드레인 전류가 제어됨을 알 수 있다. 게이트 전압이 0, 0.1, 0.2, 0.3 V 일 때, 드레인 전압에 따른 드레인 전류는 게이트 전압이 문턱전압 보다 큰 backward sweep 분극방향에서 발생하고, forward sweep 분극방향에서는 드레인 전류가 발생하지 않았다. 이로부터 MFSFET 소자가 threshold 영역의 드레인 전류가 분극방향에 따라 mA 범위의 확실한 차이를 나타내어 확실한 정보의 구별이 가능함을 알 수 있었다. 게이트 전압이 1, 3, 5 V 일 경우에도 강유전체의 분극방향에 따라 분명한 차이를 보여 주어, 다양한 게이트 전압에서도 강유전체 분극에 의해 전류제어가 가능하다는 사실을 알 수 있다. 다음으로 강유전체 이력곡선의 시뮬레이션과 retention 특성의 fitting 결과에서 얻은 시간경과에 따른 분극값으로부터, 시간경과 후의 드레인 전류를 분석하였는데, 초기에는 강유전체 분극과 항전압이 상대적으로 큰 PZT(30/70) 박막이 큰 드레인 전류를 나타내었으나, 10년 후에는 80% 이상의 포화드레인 전류가 감소하여 메모리 응용을 위한 신뢰성에 큰 문제가 있음을 알 수 있었다. 그러나, PLZT(10/30/70), PLT(10) 박막은 초기값에 비하여 10년 후에 각각 약 18%, 32% 의 포화드레인 전류가 감소하여, PLZT(10/30/70) 박막을 MFSFET 소자에 적용할 경우, 우수한 신뢰성을 나타낼 것이라 추론할 수 있었다.

참 고 문 헌

- [1] C. P. de Araujo, J. F. Scott and G. W. Taylor, "Ferroelectric thin films: synthesis and basic properties", *Gordon and Breach Publishers, Amsterdam*, pp. 1~8, 1996.
- [2] Seong Jun Kang and Yung Sup Yoon, "Optical and Electrical Properties of Lanthanum-Modified Lead Titanate Thin Films with Various Lanthanum Concentrations", *Jpn. J. Appl. Phys.*, Vol. 36, No. 7A, pp. 4459~4465, 1997.
- [3] Seong Jun Kang, Vladimir B. Samoilov and Yung Sup Yoon, "Low-Frequency Response of Pyroelectric Sensors", *IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control.*, Vol. 45, No. 5, pp. 1255~1260, 1998.
- [4] F. Wang and G. H. Heartling, "A PLZT Optical Phase Modulator and Its Applications", *Proc. of 1992 IEEE International Symposium on Applications of Ferroelectrics*, pp. 596~599, 1992.
- [5] T. Sumi, "Ferroelectric Nonvolatile Memory Technology and its Applications", *International Conference on Solid State Devices and Materials*, pp. 518~520, 1995.
- [6] S. Sinharoy, H. Buhay, D. R. Lampe and M. H. Francombe, "Integration of Ferroelectric Thin Films into Nonvolatile Memories", *J. Vac. Sci. Technol. A*, Vol. 10, pp. 1554~1560, 1992.
- [7] J. A. Gonzalo, *Effective Field Approach to Phase Transitions and Some Applications to Ferroelectrics*, World Scientific Lecture Notes in Physics, Vol. 25, World Scientific, New Jersey, 1991
- [8] F. K. Chai, J. R. Brews, R. D. Schrimpf and D. P. Birnie III, "Relating Local Electric Field in a Ferroelectric Capacitor to Externally Measureable Voltages", *Proceedings of the 9th Int. Symp. on Applications of Ferroelectrics*,

- pp. 83~86, 1994.
- [9] S. M. Sze, *Physics of Semiconductor Devices*, second edition, John Wiley & Sons, New York, Chapter 8, 1981
- [10] R. R. Pierret, *Field Effect Devices*, second edition, Addison-Wesley Publishing Company, Inc., USA, Chapter 2-3, 1990.
- [11] D. K. Schroder, *Advanced MOS Devices*, Addison-Wesley Publishing Company, Inc., USA, Chapter 1, 1987.
- [12] J. J. Lee and S. B. Desu, "Retention and Imprint Properties of Ferroelectric Thin Films", *phys. state. sol.* Vol. (a)151, pp. 171~182, 1995.

 저 자 소 개

李 國 杓(正會員)

1975년 11월 20일생. 1999년 2월, 인하대학교 전자재료 공학과 졸업(B.S.). 2001년 2월, 인하대학교 전자재료공학과 졸업(M.S.). <주관심분야 : 강유전체 박막을 이용한 NVFRAM 소자>

姜 聲 俊(正會員) 第38卷 SD編 第8號 參照

尹 英 燮(正會員) 第37卷 SD編 第6號 參照