

論文2003-40TC-1-4

## 신호 제거 케환부의 전류 제어 적응형 알고리즘을 이용한 IMT-2000용 선형화 증폭기 제작

(Fabrication of IMT-2000 Linear Power Amplifier using  
Current Control Adaptation Method in Signal Cancelling Loop)

吳仁烈\*, 李昌熙\*, 鄭起赫\*, 趙珍龍\*, 羅克煥\*

(Inn Yeal Oh, Chang Hee Lee, Ki Hyeok Jeong, Jin Yong Cho, and Keuk Hwan Ra)

### 요약

IMT-2000 서비스의 전송제한은 3GPP에 규정하고 있다. IS-95A 서비스보다 IMT-2000 서비스는 3배의 대역폭을 가짐으로 해서 Peak to Average가 높아졌고, 이 때문에 인접채널에 대한 영향을 줄이는 쪽으로 더 주위 깊게 설계하여야 하는 어려움이 발생하였다. 이러한 요소에 가장 민감하게 동작하는 모듈이 이동통신 시스템에 최종단에 위치하여 멀리까지 서비스를 가능케 하는 HPA(High Power Amplifier)이다. HPA는 1dB 근처에 동작시킴으로 인해 3차 5차 신호로 인해 인접채널에 영향을 미치며, 신호가 포화됨으로 인해 왜곡이 발생한다. 이에 HPA를 어떻게 선형화시킬 수 있을 것이냐가 중요한 요소로써 작용하는데, 본 논문에서는 가장 복잡한 구조로 이루어져 있지만 선형화 방법에 있어 탁월한 개선 능력을 갖는 Feed-forward 방식을 설계 제작하였다. 본 논문은 Feed-forward의 1차 케환부인 신호 제거 케환부에서 얻어진 전류를 검출하여 알고리즘을 수행케 함으로써 환경변화에서도 무리 없이 동작하는 적응형 40Watt Feed-forward 선형화 증폭기가 되도록 하였다. 일반적인 RF 출력 신호를 검출하는 방식은 회로가 복잡하며, 합성기 출력에서 검출을 하기 때문에 신호검출의 정확성에서도 떨어지는 단점이 있다. 또한 선형화 증폭기의 최종 출력에서의 여러 신호를 감지하여 최적화시키는 알고리즘 역시 기존 방식인 Pilot 신호를 이용하지 않고 에리량 검출 방식을 적용하여 W-CDMA용 선형화 증폭기가 되도록 하였다. 결과적으로 54dB의 이득특성을 얻으면서 1W에서 40W 출력시까지 어느 동작에서도 30KHz 대역폭 내에서 -26dBm Max@3.515Mhz ACPR(Adjacent Channel Power Ratio) 특성, 48dBc Max@±5MHz ACLR(Adjacent Channel Leakage Power Ratio) 특성을 모두 만족하여 3GPP의 국제규격을 만족하는 선형화 증폭기가 되도록 하였다.

### Abstract

The digital mobile communication will be developed till getting multimedia service in anyone, any where, any time. Theses requiring items are going to be come true via IMT-2000 system. Transmitting signal bandwidth of IMT-2000 system is 3 times as large as IS-95 system. That is mean peak to average of signal is higher than IS-95A system. So we have to design it carefully not to effect in adjacent channel. HPA(High Power Amplifier) located in the end point of system is operated in 1-dB compression point(1dB), then it generates 3rd and 5th inter modulation signals. Theses signals affect at adjacent channel and RF signal is distorted by compressed signal which is operated near by 1dB point. Then the most important design factor is how we make HPA having high linearity. Feedback, Pre-distorter and Feed-forward methods are presented to solve theses problems. Feed-forward of these methods is having excellent improving capacity, but composed with complex structure. Generally, Linearity and Efficiency in power amplifier operate in the contrary, then it is difficult for us to find optimal operating point. In this paper we applied algorithm which searches optimal point of linear characteristics, which is key in Power Amplifier, using minimum current point of error amplifier in 1st loop. And we made 2nd loop compose with new structure. We confirmed fabricated LPA is operated by having high linearity and minimum current condition with ACPR of -26 dBm max. @ 30KHz BW in 3.515MHz and ACLR of 48 dBc max@±5MHz from 1W to 40W.

**Keywords** : Feed-forward, 선형화 증폭기, 전류, IMT-2000

\* 正會員, 光云大學校 電子工學科  
(Electronics Kwangwoon University)

※ 이 논문은 2001년도 광운대학교 교내학술연구비 지원에 의해 연구되었음.

接受日字:2002年9月23日, 수정완료일:2002年12月16日

## I. 서론

디지털 통신의 발전은 이동하면서도 멀티미디어 서비스를 받을 수 있기까지 발전할 것이며 이의 요구에 맞추어 IMT-2000서비스로 실현되고 있다. 신호의 전송에 있어서 IMT-2000 시스템의 정보는 3.84 Mcps로 확장되어 전송되는데 이는 IS-95A의 3배의 넓은 대역을 차지하는 신호이다. 그러므로 기존 Cellular 시스템 및 PCS 시스템보다는 더 Peak to Average ratio가 높으며 넓은 대역의 주파수를 차지하는 입장에서 넓은 대역의 특성을 만족하여야 하며 선형성이 강조되어 설계되어야 한다. 선형화 이론으로써는 Feedback 방식, Pre-distortion 방식, Feed-forward 방식이 거론되었고, 기존 IS-95A 방식에서는 Pre-distorter방식만을 적용하여도 문제없이 ACPR 특성을 만족하였지만, IMT-2000용 고출력 증폭기의 30W 이상 되는 대출력에서 3GPP의 방사특성을 만족하기 위해서는 Feed-forward 방식을 고려하지 않을 수 없다.

Feed-forward 방식은 신호의 고출력 증폭시에 발생하는 스프리어스 신호를 찾아내어 출력단에서 스프리어스 신호만을 제거하고 왜곡되지 않은 고출력 신호만을 송신하는 방식이다. 이러한 방법을 구현하기 위해서는 스프리어스로 발생하는 에러 신호를 감지하여야 하는 기술과 얻어진 에러량을 제어하여 출력단에서 에러량만을 제거시키는 기술이 요구된다. 이때 일반적으로 사용되는 방식이 에러량을 레벨링하여 신호를 감지하여<sup>[1]</sup> 에러량만을 추출하며, Pilot 신호 이용한 방식을 적용하여 에러 신호를 제거하는 방식이다.<sup>[2]</sup> 일반적으로는 에러량을 추출하기 위한 최소의 레벨을 감지하여 에러량을 얻는 방식에서 에러량은 -10 dBm 이하이다. 이러한 상황에서 30W 이상의 출력을 송출하는 선형화 증폭기내에서 에러량의 레벨을 감지한다는 것은 주의 깊은 설계를 요구한다. 실제로 적용해본 결과 전파특성의 정확한 분석이 있지 않으면 실패할 확률이 높았다. 그리고 IS-95A방식에서는 정해진 대역폭내에서 일정 주파수의 FA (Frequency Allocation)를 사용하여 공중파로 방사하는 방식을 적용하지만, IMT-2000 시스템의 특성상 대역폭내에서 어느 주파수를 사용하더라도 FA를 방사할 수 있도록 하는 여지를 두고 시스템 설계를 하기 때문에 Pilot 신호방식을 적용하여서는 3GPP에서 규정한 ACPR 및 ACLR 특성을 만족하기 어렵다. 그럼으로 본

논문에서는 IMT-2000용 Feed-forward 선형화 증폭기를 설계하고자 신호제거 케환부에서의 레벨 감지 방식이 아닌 전류 감시 제어를 이룰 수 있도록 하였으며, 에러신호 제거 케환부에서는 Pilot 신호 방식이 아닌 에러량 검출 방식을 적용하여 대역내에서 임의의 주파수를 사용하더라도 3GPP 규격을 만족하는 IMT-2000 서비스용 Feed-forward 선형화 증폭기가 되도록 하였다.

## II. 선형화 이론

일반적으로 고출력 증폭기는 출력이 포화되는 P1dB 근처에서 동작함으로 인해 비선형 왜곡이 발생한다. 이러한 비선형적인 전압 전달 특성을 멱급수로서 표현하면 식 (1)과 같다.

$$v_o = a_1 v_i + a_2 v_i^2 + a_3 v_i^3 + \dots \quad (1)$$

여기서 다중 채널을 이용하는 디지털 이동통신 및 위성 통신의 경우 전력 증폭기에 2개 이상의 반송파가 입력되어 함께 증폭될 때 포화 영역 부근의 비선형 특성으로 인하여 혼변조 신호들이 발생하게 된다. 전력 증폭기의 입력으로 식 (2)와 같이 레벨이 같은 두 개의 반송파가 고출력 증폭기에 인가된다고 할 때 입력신호를 식 (2)와 같이 표시 할 수 있다.

$$v_i = A(\cos \omega_1 t + \cos \omega_2 t) \quad (2)$$

식 (2)의 입력신호 형태로 나타낼 수 있고 이를 고출력 증폭기에 입력을 시킨다고 가정하였을 때 비선형 왜곡 특성을 나타내는 식 (1)의 고출력 증폭기의 출력 신호는 진폭의 크기  $k_1 A + \frac{9}{4} k_3 A^3$  인 기본 주파수 ( $\omega_1$ ,  $\omega_2$ )와 대역 내에 존재하는 원치 않는 3차 혼변조 신호인 진폭의 크기  $\frac{3}{4} k_3 A^3$  인 3차 주파수 ( $2\omega_1 - \omega_2$ ,  $2\omega_2 - \omega_1$ )의 신호가 발생하여 인접채널에 영향을 미치며 대역 내 신호에서는 출력신호의 AM-AM 변환과 AM-PM 변환이 이루어져 출력 신호에 왜곡을 일으킨다.<sup>[3]</sup> <그림 1>은 고출력 증폭기에서 나타나는 신호 왜곡 특성을 나타낸 그림이다.

이러한 현상을 막기 위해 IMT-2000 서비스는 3GPP 규격에서 ACPR(Adjacent Channel Power Ratio)과 ACLR(Adjacent Channel Leakage Power Ratio)의 특성으로 규정하여 방사 출력을 제약하고 있다. ACPR 은

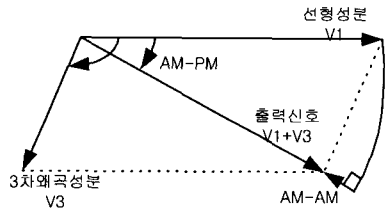


그림 1. 고출력 증폭기에서 AM-AM, AM-PM 변환  
Fig. 1. AM-AM, AM-PM Conversion at HPA.

표 1. ACPR 및 ACLR 사양  
Table 1. Specification of ACPR & ACLR.

Parameter	사양	Freq. Offset
ACPR (Adjacent Channel Power Ratio)	-14 dBm/30 KHz BW	2.515 MHz
	-14 dBm/30 KHz BW	2.715 MHz
	-26 dBm/30 KHz BW	3.515 MHz
	-13 dBm/1 MHz BW	4 MHz
ACLR (Adjacent Channel Leakage Power Ratio)	45 dBc	5 MHz
	50 dBc	10 MHz

인접채널로의 신호 확산 정도를 측정하여 얻은 수치이고 이를 IMD와의 관계를 나타내면 식 (3)과 같다.<sup>[3,6]</sup>

$$ACPR_{dBc} = IMD_{two} - 6 + 10 \log \left( \frac{n^3}{4A+B} \right)$$

$$A = 4 \frac{2n^3 - 3n^2 - 2n}{24} + \frac{\text{mod}(n/2)}{8}$$

$$B = \frac{n^2 - \text{mod}(n/2)}{4} \quad (3)$$

일반적으로 ACPR은 절대치로써 표시되나 ACLR은 상대치로써 나타난다. <표 1>은 3GPP에서 제안하고 있는 방사 특성을 정리한 것이다.<sup>[7]</sup>

### III. IMT-2000용 선형화 증폭기 구조

Feed-Forward 선형화 증폭기는 <그림 2>에서처럼 주 고출력 증폭기(Main High Power Amplifier)를 중심으로 1차 궤환과 2차 궤환으로 이루어졌으며, 이를 제어하기 위한 DC 공급기 보드, 알람보드, 중앙연산장치보드, 에러량 검출보드로 구성된다. 1차 궤환은 주 고출력 증폭기의 에러량을 얻기 위한 모듈이며, 2차 궤환은 얻어진 에러량을 이용하여 주 고출력 증폭기의 특성을 향상시키는 역할을 한다. 이러한 이유로 에러량을 얻기 위

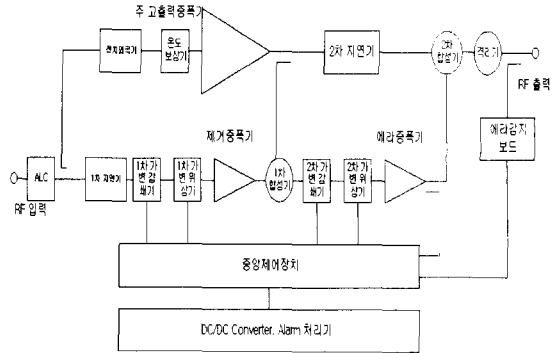


그림 2. Feed-Forward 선형화 증폭기 구조  
Fig. 2. Structure of Feed-Forward type LPA.

해 주 고출력 증폭기의 신호를 제거 시켜야 하는데 이로 인해 1차 궤환에 사용된 증폭기를 제거 증폭기라 하며, 2차 궤환은 얻어진 에러량을 증폭하여 고출력 증폭기의 스프리어스 신호 레벨을 합친다하여 2차 궤환에 사용된 증폭기는 에러 증폭기라 한다. 합칠 때 에러 출력을 주 고출력 증폭기의 출력신호와 동일 레벨로 만들고 역위상 시켜 합치는 과정을 거쳐 최종 출력신호의 특성을 향상시킨다. 제거 증폭기와 에러 증폭기는 주 전력 증폭기의 에러량만을 얻어내어 증폭하여야 함으로 각 증폭기 자체적으로 스프리어스 신호를 발생시키면 정확한 Feed-Forward 방식을 구현하기 어렵다. 그러므로 지극히 선형적으로 동작시키는 작업이 필요하며, 이때문에 충분한 Back-off를 적용하여 설계한다. 특히 에러 증폭기는 주 전력 증폭기의 신호의 양옆에 만들어진 스프리어스 신호를 증폭함으로 주 전력 증폭기보다 3배의 광대역 특성을 가지며 동작하여야 한다. 이로 인해 광대역 증폭기로서 제작하여야 함이 중요하다.

W-CDMA용 전력증폭기는 Peak to Average 량이 그만큼 커짐으로 일반 IS-95 용의 전력 증폭기 설계보다는 5 dB 더 Back Off를 고려하여 설계해 주어야 함을 감안하면 제거 증폭기와 에러 증폭기의 구성을 정할 때 이의 고려가 있어야 한다. 또한 정확한 동작을 일으키기 위해 제거 증폭기, 에러 증폭기는 충분한 동작 영역을 가지면서 동작하여야 한다. 또한 이에 합당하게 제어가 되도록 적당한 동작 영역을 갖는 가변 감쇠기와 가변 위상 변환기의 벡터 모듈레이터를 적용하여야 하며 각각은 서로 영향을 주어서는 안 되게 설계해 주어야 한다. 이에 본 논문에서는 벡터 모듈레이터를 반사형으로 해 주었다.

여기서 제거 증폭기를 통하여 에러량을 얻기 위해서

는 최소의 전력을 얻는 동작점임을 착안하여 출력 신호를 Envelope로 감지하여 값이 최소값이 되도록 벡터 모듈레이터를 제어하도록 알고리즘 설계할 수 있고, 최소 출력을 얻는 동작점을 이용하여 제어할 수도 있다. 선형화 증폭기내에서 에러 신호의 레벨감지는 상당히 까다롭다. 최소의 레벨 값은 신호가 완전히 제거된 순수 에러량만을 의미한다. 이 레벨은 40 W로 출력되고 있는 주 고출력 증폭기의 출력 상태에서 약 30~40 dBc 작은 레벨이므로 주의 깊게 에러 레벨을 감지하지 않으면 엉뚱한 값이 표시되어 최적의 알고리즘 수행이 어렵게 된다. 그래서 본 논문에서는 최소 출력을 얻는 동작점을 제한하여 최적의 알고리즘을 얻는 동시에 선형화 증폭기의 효율을 극대화시킬 수 있도록 하였다. 일반적으로 Feed-Forward 구조에서 1차 케환의 최소 레벨감지는 제거 증폭기와 주 증폭기가 만나 신호가 제거되어 출력되는 지점에서 레벨감지를 하는 것이 일반적이나 최소 출력의 동작점을 감지하기 위해서는 1차 케환의 합성기의 출력을 입력으로 받아 에러 증폭기를 거쳐 출력되는 전류를 감지하도록 적용하였다.

IV. 고출력 증폭기 설계

Feed-Forward 방식에서는 주 고출력 증폭기, 제거 증폭기, 에러 증폭기의 3개의 증폭기 설계가 요구된다. 선형화 증폭기는 54 dB의 증폭량을 기준으로 설계하였으며 최종 출력은 40 W를 목표로 해 주었다. 주 고출력 증폭기의 설계사양은 <표 2>에 나타내었다.

40 W 선형화 증폭기를 제작하기 위해 주 고출력 증폭기 다음에 지연필터를 적용하여 발생하는 손실을 감안하여 주 고출력 증폭기는 60 W를 목표로 하였고 Feed-Forward 방식으로 18 dB를 개선한다는 목표를 설정하여 주 고출력 증폭기의 스프리어스 특성은 34 dBc Min.@60 W를 정하였다. 이러한 목표사양을 얻기 위해 고출력 증폭기는 9 dB Back-off 형태로 동작시키기 위해 500 W P1dB을 얻을 수 있도록 소자 구성을 해 주었다. 이를 위해 모토로라에서 출시되고 있는 180 W LDMOS를 적용하였으며, 3 Way로 구성하여 주었다. 3-Way는 동위상 동작 특성을 갖는 Wilkinson 형으로 해 주었다. <그림 3>은 Wilkinson형의 3-Way를 Agilent사의 ADS 시뮬레이션 툴을 이용하여 설계한 결과이다. 설계 초점은 입력신호가 각 포트에 진행하는데 있어 손실을 최소화하고자 하였다. 이렇게 해서 얻어진

표 2. 주 고출력 증폭기 사양  
Table 2. Specification of Main HPA.

항목	사양	기타
주파수	2.11 ~ 2.17 GHz	
P1dB	500 W	
이득	54 dB ± 0.5 dB	
온도 변화량	± 1.0 dB Max	
소모 전력	10A max@30V, 6A max@12V	60W 출력시
스프리어스	34dBc min@60W	Offset : ± 2.5 MHz

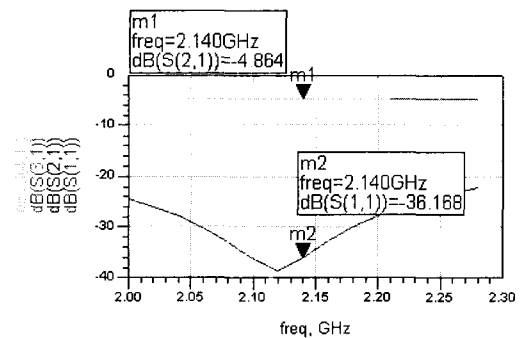


그림 3. Wilkinson형의 3-Way 시뮬레이션 결과도  
Fig. 3. Simulation Result of Wilkinson type 3-Way.

각 포트의 손실은 전 사용대역에서 4.9 dB 이하의 이상적인 결과를 얻었으며 반사손실은 -25 dB 이하임을 볼 수 있다. 특히 손실 위주의 설계를 한 이유는 최종단의 손실을 최소화 하여야하기 때문이며, 이는 스프리어스 특성과 고출력 증폭기의 효율에 직접적으로 연관되어 있기 때문이다. 정상 동작상태에서 전류소모가 최종단에 사용되는 LDMOS 동작에는 10A@30V, 이 이외의 Drive 단 동작으로는 6A@12V 미만임을 확인하였고, 고출력 전체적으로는 11.9A@30V 전력소모가 발생하였다.

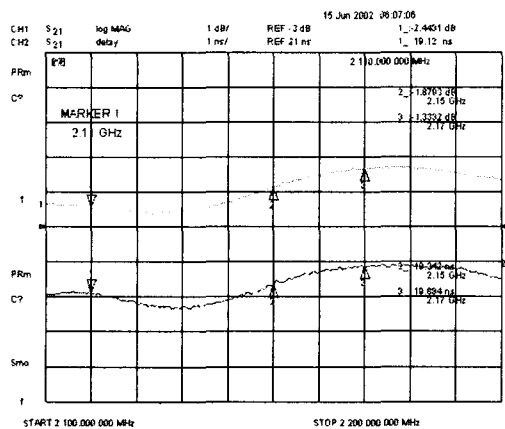
제거 증폭기는 언급한대로 주 고출력 증폭기의 에러 신호만을 얻기 위해 입력 신호만을 왜곡 없이 증폭시키는 증폭기이다. 이를 위해 제거 증폭기는 주 고출력 증폭기의 대역내 진폭의 크기 및 위상 특성이 일치하여야 신호 대역에서 최적의 에러 신호를 얻을 수 있다. 이는 온도 변화량에 대한 내용에도 똑같이 적용된다. 중요한 항목에 대한 사양은 <표 3>과 같이 설정하여 제작해 주었다. 에러 증폭기는 <표 4>에서 언급한 것처럼 고출력 증폭기로서 동작하면서 동시에 광대역 증폭기로 동작하여야 한다. 또한 온도변화에 따른 이득 및 위상 변화가 없어야 함이 중요하다.

표 3. 제거 증폭기 모듈 사양  
Table 3. Specification of Cancellation Amp. Module.

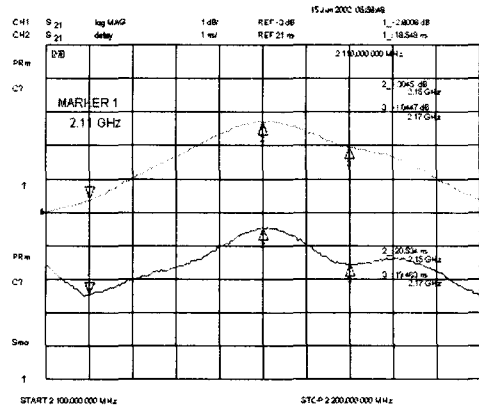
항목	사양	기타
주파수	2.11~2.17 GHz	
P1dB	5W min.	
이득	35 dB	± 0.5 dB max
이득 변화량	25~35 dB	벡터 모듈레이터 제어
위상 제어 가변량	100 도 이상	
소모 전력	3Amax @ 12V	26 dBm 출력시
스프리어스	53 dBc min @ < 26 dBm	Offset : ± 2.5 MHz

표 4. 에러 증폭기 모듈 사양  
Table 4. Specification of Error Amp. Module.

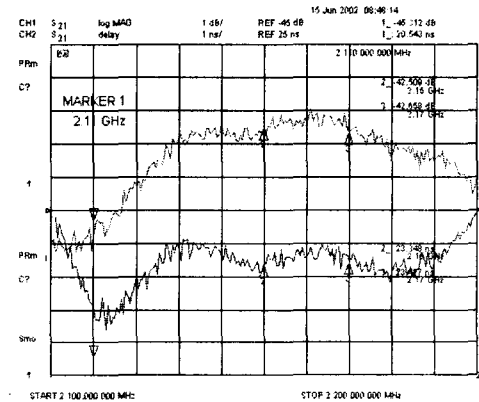
항목	사양	기타
주파수	2.11~2.17 GHz	
P1dB	100W min.	
이득	45 dB	±0.5dB max
이득 변화량	35~45 dB	벡터 모듈레이터 제어
제어위상 가변량	100도 min	
온도에 대한 위상 변화량	± 5 도 Max	Temp : -10 ~ 50도
소모전력	3Amax@12V, 1.5A max @ 30V	1W 출력시
스프리어스	50 dBc min@<1W	Offset : ± 2.5 MHz



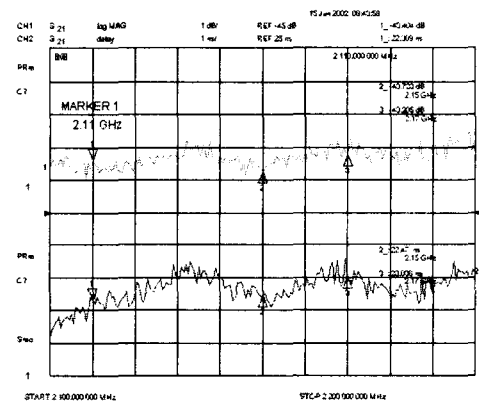
(a) 제거 증폭기의 이득 및 지연시간(50dB Offset)  
(a) Gain and Delay time of Cancel Amplifier



(b) 주 고출력 증폭기의 이득 및 지연시간(50dB Offset)  
(b) Gain and Delay time of Main HPA



(c) 에러 Amp & Coupler 손실 및 지연시간(40dB Offset)  
(c) Loss and Delay time of Error Amplifier & Coupler



(d) 지연 필터의 손실 및 지연시간(40dB Offset)  
(d) Loss and Delay time of Delay Filter

그림 4. 선형화 증폭기의 지연시간 및 이득  
Fig. 4. Delay & Gain of Feed-forward LPA.

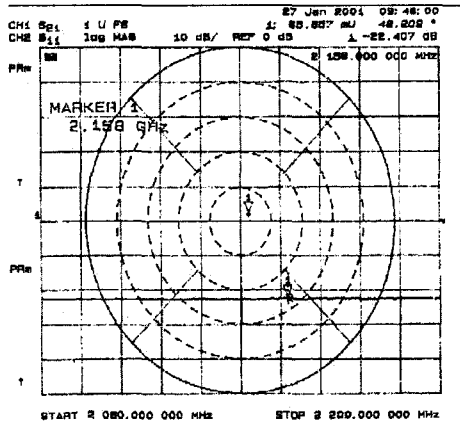
V. 漕환의 지연 시간 이득 조절

Feed-forward에서는 1차 漕환과 2차 漕환의 지연시간을 맞추어야 함도 중요하다. RF 입력신호가 주 고출력 증폭기를 통해 출력되는 신호가 제거 증폭기로 나오는 신호와 합쳐져서 에러 신호만을 얻게 되는데 이때의 2개의 신호의 지연 시간을 맞추기 위해 제거 증폭기 앞에 1차 지연 라인을 사용한다. 또한 2차 漕환에서 에러 증폭기를 거쳐 출력되는 신호가 주 고출력 증폭기에서 나오는 신호와 합쳐져서 선형성이 향상되어 에러 신호가 제거된 최종의 RF 출력을 얻는다. 이를 위해 주 고출력 증폭기에서 출력되는 신호를 지연 시켜서 출력되

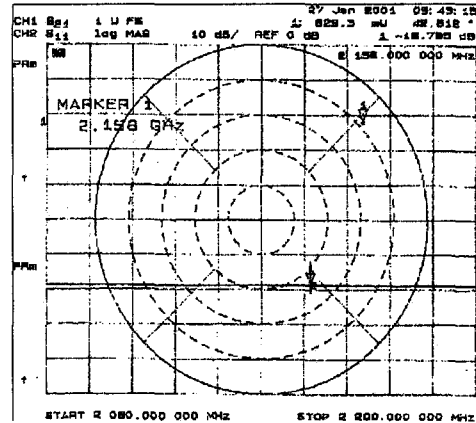
도록 해야하는데 이때에는 지연기를 사용하여 지연 시간을 맞추어야 하는 것뿐만 아니라 손실이 중요한 고려 요소가 된다. 이 때문에 본 논문에서는 지연 필터를 사용하여 손실을 최소화하였다.

<그림 4>에는 제거 증폭기와 주 고출력 증폭기, 지연 필터와 에러 증폭기의 이득 및 지연 시간을 1dB/DIV, 1nS/DIV로 측정하여 비교하였고, 결과에서 볼 수 있는 것처럼 각각 2.3 dB, 0.4nS와 0.7 dB, 0.4nS의 이득 차이와 지연 오차를 보임을 알 수 있다.

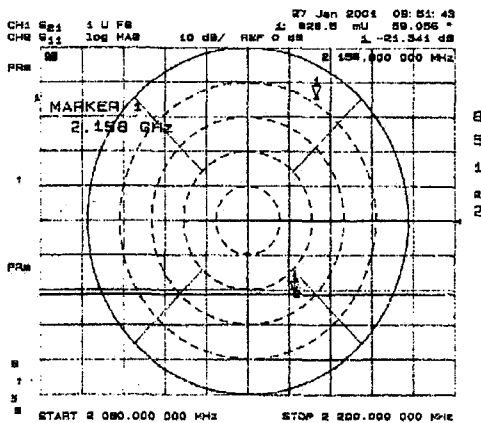
위의 이득 및 지연 오차를 보정하기 위해 벡터 모듈레이터를 사용하게 되는데 벡터 모듈레이터는 진폭 및 위상을 조절하여 정확한 선형화 작업이 이루어지도록 하는 역할을 한다. 설계된 벡터 모듈레이터는 제거 증폭



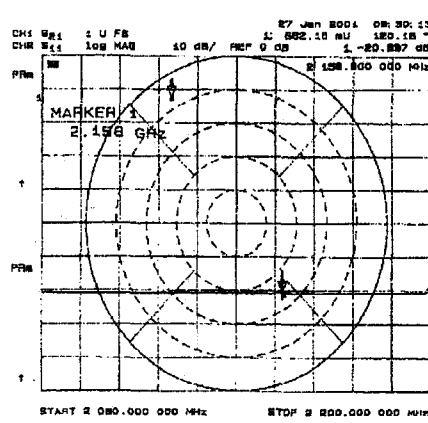
(a) 최대 감쇠시의 가변 감쇠기의 진폭 및 위상변화  
(a) Amplitude & Phase Variation at Max. Attenuation



(a) 최대 위상변화시의 위상변환기의 진폭 및 위상변화  
(a) Amplitude & Phase Variation at Max. Phase Value



(b) 최소 감쇠시의 가변 감쇠기의 진폭 및 위상변화  
(b) Amplitude & Phase Variation at Min. Attenuation



(b) 최소 위상변화시의 위상변환기의 진폭 및 위상변화  
(b) Amplitude & Phase Variation at Min. Phase Value

그림 5. 가변 감쇠기의 측정 결과  
Fig. 5. Measurement Result of Variable Attenuator.

그림 6. 가변 위상기의 측정 결과  
Fig. 6. Measurement Result of Phase Shifter.

기 및 에러 증폭기의 입력단에 각각 사용이 된다.

벡터 모듈레이터는 진폭 및 위상이 서로간의 영향을 주지 않으면서 적당한 조정 범위를 갖도록 할 수 있어야 한다. 이 때문에 가변 위상기와 가변 감쇠기를 반사형으로 구성하여 주었다.

선형화 증폭기의 지연 시간 및 이득을 <그림 5>와 <그림 6>에서 측정된 결과 가변감쇠기는 위상변화 없이  $\pm 10$  dB이상의 가변범위를, 가변 위상기는 진폭변화 없이 위상은 360도 이상을 조정할 수 있도록 해주었고 변화량의 중심부분에서 최적의 동작이 이루어지도록 매뉴얼 셋팅을 하였다. 셋팅후 실질적으로 벡터 모듈레이터의 사용된 범위는 작은 범위로 동작시켰다. 중앙제어 장치에 의해 제어되는 벡터 모듈레이터 제어신호를 통해 출력의 흔들림을 막기 위해서이며, 이 때문에 온도에 의한 변화량만을 감안하여 조정되도록 하였기 때문이다.

## VI. 에러량 검출을 이용한 2차 케환 선형화 알고리즘

에러량 검출기는 Feed Forward 방식에서 2차 케환을 지원하는 보드로써 송신되는 RF 출력의 에러량을 추출하는 기능을 담당하면서 최종 출력이 최적의 출력을 유지하도록 지원하는 기능을 담당한다. 그리고 부가적으로 임의의 주파수에서도 선형화 증폭기의 사용이 가능하도록 주파수 찾는 알고리즘이 이 보드를 기반으로 수행된다. IMT-2000용 선형화 증폭기는 기존 셀룰라용 선형화 증폭기, PCS용 선형화 증폭기에 사용된 오류 신호 추출에 대한 방법에 차이점을 갖고 IMT-2000용 선형화 증폭기는 설계가 되어야 한다. 기존 이동통신 방식은 정해진 주파수 대역에 정해진 FA(Frequency Allocation)를 사용하게 되어 있었고, FA의 중심주파수에서  $\pm 885$  KHz,  $\pm 1.98$  MHz 지점의 스프리어스를 규정하여 방사하도록 되어 있었다. 그러나 IMT-2000 시스템은 3.84 Mcps 점유신호를 어느 주파수에 방사하라는 것은 정해져 있지 않다. 그러므로 신호의 정확한 중심주파수를 찾을 수가 없고, 이 때문에 3GPP에서 규정하고 있는 방사제한 특성인  $\pm 2.515$  MHz,  $\pm 2.715$  MHz,  $\pm 3.515$  MHz에 대한 정확한 Offset 값을 알고리즘으로 찾는다는 것은 어려워진다. 이 때문에 Pilot 신호의 의미를 적용하여 오류를 추출하여 신호와 비교하여 알고리즘을 수행시킨다는 것은 무의미하게 되었다. 그러므로 본 논문에서는 FA가 출력되고 있는 정확한 주파수를 찾아 정확한 오

류 값을 추출하는데 초점을 맞추었으며, 이렇게 추출된 오류값을 이용하여 Gradient Method 알고리즘을 적용하여 선형화 증폭기의 최적값을 유지하는 방향으로 설계하였다. 그러므로 2차 루프 오류 검출기는 기존 Pilot 신호의 레벨을 기억할 필요가 없는 반면 선형화 증폭기로부터 입력되는 RF 신호를 정확한 IF 신호로 변화시키는 중요하며, 3.84 Mcps 로 나타난 신호를 완전히 제거하고 오류만을 추출하여 이를 선형화 증폭기의 모든 동적 영역에서 감지할 수 있도록 H/W는 설계되어야 한다. 이를 기본으로 Feed-forward용 2차 루프 오류 검출기는 RF 신호 처리기, 신서사이저, 혼합기, IF 처리기 등으로 구성된다. 이의 구성도는 <그림 7>에 나타내었다. IF 처리기는 알고리즘 구현을 위해 두개 경로의 기능으로 구현되어 있다.

에러량 검출기는 두 개의 경로로 이루어져 있는데 한 경로는 신호를 전달하는 경로이며 주파수를 찾는 알고리즘을 수행하고 있고 다른 한 경로는 오류 신호를 증폭하는 경로로써 선형화 알고리즘에 사용이 된다. 이 두 경로를 선택적으로 받아들일 수 있도록 RF 릴레이를 이용하였으며, 주파수를 찾는 알고리즘을 적용할 때 오류 검출기의 작동에 문제없이 사용되도록 하였다. 주파수를 찾는 알고리즘은 신호를 제거시키고 오류 신호만을 받아들이는 것이 아니라 에러 신호보다 50 dBc 정도가 큰 W-CDMA 신호가 바로 입력되게 해야 함으로 H/W적으로 오류 검출기에 무리를 일으킬 수 있기 때문이다. 이렇게 하여 선형화 증폭기는 무리 없이 정해져 있지 않는 어느 주파수지점에서도 동작이 가능하도록 하였다는데 의미가 있다.

또한 동작 중에 사용되고 있는 FA의 주파수를 바꾸더라도 선형화 증폭기의 동작이 무리 없이 동작되도록 주파수를 찾는 알고리즘은 주기적으로 수행하도록 적용하였다. 사용되는 FA의 정확한 주파수를 찾는다면 3.5 MHz Offset 지점의 에러량을 검출할 수 있도록 신서사이저를 세팅하여 IF 주파수는 항상 일정하도록 유지시킨다.

<그림 8>은 RF 신호가 에러 검출기에 입력되어 IF 출력으로 나온 신호를 비교하여 보여준 그림이다. 여기서 RF 신호는 스펙트럼상에 트레이스를 해준 결과이다. 비교 결과치를 보면 신호 레벨과 에러 레벨이 전혀 왜곡되지 않고 IF 출력으로 출력됨을 볼 수 있다. 보인 스펙트럼 중심 주파수는 신호의 중심 주파수에서 대략 3.5 MHz Offset 지점(스펙트럼 분석기의 중심 주파수 지점)

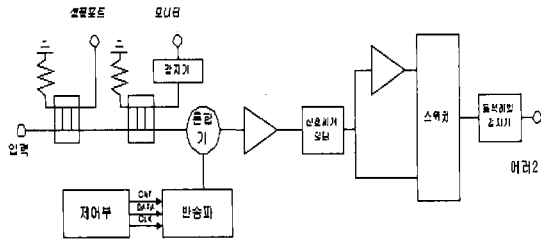


그림 7. 에러량 검출기 블록도  
Fig. 7. Block diagram of Error Detector.

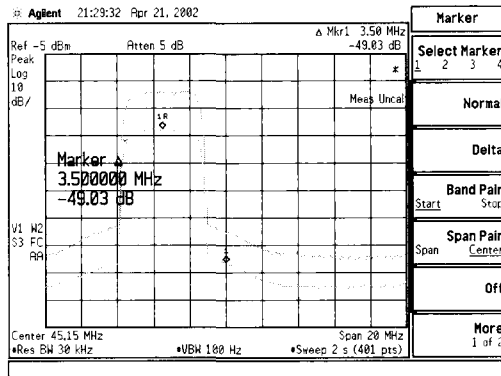


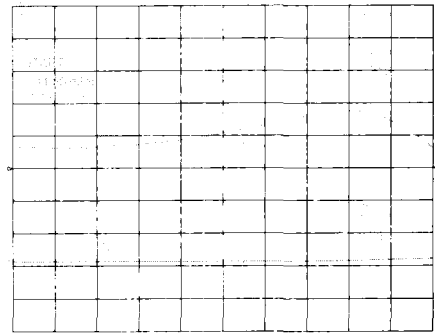
그림 8. RF 입력된 신호와 IF 출력신호 비교  
Fig. 8. Compare of RF Input and IF Output.

을 나타내며 에러 검출부에서는 이 에러 레벨을 가지고 감지하게 되는 것이다. 이렇게 얻어진 에러량을 가지고 알고리즘을 수행하게 되며 선형화 증폭기로서 최적의 동작이 이루어진다.

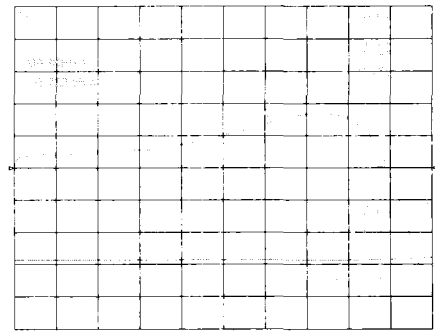
선형화 방식을 Pilot 신호를 이용한 방식을 적용하지 않고 에러량 감지 방식을 적용함으로써 고출력 신호 방사시에 30 KHz 대역폭에서의 ACPR 특성인 -14 dBm@±2.515 MHz, -14 dBm@±2.715 MHz, -26 dBm@±3.515 MHz 값을 만족시켜야 하는데 환경 및 신호의 특성에 따라 Offset 값에 대한 에러량이 틀림으로써 오차가 발생할 수 있는 여지가 있다. 이 때문에 ACPR 특성에서 가장 병목현상을 일으키는 ±3.515 MHz Offset 값을 한번씩 에러량을 읽어 최대값을 최적화시키는 Gradient Method 알고리즘을 적용하였고, RF 신호 특성상 병목 현상을 나타내는 3.515 MHz 지점을 최적화시킴으로써 자연스럽게 2.515 MHz, 2.715 MHz 지점을 만족되도록 하였다.

### VII. 신호 제거 케환부의 전류 적응형 알고리즘

사용한 LDMOS는 N-channel MOSFET 구조이나



(a) 16 W~500 W 출력범위에서 AM/AM 특성  
(a) Characteristics of AM/AM in 16 W~500 W Output



(b) 500mW~500W 출력범위에서 AM/PM 특성  
(b) Characteristics of AM/PM in 500 mW~500W Output

그림 9. LDMOS 측정 결과  
Fig. 9. Measurement Result of LDMOS.

Silicon 펌을 기반으로 만들어졌기 때문에 낮은 가격으로 고출력을 구현하면서 탁월한 선형성 성능을 얻을 수 있으며, 높은 효율을 갖도록 동작시킬 수 있는 소자이다. <그림 9>와 같이 얻어진 LDMOS 측정결과처럼 GaAs FET와 달리 동작영역이 넓지 못하여 이에 대한 설계 고려가 있어야 한다.<sup>[8]</sup>

<그림 9>에서 보듯이 낮은 출력과 높은 출력의 이득과 위상 변화가 각각 1.5 dB, 13도의 차이로 일정치 않음을 알 수 있으며, 동작점의 차이에 의해서도 이득뿐만 아니라 선형성의 최적점이 다름을 알 수 있다. 이러한 특성으로 넓은 동작 범위를 갖지 못함으로 인해 이에



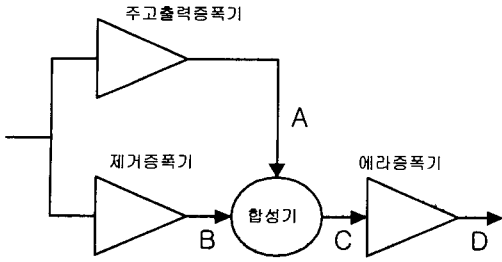


그림 10. 에러 신호 검출부 회로  
Fig. 10. Block diagram of Error Signal Detection.

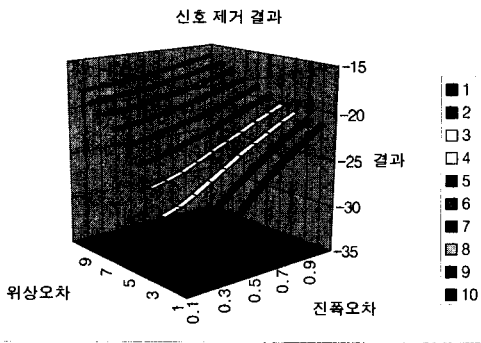


그림 11. 위상오차 및 진폭오차에 따른 신호 제거 결과  
Fig. 11. The Result of RF Signal Cancellation via Phase and Amplitude difference.

대비하는 설계가 필요하다.

본 논문에서는 주 고출력 증폭기와 에러 증폭기에서는 LDMOS 소자를 사용하여 주었다. 주 고출력 증폭기의 신호 왜곡이 주 시스템에 미치는 영향의 대부분을 차지할 뿐 아니라 전력 소모면에서도 90% 이상을 차지하는 부분임으로 최대 출력시 선형성 특성과 전력 효율 위주로 설계하기 위해 LDMOS를 사용하였다.

에러 증폭기에서는 RF 출력특성을 감지하여 모든 입력신호를 제거한 최적의 에러 신호를 감지하는 방식을 사용할 수 있지만 <그림 9>의 출력 대비 이득 특성에서 보듯이 출력에 따라 이득이 올라가며 출력이 커질 것임을 예상할 수 있고 실험결과 출력에 대한 전류의 변화 특성이 비례함을 확인할 수 있었다. 이를 이용하여 에러 증폭기 최종단에 위치한 LDMOS 특성을 이용해 전류감지를 함으로써 최적의 에러 신호를 유지할 수 있는 방식을 이용하였다.

<그림 10>에서처럼 주 고출력 증폭기 출력 신호(A)와 역 위상 된 제거 증폭기 출력 신호(B)가 합성기를 거치면 RF 입력신호가 제거된 순수 에러 신호(C)만을 얻게 되는데 여기서 위상오차와 진폭오차가 발생하면

에러신호에 증폭된 입력 신호가 섞이게 된다. 입력된 두 신호를 dB로 나타내어 식 (4)로 가정한다.

$$P_1 = 10 \log\left(\frac{A^2}{2Z_0}\right), P_2 = 10 \log\left(\frac{B^2}{2Z_0}\right) \quad (4)$$

위의 두 신호가 합성기에 합쳐졌을 때 정확한 역 위상 및 같은 진폭의 크기를 이루어야 정확한 에러 신호만을 얻을 수가 있다. 그러나 위상 및 진폭의 오차에 따라 전력 오차가 발생한다.  $\delta P(\text{dB})$ 만큼 진폭 오차와  $\delta\theta(\text{degree})$ 만큼 위상 오차를 갖는다면 전체 전력 오차량( $\delta R$ )은 식 (5)와 같이 표현된다.

$$\delta R = 10 \log\left[1 + 10^{\frac{\delta P}{10}} - 2 \times 10^{\frac{\delta P}{20}} \times \cos(\delta\theta)\right] - 3 \quad (5)$$

이를 그래프로 나타내면 <그림 11>과 같다. 0.1dB의 진폭오차와 1도의 위상오차를 갖는다면 전체 증폭된 입력 신호에서 -35 dB만큼의 양이 에러 신호에 섞이게 되며, 1 dB의 전력 오차와 10도의 위상오차가 발생되면 -16dB 정도가 에러 신호에 섞이게 됨을 볼 수 있다.

합성기는 에러 신호만을 출력하여야 하지만 위의 <그림 11>에서 설명한 것처럼 위상오차 및 진폭오차로 인해 제거 증폭기의 신호가 제거되지 못하고 순수 에러 신호에 합쳐져서 출력되어진다. 이렇게 된다면 합성기의 출력은 순수 에러량 보다는 높아져서 에러 증폭기의 40 dB 이득을 거쳐 출력 된 신호는 상당히 커질 수 있다. 이러한 이유로 RF 출력 신호를 검출하여 RF 신호를 제거하고 주 고출력 증폭기에서 발생한 스프리얼스 신호인 에러량만을 갖도록 유지시킬 수 있지만 본 논문에서는 에러 증폭기의 최종단에 위치한 LDMOS의 특성을 이용하여 전류를 검출함으로써 최적의 에러량만을 얻는 방식을 적용하였다. 이 방식은 RF 출력 검출 방식보다는 간단하며, 60W 이상의 출력 신호를 내는 선형화 증폭기 회로내에서 0.1mW 이하의 미세 출력을 검출하고 자 할 때에 발생하는 어려움을 쉽게 해결할 수 있다. 또한 RF 출력 검출일 경우 합성기 출력에서 에러량을 검출함으로써 에러 증폭기에서 발생하는 오류를 검출 할 수 없는 반면 전류검출 방식을 이용함으로써 주 고출력 증폭기의 최종단에 합쳐지는 에러 신호 최종출력에서 에러량을 검출하기 때문에 정확한 선형화 작업을 이룰 수 있다는 장점을 가지고 있다. 또한 전류를 제어하며 최소의 전류가 흐르도록 동작하기 때문에 알고리즘 수행시에 전류를 억제하는 역할을 하여 효율을 극대화시킬 수

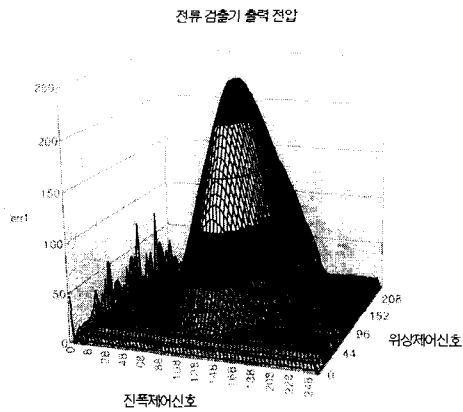


그림 12. 위상변화와 진폭변화에 따른 전류 검출기의 출력 신호

Fig. 12. The Current Detected Voltage via Phase and Amplitude variation in 256 steps.

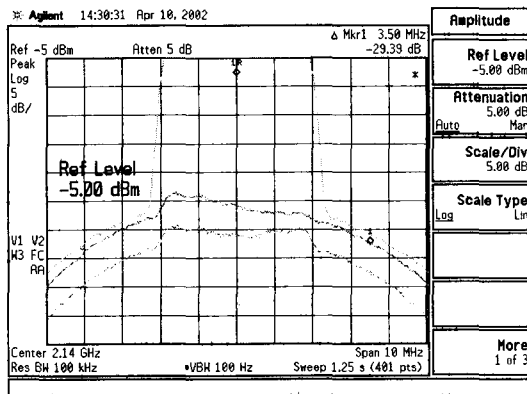


그림 13. 1차 케환의 에러 증폭기 출력결과

Fig. 13. The Output Result in Error Amplifier of 1st Loop.

있는 장점을 갖는다.

<그림 12>는 위상변화와 진폭변화를 일으킬 수는 벡터 모듈레이터의 제어신호인 0V~5V의 입력을 중앙연산장치에서 256단계로 나누어서 변화시키면서 전류 검출기의 출력 신호를 얻을 그래프를 나타낸 것이며, 이 신호를 중앙연산장치가 받아들일 수 있도록 하였다. 전류 검출 신호는 반전회로를 이용하여 에러 증폭기의 에러량 최적의 조건에서는 최대값을 갖도록 회로를 꾸며 주었다. 중앙연산장치는 이 에러를 나타내는 전압이 항상 최고 값이 되도록 벡터 모듈레이터의 가변 위상기와 가변 감쇠기를 조절하는 알고리즘을 적용하였다. 주 고출력 증폭기의 출력이 60W 출력시에 <그림 10>의 합성기의 최적 출력 신호는 0.1mW 정도가 되도록 하였으

며 이렇게 얻어진 출력은 에러 증폭기에 입력이 되어 다시 40 dB의 이득을 얻어 1W 정도의 출력을 갖게 된다. 이 출력은 에러 증폭기의 앞단에 적용되어 있는 가변 감쇠기와 가변 위상기를 알고리즘에 의해 조절이 되어 최종출력과 합쳐졌을 때 주 고출력 증폭기에서 발생하는 왜곡신호를 제거시키는 작업을 한다. <그림 13>은 전류 검출기에서 얻은 에러 전압 값을 최대로 유지시키는 알고리즘을 적용하여 에러 증폭기의 출력 신호를 유지시키도록 하여 얻은 RF 출력 결과이다.

<그림 13>은 선형화 증폭기가 2.14 GHz를 중심으로 FA를 사용할 때 얻은 결과이며 이상적인 선형화 증폭기의 결과를 얻기 위해 정확한 에러 증폭기 신호를 얻어야 하는데 이의 결과를 나타낸 것이다. <그림 13>에서 보는 것처럼 주 고출력 증폭기의 에러 신호와 같은 형태의 제거증폭기의 출력과 이 신호를 그대로 증폭하여 얻은 에러 증폭기의 출력 결과를 보여 주고 있다. 얻어진 출력 결과에서 보듯이 왜곡 없는 에러 증폭기 출력 결과를 얻을 수 있다. 챔버를 이용한 실험 결과 역시 -30도에서 60도까지도 알고리즘에 의해 에러 출력 특성을 그대로 유지하고 있음도 확인하였다.

환경 변화에서 알고리즘 수행시에 발생할 수 있는 위험성은 알고리즘 수행범위를 넘는 경우이다. 이를 위해 온도변화에서도 문제없이 동작되도록 제거 증폭기의 H/W 자체적으로 주 고출력 증폭기 특성을 따라가도록 하는 온도 보상회로를 적용하였다. 이 때문에 온도에 따른 위상 및 진폭 변화량을 줄였으며, 큰 변화량이 발생하여 알고리즘이 더 이상 수행할 수 없는 경우가 발생되는 위험을 막아 주었다.

### VIII. 측정 결과 및 검토

ACPR 사양은  $\pm 3.515$  MHz 지점이 가장 병목 될 수 있는 지점임을 확인할 수 있고 이를 스펙트럼 분석기에서 RBW 30 KHz로 측정하였을 때 50 dBc 이상을 만족하여야 함을 알 수 있다. 이는 입력되는 수신 신호가 왜곡이 없이 40W로 증폭되어 출력되어야 함을 의미한다. ACLR은 ACPR 특성에 비해 어렵지 않은 사양으로써 고찰되지만 선형화 증폭기의 동적 영역에 의미가 있다. <그림 14>는 2.14 GHz를 중심으로 FA를 사용할 때 최종적으로 얻은 선형화 증폭기의 개선량을 알 수 있는 측정 결과이다.

<그림 14>는 얻어진 에러 신호를 주 고출력 증폭기

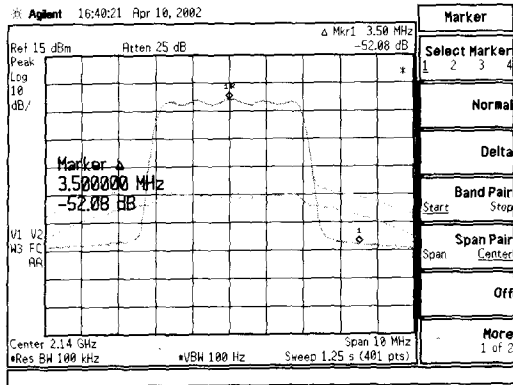


그림 14. 주 고출력 증폭기의 개선량 결과  
Fig. 14. Improve Result of Main HPA.

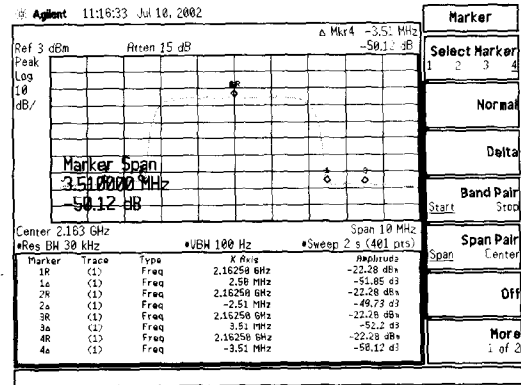


그림 16. 1W 출력시 얻은 선형화 증폭기 출력 결과  
Fig. 16. The Output Result of LPA at 1W.

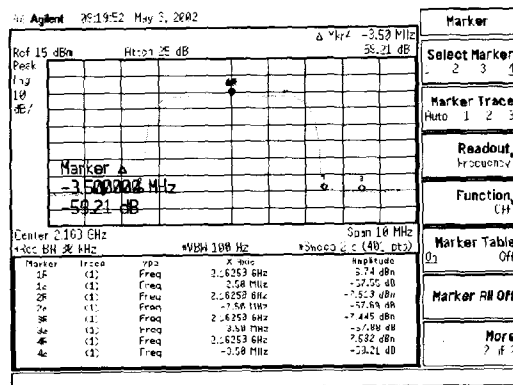


그림 15. 40W 출력시 얻은 선형화 증폭기 출력 결과  
Fig. 15. The Output Result of LPA at 40W.

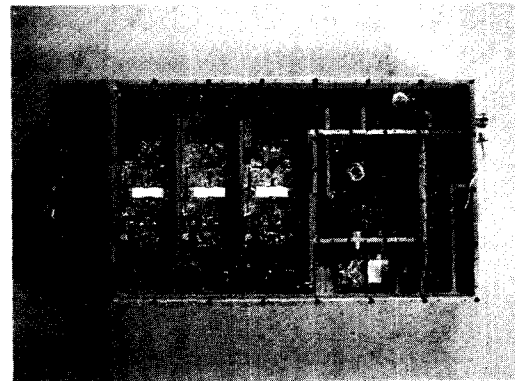


그림 17. 제작된 선형화 증폭기 실물사진  
Fig. 17. Photograph of Fabricated LPA.

의 최종단에서 출력 된 신호와 합쳐서 개선된 선형화 증폭기의 출력 결과를 보여 주고 있다. 주 고출력 증폭기의 출력 결과가 목표 수치대로 60W(48dBm) 출력 상태에서 35 dBc의 스프리어스 결과를 얻음을 확인할 수 있고 개선된 선형화 증폭기의 출력 결과는 40W에서 52 dBc 결과를 얻음을 확인할 수 있다. 이로써 Feed-forward 방식에 의해 17 dB 정도의 개선량을 얻을 수 있다.

GaAs FET 등 일반 Transistor 인 경우처럼 일반적으로 출력을 낮출수록 선형성이 좋아지는 것이 일반적이지만 LDMOS 특성은 언급했듯이 고출력에서 높은 효율과 선형성이 뛰어나지만 동적영역 특성이 좋지 못한 것이 단점이다.<sup>[8]</sup> 본 논문에서는 1차 케환인 신호 제거 케환과 2차 케환인 에러 검출 케환이 적응형으로 이루어짐으로 인해 최적으로 출력 조건을 항상 유지할 수 있도록 하였기 때문에 LDMOS를 사용해서 발생했던 단점을 극복할 수 있었다. 이렇게 해서 60W 고출력에서

높은 효율을 가지면서 선형성을 3GPP 규격에 만족할 수 있도록 설계되면서도 동적 영역을 만족하는 IMT-2000용 선형화 증폭기가 되도록 하였다. <그림 15, 16>은 2.163 GHz를 중심으로 FA를 사용하며, 선형화 증폭기가 각각 40W, 1W 출력시에 동작할 때 얻은 RF 출력 결과이다.

적용된 에러량 검출보드를 이용하여 사용된 정확한 주파수를 찾았다면 찾아진 주파수를 이용하여 선형화 알고리즘이 수행된다. 2.14 GHz를 사용하여 얻은 출력 결과인 <그림 13, 14>와 2.163 GHz를 사용하여 얻은 출력 결과인 <그림 15, 16>을 참고해 보았을 때 수행되는 선형화 알고리즘에 의해 한 서비스 업자에서 할당받은 20 MHz 대역폭내의 어떤 주파수에서도 동작이 이상 없이 수행하고 있음으로 볼 수 있다. 이때에 처음 전원을 올렸을 때뿐만 아니라 동작중에도 주파수를 바꾸는 현상이 발생하더라도 문제없이 선형화 동작이 이루어질 수 있도록 주기적으로 주파수 찾는 알고리즘을 수행

하도록 하였다.

선형화 증폭기 내부적으로 에러량 검출보드를 이용한 주파수를 찾는 알고리즘과 선형화 증폭기의 선형화 작용을 시키는 알고리즘으로 해서 1 FA 사용 규정으로 동작하고 있지만 Multi FA는 여러개의 선형화 증폭기로 Combining 하여 얻을 수 있고, 이렇게 한다면 3GPP의 방사 특성을 만족하는 Multi-FA 시스템을 구축할 수 있다.

<그림 15, 16>에서 보는 것처럼 40W에서 58 dBcmin. @  $\pm 3.5$  MHz, 1W에서는 50 dBcmin. @  $\pm 3.5$  MHz의 결과를 얻을 수 있으므로 모든 동적 영역에서 3GPP의 ACPR 및 ACLR의 방사 특성을 만족하고 있음을 볼 수 있다. <그림 17>은 제작된 선형화 증폭기 실물사진이며 중간 부분이 최종단 3 Way로 설계된 부분을 볼 수 있다.

선형화 증폭기의 온도 특성에 따라서도 주 고출력 증폭기, 에러 증폭기, 제거 증폭기의 특성을 보상하였기 때문에 -30 도에서 60도까지도 50 dBc 이상의 선형 특성을 유지함을 확인 할 수 있었고 이에 따라 적응 형태의 알고리즘이 잘 동작함을 알 수 있었다. 그리고 위의 온도에 따른 출력 변화량도 40W 출력시에 측정결과  $\pm 0.8$  dB 내로써 상용화에 문제가 없음을 확인할 수 있었다.

전체 선형화 증폭기의 안정되는데 까지의 소요시간은 선형화 알고리즘이 수행하는 시간과 주기적으로 주파수를 찾는 알고리즘이 수행되는 시간으로 얻어진다. 첫 번째로 선형화 알고리즘이 수행되면  $\pm 3.515$  MHz 지점의 Offset 지점의 에러량 값과 각각에 대한 최소 전류값의 4개의 값을 20MHz Clock으로 동작하는 중앙연산장치가 인식한다. 여기서 정확한 값을 감지하여 인식하는 시간보다 에러량을 가져오기 위해 두 지점에 Locking 하는 시간이 주를 차지한다. 그럼으로 30 mS 정도의 시간을 필요로 하고, 일반적으로 10번 정도의 알고리즘 수행으로 최적화가 이루어짐으로 300 mS 정도의 안정 시간이 필요함을 알 수 있다. 두 번째로 주파수를 찾는 알고리즘은 전 대역을 5 MHz 대역으로 Sweep 하면서 대략의 신호를 찾은 다음 정확한 주파수를 찾기 위해 FA의 양 끝 주파수를 조금씩 움직이면서 찾는 방법을 이용한다. 전체를 Sweep 하여 찾는다면 최악의 경우 300 mS 정도가 소요되지만 주파수를 찾는 작업을 수행시킬 때 에러량이 큰 쪽으로 접근하도록 하여 신호를 찾음으로써 100 mS로 줄일 수 있었다. 결론적으로 선형화 증폭기의

안정시간은 300~400 mS 시간이 걸림을 생각할 수 있으며, 전력 제어 동작을 수행할 때에는 이의 고려가 있어야 한다.

## IX. 결과 및 검토

본 논문에서는 3세대 통신으로써 대두되고 있는 IMT-2000 서비스에 적용되는 선형화 증폭기의 관련내용이다. 현재 IMT-2000 서비스는 데이터 속도 측면에서 현재 5MHz 대역의 W-CDMA는 최대 2 Mbps 까지 수용할 수 있으나 앞으로 적응 변조 방식, 적응 안테나 기법 등을 적용하여 8~16 Mbps까지 그 속도를 증가시킬 것을 기대한다. 이러한 추세에 따라 선형화 증폭기도 많은 요구사항이 첨가될 것이며 소프트웨어적으로 데이터 종류의 차별화에 따라 적응형태의 동작이 이루어 지리라 생각된다.

\* ADS Tool를 지원하신 Agilent Technologies 사와 본 논문에 협조해 주신 (주)알에프하이텍 연구소에 감사드립니다.

## 참 고 문 헌

- [1] 발명자 김 영 외 8명, 삼성전자 주식회사 출원 "선형 증폭 장치 및 방법", 특1998-069488, 1998, 10.
- [2] 발명자 장익수 외 2명, 주식회사 케이엠더블유 출원, "피드포워드 증폭기" 특1998-028878, 1998.07.
- [3] Perter B. Kenington, "High Linearity RF Amplifier Design", Artech House, Boston · London, 2000.
- [4] Perter Sahjani., "Life Time Effects in Pin Diode", RF Expo East Proc. pp.49-57, November 11-13 1987.
- [5] Alpha Industries, Inc., "Design with PIN Diodes", Application Note, APN1002, 1999.
- [6] Jean-Serge Cardinal, Fadhel M. Ghannouchi, "A New Adaptive Double Envelope Feedback (ADEF) Linearizer for Solid State Power Amplifiers", IEEE Trans. Microwave Theory and Tech., vol. 43, Jul 1995.
- [7] ETSI TS 125 104 : Universal Mobile Telecom-

munications System (UMTS); UTRA (BS) FDD ; Radio transmission and reception(3G TS 25.104 version 3.2.0 Release 1999).

[8] Motorola Semiconductor Technical Data, "The

RF-Micron MOSFET Line RF Power Field Effect Transistors N-Channel Enhancement-Mode Lateral MOSFETs", MRF21180/D.

저 자 소 개



吳仁烈(正會員)

1993년 2월 : 광운대학교 전자공학과 졸업(학사). 1996년 8월 : 광운대학교 대학원 전자공학과 졸업(공학석사). 1996년 7월~1999년 8월 : (주) LG정보통신 중앙연구소 이동통신 단 연구원. 2001년 8월 : 광운대학교 대학원 전자공학과 박사수료. 1999년 8월~2002년 7월 : (주)알에프하이텍 연구소 고출력 증폭기 개발팀 팀장(전임 연구원). 2002년 8월~현재 : (주)필드콤 개발연구소 연구소장. <주관심분야 : 이동통신시스템 및 부품연구, 디지털방송 및 LMDS 기술, 고출력 증폭기 선형화 기술>



李昌熙(正會員)

1985년 2월 : 광운대학교 전자공학과 졸업(학사). 1987년 8월 : 광운대학교 산업정보 대학원 전자공학전공 졸업(석사). 2002년 2월 : 광운대학교 대학원 전자공학과 박사수료. <주관심분야 : 이동통신 시스템, RF 및 마이크로파통신 시스템 기술>



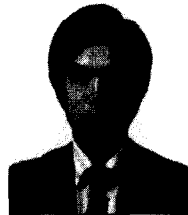
鄭起赫(正會員)

1990년 2월 : 광운대학교 전자공학과 졸업(학사). 1992년 8월 : 광운대학교 대학원 전자공학과 졸업(공학석사). 1992년 8월~1997년 11월 : 대우 전자주 영상연구소 주임연구원. 1997년 12월~2001년 11월 : (주)한화/정보통신네트워크연구소 선임연구원. 20002년 3월~현재 : 광운대학교 대학원 전자공학과 박사과정 재학중. 2002년 2월~현재 : (주)엠티아이 책임연구원. <주관심분야 : CDMA 이동통신 시스템, 이동 멀티미디어 시스템, 위성 데이터 통신 등>



趙珍龍(正會員)

1994년 3월 : 홍익대학교 전산기공학과 졸업(학사). 1996년 8월 : 광운대학교 대학원 전자공학과 졸업(공학석사). 1996년 9월~2002년 3월 : LG 이노텍 연구소 연구원. 2002년 3월~현재 : 광운대학교 대학원 전자공학과 박사과정 재학중. <주관심분야 : 이동통신용 RTX MMIC 설계, 이동통신용 PAM 설계>



羅克煥(終身會員)

1981년 7월 : 블란서 ENSEEIHT 국립 종합 공과대학 졸업(박사). 1981년 9월~1986년 12월 : 광운대학교 전자공학과 부교수. 1987년 1월~1988년 1월 : 미국 COSMST 연구소 객원 연구원. 1988년 2월~현재 : 광운대학교 전자공학과 교수. <주관심분야 : RF 및 마이크로파통신 시스템 기술, 선형화 및 출력 최적화 기술, 밀리미터파 통신 시스템 기술, 수치 해석>