

ZrO₂ 완충층의 후열처리 조건이 Pt/SrBi₂Ta₂O₉/ZrO₂/Si 구조의 전기적 특성에 미치는 영향

정우석[†] · 박철호 · 손영국
부산대학교 무기재료공학과
(2002년 11월 26일 접수; 2002년 12월 23일 승인)

The Heat Treatment Effect of ZrO₂ Buffer Layer on the Electrical Properties of Pt/SrBi₂Ta₂O₉/ZrO₂/Si Structure

Woo Suk Jung,[†] Chul Ho Park, and Young Gook Son

Department of Inorganic Materials and Engineering, Pusan National University, Busan 609-735, Korea
(Received November 26, 2002; Accepted December 23, 2002)

초 록

R.F. 마그네트론 스퍼터링법으로 ZrO₂ 확산 방지막과 SrBi₂Ta₂O₉ 강유전 박막을 증착하여 MFIS 구조를 제작하였다. 절연층의 후열처리가 절연층 및 MFIS 구조의 전기적 특성에 미치는 영향을 관찰하기 위해서 일반 분위기로와 RTA로에서 각각 산소 분위기와 아르곤 분위기에서 550~850°C의 온도범위에서 후열처리를 행한 후, C-V 특성 및 누설전류 특성을 분석하였다. RTA 750°C 산소 분위기에서 후열처리된 20 nm의 두께를 가지는 ZrO₂ 박막에서 최대의 메모리 윈도우 값을 얻었다. Pt/SBT(260 nm)/ZrO₂(20 nm)/Si 구조는 Pt/SBT(260 nm)/Si 구조의 값보다 C-V 특성 및 누설전류 특성이 우수하였으며 이러한 결과는 ZrO₂ 박막이 SBT와 Si 사이에서 우수한 완충층의 역할을 함을 알 수 있었다.

ABSTRACT

SrBi₂Ta₂O₉(SBT) and ZrO₂ thin films for MFIS structure(Metal-Ferroelectric-Insulator-Semiconductor) were deposited by RF magnetron sputtering method. In order to investigate the effect of heat treatment of insulator layers and MFIS structure, the insulator layers were heat treated from 550°C to 850°C in conventional furnace or RTA furnace under O₂ and Ar ambient, respectively. After then, C-V characteristics and leakage current were measured. The capacitor with 20 nm thick ZrO₂ layer treated at RTA 750°C in O₂ atmosphere had the largest memory window. The C-V and leakage current characteristics of the Pt/SBT(260 nm)/ZrO₂(20 nm)/Si structure were better than those of Pt/SBT(260 nm)/Si structure. These results showed that ZrO₂ films took a role of buffer layer effectively.

Key words : MFIS structure(Metal-Ferroelectric-Insulator-Semiconductor), ZrO₂ buffer layer, SrBi₂Ta₂O₉(SBT), Memory window

1. 서 론

강유전 물질이 발견된 이후로 강유전체 박막을 비휘발성 기억소자에 적용하기 위해 많은 연구들이 진행되고 있다. 강유전 박막을 이용하여 구현되는 비휘발성 메모리 소자인 FRAM(Ferroelectric Random Access Memory)은 일반적으로 1트랜지스터와 1커패시터 또는 2트랜지스터와 2커패시터로 집적이 가능하고 SRAM 수준의 정보처리 속도 및 플래쉬 메모리의 정보기억 능력을 갖춘 차세대 비휘발성 기억소자이다.¹⁾ 본 연구로부터 응용할 수 있

는 Metal/Ferroelectric/Semiconductor(MFS)-FET의 경우에는 커패시터가 불필요함으로 간단한 구조로서 고집적화에 유리하다는 장점이 있다.^{2,3)} 일반적인 비휘발성 메모리와 비교하면 강유전체 메모리는 빠른 읽기/쓰기 속도와 낮은 동작 전압에서 작동하고 좋은 읽기/쓰기 피로 특성을 가지고 있다. 그러나, 이러한 MFS 구조는 강유전 박막과 실리콘 기판사이에서 좋지 못한 계면 특성으로 인한 큰 누설전류, 확산 및 계면반응에 의한 비강유전층의 형성과 같은 문제점을 지니고 있다.⁴⁾ 이러한 문제를 해결하고자 강유전 박막과 실리콘 기판사이에 절연층(insulator layer)을 삽입한 MFIS(Metal Ferroelectric Insulator Semiconductor)의 구조가 대두되었고 많은 연구가 진행되었다.^{2,5)} 최근에는 Y₂O₃,⁶⁾ CeO₂,⁷⁾ MgO, Al₂O₃, YMnO₃와 같은 물질을 완충층으로 삽입하여 전기적 성질을 향상시킨 연

[†]Corresponding author : Woo Suk Jung
E-mail : ws_jung@hanmail.net
Tel : +82-51-510-3222 Fax : +82-51-512-0528

가 보고되었다. Y₂O₃, Al₂O₃의 경우는 고온 열처리 시 S 기판과 실리콘을 형성하여 이로 인한 누설전류의 증가와 구조상의 열화가 발생하는 것으로 보고되고 있다. 따라서 본 연구에서는 25 정도의 큰 유전상수를 가지고 800°C 이상의 비교적 높은 온도까지 결정성의 전이가 발생하지 않고, Zr 이온이 Si에 도펀트로 작용하여 전기적 특성에 영향을 끼치지 않는 것으로 판단되는 ZrO₂ 박막을 완충층으로 이용하여 Pt/SBT/ZrO₂/Si 구조를 제작하였다. 그렇지만, 이러한 완충층은 증착공정 중 혹은 후 열처리 공정이 이루어지는 동안 실리콘 기판과 절연층 사이에 형성되는 SiO₂ 저 유전율의 얇은 계면층으로 인해 물성저하가 일어날 수 있고, 전체 MFIS 구조의 전기적 특성에 영향을 미치는 것으로 보고되고 있다.⁸⁻¹¹⁾ 후속 열처리에 따른 계면층의 형성은 절연층 및 강유전층의 두께가 얇을수록 MFIS 구조에 미치는 영향이 클 것으로 예상되지만 이에 관한 연구는 부족하다고 생각된다.

따라서, 본 연구에서는 RF 마그네트론 스퍼터링법(Radio Frequency Magnetron Sputtering Method)¹²⁾으로 P-type Si(100) 기판위에 ZrO₂ 박막과 SrBi₂Ta₂O₉(SBT) 박막을 증착시켰다. 증착한 ZrO₂ 박막에 대해 일반 분위기로와 RTA로에서 각각 산소와 아르곤 분위기에서 550~850°C의 온도범위에서 후 열처리를 하였고, 이에 따라 MFIS 구조의 전기적 물성에 미치는 영향을 고찰하였다.

2. 실험방법

본 실험에서는 P-type Si(100) 웨이퍼를 1.5 cm×1.5 cm의 크기로 절단하고 표준세정법을 통하여 표면의 오염물 및 자연 산화막을 제거하고 초 순수로 린스한 후 질소 가스 건으로 블로잉한 후 챔버에 장입하였다. ZrO₂ 박막은 R.F. 마그네트론 스퍼터링법에 의해 Si(100) 기판 위에 증착되었으며 ZrO₂를 증착하기 위해서 Zr 금속 타겟(99.99%)을 사용하여 반응성 스퍼터링을 하였다. 이때 산소의 분압을 40%로 고정하였으며 이때 기판의 온도는 300°C에서 증착을 하였다. 강유전 SrBi₂Ta₂O₉ 박막은 ZrO₂가 올려진 기판위에 R.F. 스퍼터링을 이용하여 증착하였다. 기판의 온도는 실온으로 고정하였으며 증착분위기는 아르곤과 산소의 양을 Ar:O₂(9:1)로 조정하였다. 상부전극은 Pt 금속타겟(99.99%)을 이용하여 R.F. 스퍼터링으로 직경 0.75 mm의 Pt 도트를 증착하였고, 하부 접촉은 Si 웨이퍼 표면을 10% HF 용액으로 자연 산화막을 제거한 후 은으로 접촉을 이루도록 하였다. 자세한 증착조건을 Table 1에 나타내었다.

박막의 결정화를 위해서 증착을 행한 후 열처리를 실시하였다. 후열처리는 분위기를 유지할 수 있는 튜브형태의 فرن(Lindberg, Model No. 54233, USA)와 RTA는 1.0×10⁻² Torr까지 배기가 가능하고 반응가스를 제어할 수 있는 RTA

Table 1. Typical Deposition Conditions for ZrO₂, Pt, SrBi₂Ta₂O₉ Thin Film Preparation

Thin film	ZrO ₂	Pt
Power	150 W(R.F.)	80 W(R.F.)
Base Pressure	1.5×10 ⁻⁵ Torr	1.5×10 ⁻⁵ Torr
Working Pressure	10 mTorr	10 mTorr
Sputtering Gas	Ar:O ₂ (6:4)	Ar
Substrate Temp.	300°C	RT

Thin film	SrBi ₂ Ta ₂ O ₉
Power	120 W(R.F.)
Base Pressure	1.5×10 ⁻⁵ Torr
Working Pressure	10 mTorr
Substrate Temp.	RT
Sputtering Gas	Ar:O ₂ (9:1)

로 시스템에서 85°C/sec의 승온속도로 행하였다. ZrO₂ 박막은 550~850°C 온도 범위안에서 각각 일반로 산소분위기에서 20분간 열처리하였고 RTA는 1.0×10⁻² Torr까지 배기한 후 분위기 가스를 넣어 10 Torr의 진공도에서 1분 30초간 후열처리 하였다. 그리고 SBT 박막은 500, 600, 700, 800°C에서 각각 1시간씩 산소분위기에서 후열처리 하였다. 또한 상부전극으로 사용된 Pt는 대기중 700°C에서 20분간 열처리하여 전기적 단락을 막고자 하였다.

박막의 결정화는 Cu-Kα선 Ni 필터를 사용한 XRD(D/MAX형, Rigaku, Japan)를 이용하였고 박막의 미세구조 및 거칠기는 주사전자현미경(Field Emission Scanning Electron Microscope, Hitachi S-4200, Japan)과 AFM(Atomic Force Microscopy)을 이용하여 분석하였으며, 박막의 두께는 메카니칼 스타일러스(Tencor α-step)과 FESEM을 이용하여 측정하였다. 그리고 후열처리 조건에 따른 Si웨이퍼와 ZrO₂ 박막사이의 계면 형상을 관찰하기 위해서 AES(Auger Electron Spectroscopy, VG Scientific MICROLAB 350)분석을 통해 관찰하였다. C-V 특성은 Hewlett Packard 4192A impedance analyzer를 I-V 특성은 Keithley 237 Source-Measure Unit를 이용하여 증착하였고 강유전성을 알아보기 위해서 Radiant사의 RT66A를 이용하여 virtual ground mode로 측정하였다.

3. 결과 및 고찰

3.1. ZrO₂ 박막의 특성

Figs. 1과 2는 증착된 ZrO₂ 박막을 일반 분위기로와 RTA로에서 각각 산소와 아르곤 분위기에서 후열처리 하였을 때의 유전상수와 I-V 특성을 나타내었다. Fig. 1에 ZrO₂의 계산된 유전상수를 열처리 온도에 따라 나타내었다. 일반적으로 박막의 유전상수는 벌크의 유전상수 보다

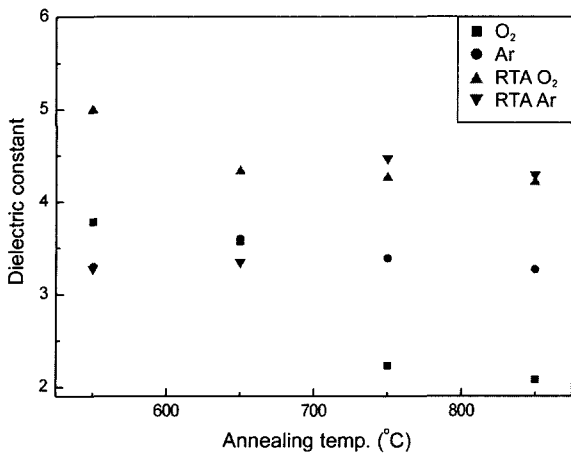


Fig. 1. The dielectric constants of ZrO₂ thin films as a function of annealing temperature.

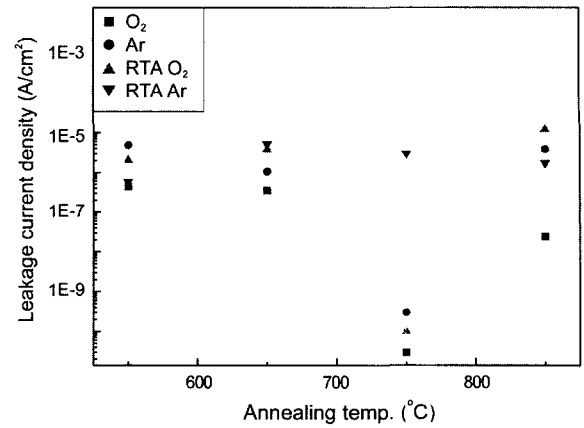


Fig. 2. Leakage current density of ZrO₂ thin films under the applied voltage of +5 V as a function of annealing temperature.

작게 나타나는 데 본 실험에서 1200 Å 정도의 두께를 가지는 ZrO₂ 박막의 유전상수는 벌크상태의 유전상수(~25)

보다 작게 나타났다. 일반로 산소분위기에서 550~850°C에서 후열처리 하였을 경우 유전상수는 점차 감소하는 경

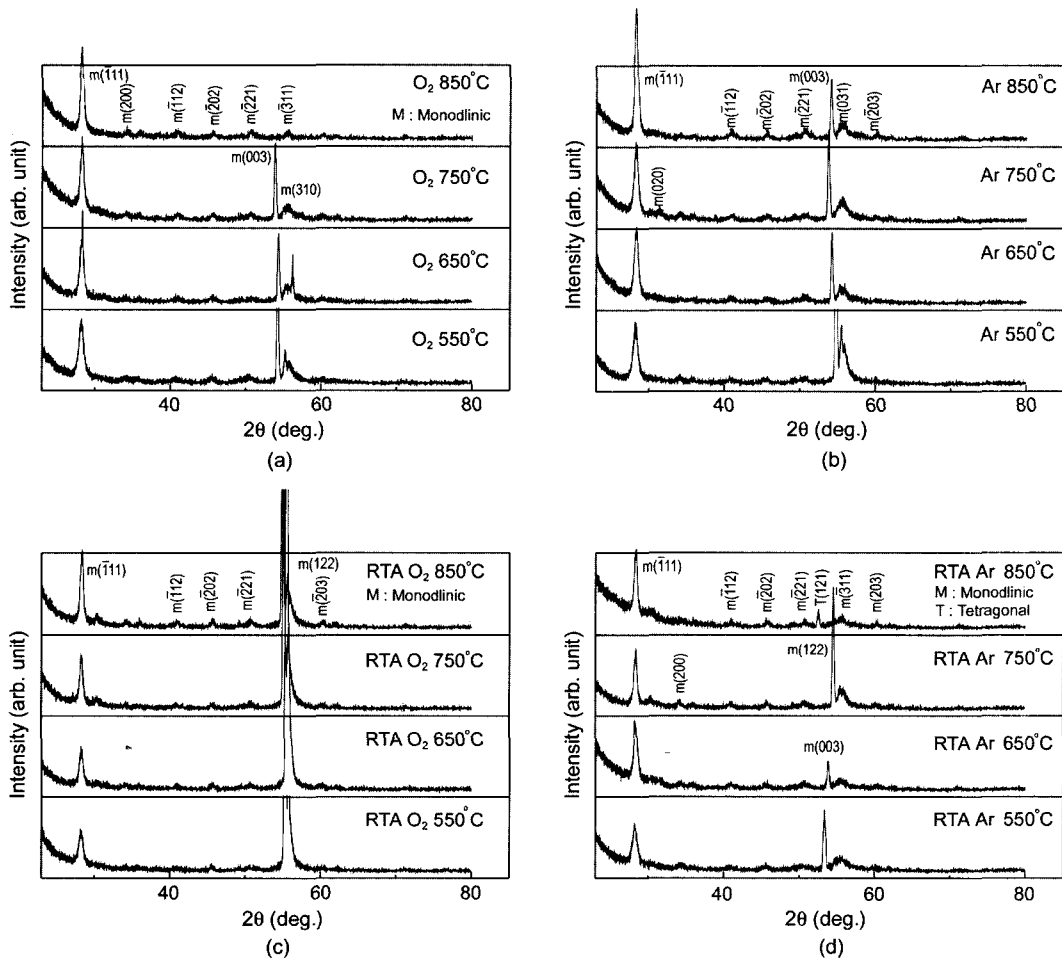


Fig. 3. The XRD patterns of ZrO₂ thin films annealed at various annealing conditions. (a) Conventional furnace O₂, (b) RTA O₂, (c) Conventional furnace Ar and (d) RTA Ar ambient.

향을 보였고, 일반로 아르곤, RTA 산소 그리고 RTA 아르곤 분위기와 열처리 조건에서 2.09~5 정도의 유전상수 값을 나타내었다. 계산을 통하여 얻은 유전상수 값이 보고된 ZrO₂ 박막의 유전상수 값에 비해서 낮은 값을 나타내는데 이는 ZrO₂ 박막이 다결정성을 지배적으로 갖기 때문이다.²³⁾ Pt/ZrO₂/P-type Si (100) MOS 구조의 누설전류 특성을 측정하기 위하여 P-type Si (100) 기판에 축적영역을 만든 후 Pt 전극에 0에서 5 V까지의 전압을 가해 주었다. Fig. 2에서 일반로 산소 분위기에서 550°C, 650°C에서는 누설전류 밀도가 10⁻⁶ A/cm² 정도로 750°C, 850°C의 2.97×10⁻¹¹ A/cm², 2.41×10⁻⁸ A/cm² 보다 비교적 낮은 값을 갖는다. 이는 후열처리 온도가 올라갈수록 박막이 치밀화되고 안정화되기 때문이라고 생각된다. 일반로 아르곤 분위기에서의 후열처리와 RTA 산소, RTA 아르곤 분위기와 비교하면, RTA 산소분위기의 750°C의 3.01×10⁻¹⁰ A/cm², 일반로 아르곤분위기 750°C 9.96×10⁻¹¹ A/cm², RTA 아르곤분위기의 750°C에서 2.94×10⁻⁶ A/cm² 보다 우수한 누설전류 특성을 보인다. 이것은 산소 분위기에서 열처리함에 따라 산소의 확산으로 박막 안과 계면에 존재할 수 있는 전하들이 치유되고 ZrO₂ 박막과 실리콘 기판사이에 밴드갭이 넓어서 전자전도의 장애물로

작용할 수 있는 실리콘 산화막이 성장하기 때문이다. Fukumoto *et al.*¹³⁾은 SiO₂ 두께 조절로 누설 전류의 양을 조절할 수 있으며, SiO₂ 층이 30 Å 이상의 두께가 넘으면 누설전류를 감소시킬 수 있으나, 30 Å 이하의 두께는 누설전류의 감소와 항복전압의 증가에 크게 영향을 미치지 못한다고 보고하고 있다.¹⁴⁾ 모든 후열처리 분위기에서 850°C에서의 누설전류 특성이 750°C 보다 좋지 못한 것을 확인할 수 있는데 이는 AFM으로 확인한 결과 일반로 산소, 아르곤, RTA에서 산소, 아르곤의 평균 거칠기는 750°C에서 각각 2.816, 2.904, 2.718, 2.612 nm에서 850°C에서는 4.095, 4.840, 2.810, 2.810 nm로 ZrO₂ 박막 평균 거칠기가 증가하여 상부전극인 Pt와의 계면특성이 좋지 못한 영향 때문으로 사료되어진다.

Fig. 3(a)-(d)는 증착된 ZrO₂ 박막을 일반 분위기로와 RTA로에서 각각 산소와 아르곤 분위기에서 550~850°C의 온도범위에서 후 열처리하였을 때의 XRD 패턴을 나타낸 그림이다. ZrO₂의 동질이상에는 단사정과 정방정, 입방정상이 있는데 본 실험에서는 K. Goedicke의 실험에서의 결과와 같은 단사정 상만이 나타남을 알 수 있다(ASM 36-420).¹⁵⁾ 후열처리 온도가 증가함에 따라 반가폭이 좁아지고 피크 강도가 증가하는 경향을 보인다. 그리고 후

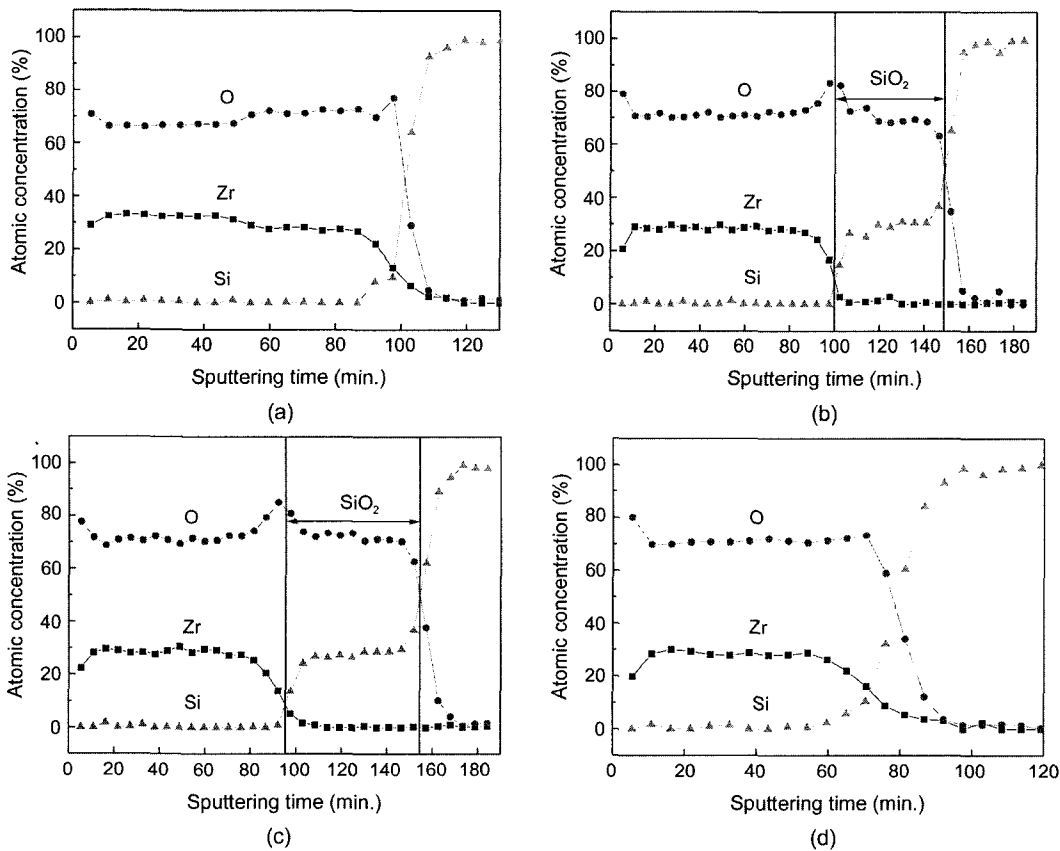


Fig. 4. AES depth profile of Pt/ZrO₂(120 nm)/Si with different annealing condition (a) O₂ 550°C, (b) O₂ 750°C, (c) O₂ 850°C and (d) RTA O₂ 750°C.

열처리 온도가 증가할 수록 박막이 다결정성이 증가함을 알 수 있다.

3.2. ZrO₂/Si 구조의 깊이에 따른 조성분석

후열처리 조건에 따른 조성 변화를 조사하기 위해서 ZrO₂ (120 nm)/Si 구조를 AES depth profiling하였다. 우수한 누설 전류특성을 보인 일반로 산소 분위기 550°C, 750°C, 850°C에서 후열처리된 시편과 RTA 산소분위기 750°C에서 열처리된 시편을 비교분석하였다. Fig. 4(a), (b), (c)는 각각 일반로 산소 분위기에서 550°C, 750°C, 850°C에서의 깊이에 따른 조성분포이다. 온도가 올라 갈수록 분위기가 가스인 산소가 ZrO₂ 박막과 Si 계면으로 확산해 들어가서 중간층인 SiO₂의 두께가 증가하는 것을 관찰할 수 있었다. I-V 특성과 C-V 특성에서 산소분위기에서 후열처리 온도가 증가할수록 C_{acc} 값이 감소하고 누설전류 특성이 향상되는 것이 중간층인 SiO₂의 두께가 증가하기 때문인 것을 확인 할 수 있었다. 반면, RTA 산소분위기 750°C에서 1분 30초간 후열처리 되었을 경우에는 3.01×10⁻¹⁰ A/cm² 정도의 우수한 누설전류 특성과 SiO₂ 계면층의 생성이 억제되었음을 확인 할 수 있었다. SiO₂ 계면층의 두께는 누설 전류특성에는 영향을 미치나 MFIS 게이트 구조에서 전체 게이트 전극에 가해지는 전압이 저유전층인 SiO₂ 계면층에 크게 분배되게 된다. 따라서, 메모리 윈도우 값을 작게 하기 때문에 비교적 우수한 전기적 특성을 가지고 SiO₂ 계면층의 생성이 억제된 RTA 산소 분위기에서 큰 메모리 윈도우 값을 가질 것으로 예상된다.

3.3. SBT 박막의 결정성 및 전기적 특성

열처리 온도에 따른 SBT 박막의 결정성을 알아보기 위해 SiO₂/Si(100) wafer에 SBT를 증착하여 XRD 관찰을 하

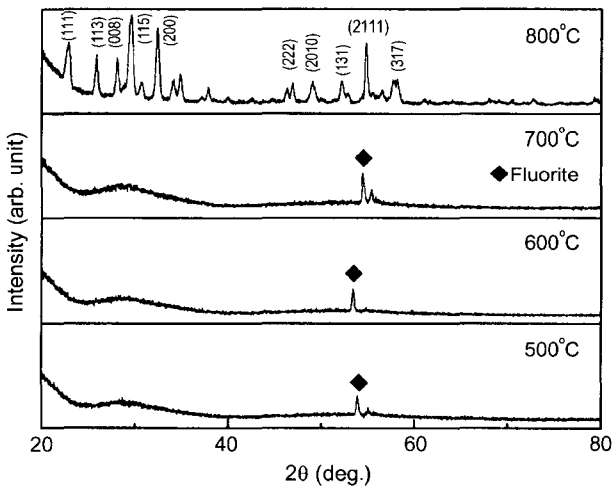


Fig. 5. XRD patterns of SBT(260 nm)/SiO₂/Si structures annealed at 500°C, 600°C, 700°C, 800°C for 1 h in O₂ ambient.

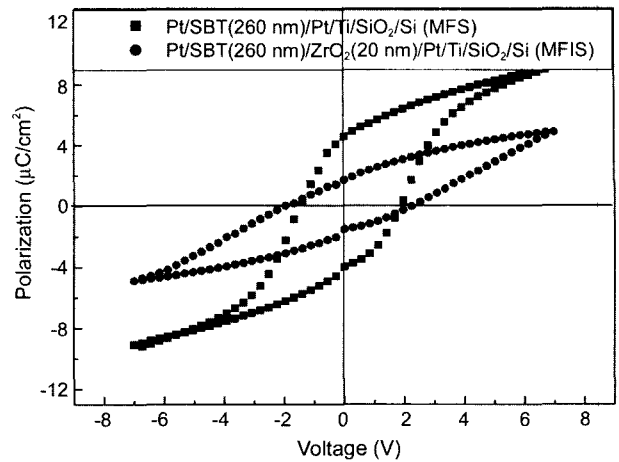


Fig. 6. P-V curves of Pt/SBT(260 nm)/Pt/Ti/SiO₂/Si capacitor and Pt/SBT(260 nm)/ZrO₂(20 nm)/Pt/Ti/SiO₂/Si capacitor annealed at 800°C 1 h.

였다. 증착시기관에 열은 주지 않았으며 산소의 분압을 10%로 고정하여 증착하였다.

SBT의 결정화 온도는 750~800°C로 알려져 있는데¹⁶⁾ Fig. 5에서 보는 바와 같이 800°C에서 1시간동안 열처리 한 결과 페로브스카이트구조를 가지는 다결정 상으로 결정화 된 것을 알 수 있다. 하지만 500°C, 600°C, 700°C에서 열처리 한 시편의 경우에는 그림에서 관찰되듯이 불완전하게 결정화되어 플로우라이트구조를 가진다. 플로우라이트 구조는 강유전성이 아니라 상유전성을 띄므로 강유전성의 페로브스카이트구조를 얻기 위해서는 800°C 이상의 열처리가 필요할 것이다.¹⁷⁾

MFIS 구조에 완충층으로 사용되는 절연층의 삽입에 따른 전기적 특성의 변화를 분석하기 위해 먼저 Pt/SBT/Pt(MFM) 구조와 Pt/SBT/ZrO₂/Pt(MFIM) 구조의 전기적 특성을 조사하였다. Fig. 6은 Pt/SBT(260 nm)/Pt 구조와 Pt/SBT(260 nm)/ZrO₂(20 nm)/Pt 구조의 분극-전압 곡선이다. 항전계 값은 MFIS 구조에서 메모리 윈도우 특성을 결정하는 매우 중요한 요소인데 MFIM 구조의 경우 낮은 유전율을 갖는 ZrO₂ 박막의 삽입으로 인해서 잔류분극(2P_r) 값이 8.53 μC/cm²에서 3.21 μC/cm²으로 감소하였다. 이것은 항전계 값(2V_c)은 인가전압 5 V에서 각각 MFM 구조의 경우 3.36 V, MFIM 구조의 경우 4.48 V으로 항전계 값이 증가하였다. MFIS 구조에서 메모리 윈도우의 크기는 분극량에 의존하기 보다는 항전계의 크기에 의존한다.¹⁶⁾ 따라서 ZrO₂ 층의 도입으로 인해 메모리 윈도우의 크기가 증가 할 것으로 예상된다.

3.4. MFIS 구조의 제작과 전기적 특성

3.4.1. 미세구조 분석

Fig. 7은 SBT(260 nm)/Si 구조와 SBT(260 nm)/ZrO₂(20 nm)

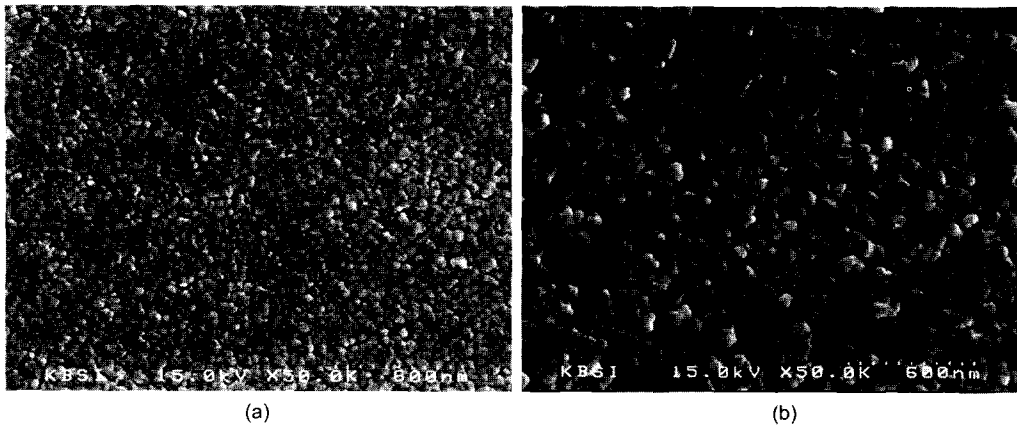


Fig. 7. SEM cross sectional images of (a) SBT(260 nm)/Si structure and (b) SBT(260 nm)/ZrO₂(20 nm)/Si structure annealed at 800°C for 1 h in O₂ ambient.

/S 구조의 SEM 표면사진이다. 그림에서 확인할 수 있듯이 SBT(260 nm)/Si 구조인 (a)의 경우에는 (b)의 SBT(260 nm)/ZrO₂(20 nm)/Si 구조에 비해서 결정립의 크기가 작고 결정립 성장이 원활하게 이루어지지 못한 것으로 보인다. 표면양상이 이렇게 다르게 나타나는 이유는 SBT 박막과 Si 기판의 직접 접촉에 의한 계면 반응 때문으로 사료된다. SBT(260 nm)/Si 구조의 경우에는 SBT 박막과 Si 기판의 계면에 비정질 상과 결정립이 혼합된 중간상이 존재하고 SiO₂층이 형성된다고 보고되고 있으며 이에 반해 완충층이 있을 경우에는 계면반응에 의한 중간상의 생성이 억제되고 중간상인 SiO₂ 두께 또한 얇다고 보고되고 있다.^{18,19)} 이러한 우수한 계면특성으로 인해 계면전하 밀도와 전하주입(charge injection)현상을 적절히 방지할 수 있을 것으로 기대된다.²⁰⁾ 이러한 결과들로 볼 때 ZrO₂는 SBT 박막과 Si 기판 사이에 완충층으로서 적절한 특성을 가지고 있다고 할 수 있다.

3.4.2. SBT 박막과 ZrO₂ 완충층의 두께에 따른 C-V 특성

MFIS 구조에서 SBT 박막과 ZrO₂ 박막의 두께에 따른 C-V 특성 변화를 조사하였다. 이러한 박막들의 두께 변화가 I-V 특성에 미치는 영향을 고려하였다.^{21,22)}

$$V_{SBT} = \frac{\epsilon_{ZrO_2} \cdot d_{SBT}}{\epsilon_{SBT} \cdot d_{ZrO_2} + \epsilon_{ZrO_2} \cdot d_{SBT}} \cdot V \quad (1)$$

여기서 V 는 전체 구조에 인가되는 전압이며, V_{SBT} 는 SBT 박막에 인가되는 전압이다. 위의 식에서 ZrO₂ 박막의 두께가 얇아지면 SBT에 인가되는 전압은 증가하게 되는 것을 알 수 있다. 일반적으로 강유전체 박막에 인가되는 전압이 증가할수록 강유전체의 분극 값과 항전압은 증가하게 된다. 따라서 얇은 ZrO₂ 박막을 가진 시편은 SBT 박막에 가해지는 전계를 증가시켜서 이력곡선의 폭인 메모리 윈도우 값을 증가시키며 ZrO₂ 박막이 두꺼워 질수록

SBT 박막에 가해지는 전계가 작아져서 강유전체의 분극을 방해하기 때문에 메모리 윈도우 값이 감소하는 것이다. 이러한 현상은 MFIS 구조에서 메모리 윈도우 특성을 예측하는데 매우 중요한 요인이 된다.²²⁾ MFIS 구조에서 인가전압이 음에서 양으로 번갈아 주어질 경우 시계 방향의 이력곡선을 나타내는 것으로 보고되는데 특히 이 이력곡선의 폭을 V_{th} (memory window)라고 한다. 메모리 윈도우는 MFIS 소자의 “on”과 “off”의 전압폭을 결정할 수 있는 요소이다. 따라서 가능한 큰 메모리 윈도우 값을 가지는 것이 소자의 안정적 특성을 유지하는데 매우 중요하다.

SBT 박막의 두께가 메모리 윈도우 특성에 미치는 영향을 알아보기 위해서 ZrO₂ 박막의 두께를 22 nm로 고정하고 다양한 두께의 SBT 박막을 ZrO₂(22 nm) 위에 증착하였다. Fig. 8은 ZrO₂ 박막의 두께를 22 nm로 고정하고 SBT 박막의 두께를 달리한 시편의 C-V 특성을 나타낸 그림이다. 이때 ZrO₂는 일반로 산소 분위기 750°C에서 후열처리 하였다. SBT의 두께는 200 nm에서 380 nm로 달리 하였으며 800°C 산소 분위기에서 1시간동안 열처리 하였다. SBT 박막의 두께가 260 nm인 시편이 메모리 윈도우 값이 1.5 V로 가장 크게 나타났다. 이는 SBT 박막의 두께가 얇을 경우 ZrO₂ 박막에 많은 전압이 가해지지만 상대적으로 SBT 박막의 두께가 얇기 때문에 단위 길이당 전기장의 세기는 크게 된다. 따라서 충분히 SBT 박막이 분극을 할 수 있게 해주기 때문에 메모리 윈도우 값이 커지는 것이다. 식으로 표현하면,

$$\epsilon_{SBT} = \frac{V_{SBT}}{d_{SBT}} \quad (2)$$

와 같으며, 따라서 SBT의 두께가 식(1)과 식(2)의 연관관계에 의해 적정치가 있을 것으로 생각한다. 본 실험에서는 SBT 두께가 260 nm에서 메모리 윈도우 값이 가장 높

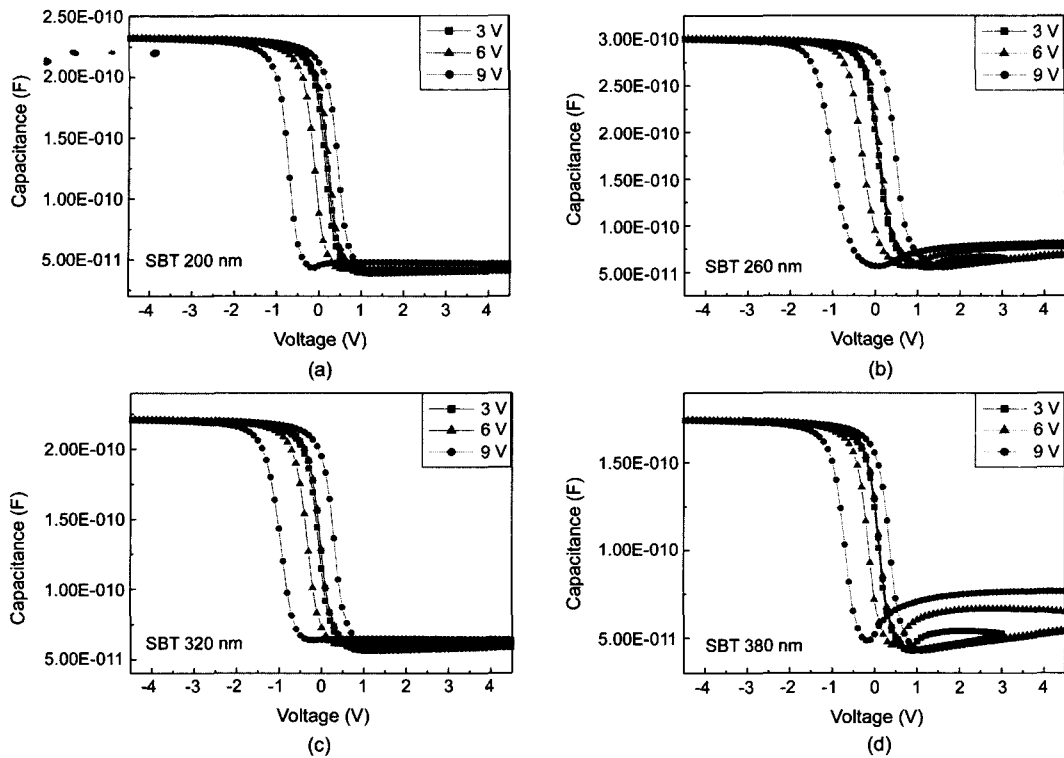


Fig. 8. C-V characteristics of Pt/SBT/ZrO₂(22nm)(O₂ ambient)/Si structure with the different thickness of SBT films annealed at 800°C 1 h. (a) 200 nm, (b) 260 nm, (c) 320 nm and (d) 380 nm.

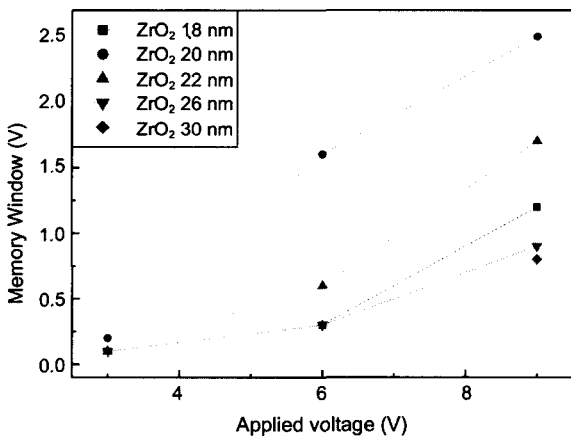


Fig. 9. Memory windows of Pt/SBT(260 nm)/ZrO₂(O₂ ambient)/Si structure with the different thickness of ZrO₂ thin films annealed in conventional furnace under O₂ ambient at 750°C 30 min.

은 1.5 V이었다. 따라서 본 실험에서 MFIS 구조를 구현 하는데 있어서 SBT 두께는 260 nm가 가장 적당한 두께 인 것으로 사료된다.

Fig. 9는 ZrO₂ 박막의 두께에 따른 Pt/SBT(260 nm)/ZrO₂/Si 구조의 C-V 특성을 나타내었다. 인가 전압이 3~9 V 증가함에 따라서 ZrO₂ 완충층의 두께가 18 nm인 경

우에는 0.1~1.2 V를 나타내었고, 20 nm인 경우는 0.2~2.5 V, 22 nm는 0.1~1.7 V, 26 nm인 경우는 0.1~0.9 V, 30 nm인 경우는 0.1~0.8 V를 나타내었다.

ZrO₂ 완충층의 두께가 20 nm일 때 가장 큰 메모리 윈도우 값을 나타내었는데 ZrO₂ 두께가 18 nm일 경우 메모리 윈도우 값이 가장 커야하지만 이 경우는 완충층의 두께가 충분히 두껍지 못해서 산소 공공의 SBT 박막 쪽으로의 침투를 효율적으로 막지 못해서 Si 표면에 있어야 할 전자들이 모두 포획되어 메모리 윈도우 값의 감소를 초래했다고 생각된다.²²⁾ ZrO₂ 두께가 22 nm, 26 nm, 30 nm로 두꺼워짐에 따라서 메모리 윈도우 값은 20 nm와 비교해서 두께가 증가할수록 감소하는 경향을 보였는데 이것은 완충층의 두께가 두꺼워지면 전압분해에 의해서 SBT 박막에 걸리는 전압의 크기는 감소되고 완충층에 걸리는 전압은 상대적으로 커지게 된다. 따라서 ZrO₂ 두께가 20 nm인 경우보다 메모리 윈도우 값이 작아지게 된다. 이러한 결과들을 토대로 볼 때 낮은 전압에서 큰 메모리 윈도우 값을 얻기 위해서는 MFIS 구조의 전체 정전 용량은 크게 하면서 절연파괴가 일어나지 않는 범위내에서 강유전체와 완충층의 각각의 박막의 두께를 최적화해야 할 것으로 보인다. 본 실험에서는 최대의 메모리 윈도우 값을 보인 20 nm의 ZrO₂ 두께가 최적의 두께로 판단된다.

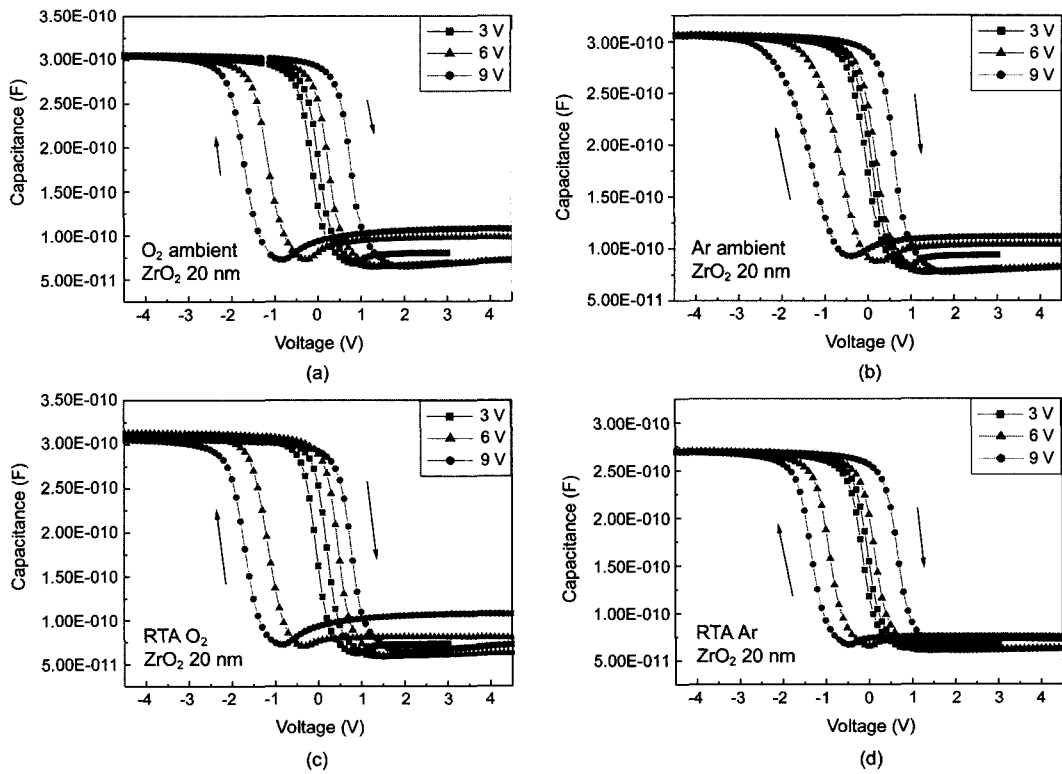


Fig. 10. C-V characteristics of Pt/SBT(260 nm)/ZrO₂(20 nm)/Si structure with the different annealing conditions (a) conventional furnace 750°C O₂ ambient 30 min., (b) conventional furnace 750°C Ar ambient 30 min., (c) RTA O₂ 750°C 1 min. 30 sec. and (d) RTA Ar 750°C 1 min. 30 sec.

3.4.3. ZrO₂ 박막의 후열처리에 따른 C-V 특성

Fig. 10(a)는 일반로 산소 분위기 750°C (b)는 일반로 아르곤 분위기 750°C에서 30분간 후열처리했을 때의 C-V 특성을 나타내었다. 산소분위기에서 후열처리 했을 경우인가전압 9V에서 2.6V의 메모리 윈도우 값을 나타내었다. 그러나 (b)와 같이 일반로 아르곤 분위기에서 후열처리 하였을 때는 2V로 산소분위기와 비교해서 작은 메모리 윈도우 값을 보였다. 그리고 아르곤 분위기에서 열처리 하였을 때는 실리콘웨이퍼와 ZrO₂ 박막사이에 SiO₂ 계면층의 생성억제는 기대할 수 있으나 잘 포화된 이력곡선을 얻을 수 없었다. 이것은 반응 가스중에 산소가 없으므로 박막내의 계면 트랩전하와 고정전하가 치유되지 못했기 때문에 메모리 윈도우가 작게 나타나는 것으로 생각된다. (c)의 RTA 산소 분위기 750°C에서 후열처리 하였을 때는 2.7V의 최대의 메모리 윈도우 값을 얻을 수 있었다. 이것은 Fig. 4의 (b), (d)에서 확인한 것처럼 짧은 시간동안 후열처리를 함으로써 저유전층인 SiO₂의 생성이 억제되고 결국 저유전층으로의 전압분배가 일반 열처리와 비교해서 상대적으로 작아진다. 따라서 강유전체에인가되는 전압이 RTA에서 열처리했을 때가 일반로에서 장시간 후열처리 했을 때 보다 커지게 되므로 메모리 윈도우가 커지게 된다.

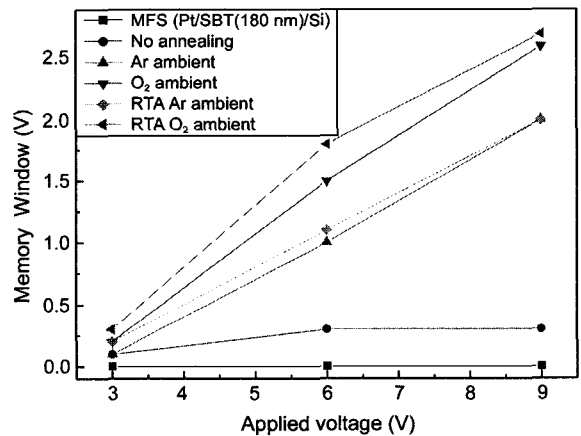


Fig. 11. Memory windows of MFS structure and MFIS with the different annealing conditions of ZrO₂ buffer layer.

Fig. 11은 MFS 구조와 다양한 조건에서 후열처리된 ZrO₂ 완충층을 도입한 MFIS 구조의 메모리 윈도우 값을 도시한 그래프이다. 일반로와 RTA로 산소 분위기에서 후열처리한 경우 큰 메모리윈도우 값을 얻을 수 있었으며, RTA 열처리 한 경우 2.7V의 가장 큰 메모리 윈도우 값을 얻을 수 있었다.

4. 결 론

본 실험에서는 R.F. 마그네트론 스퍼터링법으로 p-type Si(100) 기판위에 증착된 ZrO₂ 박막을 일반로와 RTA로에서 각각 산소와 아르곤 분위기에서 후열처리 한후, 서로 다른 계면 조건을 가지는 Pt/SBT/ZrO₂/Si 구조를 가지는 MFIS 구조를 제작하였다. ZrO₂ 박막의 후열처리 조건이 MFIS 구조의 전기적인 특성에 미치는 영향을 고찰하기 위해서 MFIS 구조의 결정성 및 전기적 특성과 조성 분석을 통해서 다음과 같은 결론을 얻을 수 있었다.

1. RTA와 일반로 750°C 산소 및 아르곤 분위기에서 ZrO₂ 완충층을 후열처리 한 경우 가장 좋은 누설전류 특성을 나타내었으며, 특히 일반로 산소분위기 750°C에서 30분간 후 열처리하였을 경우 2.97×10^{-11} A/cm²의 가장 낮은 누설 전류 레벨을 보였다.

2. 일반로 산소분위기에서 ZrO₂ 완충층의 후열처리 온도가 올라갈수록 ZrO₂ 박막과 Si 웨이퍼 사이에 중간층인 SiO₂ 층의 두께는 두꺼워 졌으나, 짧은 시간 동안의 RTA 산소 분위기에서 열처리를 통해서 중간층의 생성을 억제 할 수 있었다.

3. 일반로 산소분위기 750°C에서 후열처리된 두께가 20 nm인 ZrO₂ 박막을 삽입한 Pt/SBT(260 nm)/ZrO₂(20 nm)/Pt 캐패시터의 잔류 분극량(2P_r)은 ZrO₂ 박막이 삽입되지 않은 것에 비해 8.53 μC/cm²에서 3.21 μC/cm²으로 감소하였으며 항전계는 3.36 V에서 4.48 V로 증가하였다.

4. Pt/SBT(260 nm)/ZrO₂(20 nm)/Si 구조의 메모리 윈도우 값은 완충층의 후열처리 조건에 따라 다르게 나타났으며, 본 실험에서는 산소 분위기의 RTA로에서 750°C에서 1분 30초간 후열처리한 경우 9 V의 인가전압에서 2.7 V의 최대의 memory window 값을 보였다. ZrO₂ 박막의 RTA 후열처리를 통해 기존의 열처리보다 공정시간 단축과 향상된 전기적인 특성을 얻을 수 있었다.

REFERENCES

1. J. F. Scott and C. A. P. Araujo, "Ferroelectric Memories," *Science*, **246** 1400-05 (1989).
2. T. Hirai, K. Teramoto, T. Goto, and Y. Tarui, "Formation of Metal/Ferroelectric/Insulator/Semiconductor Structure with a CeO₂ Buffer Layer," *Jpn. J. Appl. Phys.*, **33 Part 1** [9b] 5219-22 (1994).
3. E. Tokumitsu, K. Itani, B. K. Moon, and H. Ishiura, "Crystalline Quality and Electrical Properties of PbZr_xTi_{1-x}O₃ Thin Films Prepared on SrTiO₃-covered Si Substrates," *Jpn. J. Appl. Phys.*, **34** 5202-06 (1995).
4. D. R. Lampe, D. A. Adams, M. Austin, M. polinsky, J. Dzimianski, S. Sinharoy, H. Buhay, P. Brabant, and Y. M. Liu, "Process Integration of the Ferroelectric Memory FETs for NDRO FERAM," *Ferroelectrics*, **133** 61-72 (1992).
5. K. Sugibuchi, Y. Kurogi, and N. Endo, "Ferroelectric Field-effect Memory Device Using Bi₄Ti₃O₁₂ Film," *J. Appl. Phys.*, **46** [7] 2877-81 (1975).
6. D. J. Won, C. H. Wang, and D. J. Choi, "Effect of the Post-Annealing of Insulator on the Electrical Properties of Metal/Ferroelectric/Insulator/Semiconductor Structure," *J. Kor. Ceram. Soc.*, **37** [11] 1051-57 (2000).
7. J. H. Kim, S. G. Kang, and H. T. Eun, "Effects of Y₂O₃ Buffer Layer on Ferroelectric Properties of YMnO₃ Thin Films Fabricated on Pt/TiO₂/SiO₂/Si Substrate," *J. Kor. Ceram. Soc.*, **37** [11] 1097-104 (2000).
8. Y. T. Kim and D. S. Shin, "Memory Window of Pt/SrBi₂Ta₂O₉/CeO₂/Si Structure for Metal Ferroelectric Insulator Semiconductor Field Effect Transistor," *Appl. Phys. Lett.*, **71** [24] 3507-09 (1997).
9. P. Alexandrov, J. Koprinarova, and D. Todorov, "Dielectric Properties of TiO₂-films Reactively Souttered from Ti in an RF Magnetron," *Vacuum*, **47** [11] 1333-36 (1996).
10. B. H. Lee, Y. J. Jeon, K. Zawadzki, W. J. Qi, and J. Lee, "Effect of Interfacial Layer Growth on the Electrical Characteristics of Thin Titanium Oxide Films on Silicon," *Appl. Phys. Lett.*, **74** [21] 3143-45 (1999).
11. H. S. Kim, S. A. Campbell, and D. C. Gilmer, "Charge Trapping and Degradation in High-permittivity TiO₂ Dielectric Films," *IEEE Electron Devise Lett.*, **18** [10] 465-67 (1997).
12. Y. G. Son, "Electric Properties of Ba_{0.5}Sr_{0.5}TiO₃ Thin Film with Various Heat Treatment Conditions," *J. Kor. Ceram. Soc.*, **38** [5] 492-98 (2001).
13. H. Fukumoto, M. Morita, and Y. Osaka, "Electrical Characteristics of Metal-Insulator-Semiconductor Diodes with ZrO₂/SiO₂ Dielectric Films," *J. Appl. Phys.*, **65** [12] 5210-12 (1989).
14. L. Tye, N. A. El-Masry, T. Chikyow, P. McLarty, and S. M. Bedair, "Electrical Characteristics of Epitaxial CeO₂ on Si(111)," *Appl. Phys. Lett.*, **65** 3081-83 (1994).
15. B. Cheng, M. Cao, R. Rao, A. Inani, P. V. Voorde, W. M. Green, J. M. C. Stork, Z. Yu, P. M. Zeizoff, and J. C. S. Woo, "The Impact of High-K Gate Dielectrics and Metal Gate on Sub-100 nm MOSFETs," *IEEE Trans. Electron Devises*, **46** [7] 1537-42 (1999).
16. J. K. Lee, B. Park, and K. S. Hong, "Effect of Excess Bi₂O₃ on the Ferroelectric Properties of SrBi₂Ta₂O₉ Ceramics," *J. Appl. Phys.*, **88** 2825-31 (2000).
17. T. Noguchi, T. Hase, and Y. Moyasaka, "Analysis of the Dependence of Ferroelectric Properties of SBT Thin Films on the Composition and Process Temoerature," *Jpn. J. Appl. Phys.*, **35** 4900-04 (1996).
18. D. S. Shin, H. N. Lee, Y. T. Kim, I. H. Choi, and B. H. Kim, "Electrical Properties of Pt/SrBi₂Ta₂O₉/CeO₂/Si Structure for Nondestructive Readout Memory," *Jpn. J. Appl. Phys.*, **37** 4373-76 (1998).
19. Y. T. Kim, C. W. Lee, D. S. Shin, and H. N. Lee, "Effect of Insulator on Memory Window of Metal-Ferroelectric-Insulator-Semiconductor Field Effect Transistor(MEFIS-FET)-Nondestructive Readout Memory Devices," *IEEE*, **35** (1998).
20. H. N. Lee, M. H. Lim, Y. T. Kim, T. S. Kalkur, and S. H.

- Choh, "Characteristics of Metal-Ferroelectric-Insulator-Semiconductor Field Effect Transistor Using a Pt/SrBiTa₂O₉/Y₂O₃/Si Structure," *Jpn. J. Appl. Phys.*, **37** 1107-09 (1998).
2. Y. Fujimori, N. Izumi, T. Nakamura, A. Kamisawa, and Y. Shigematsu, "Development of Low Dielectric Ferroelectric Materials for the Ferroelectric Memory Field Effect Transistor," *Jpn. J. Appl. Phys.*, **36** 5935-38 (1997).
22. M. Lim and T. S. Karkur, "Electrical Characteristics of Pt-Bismuth Strontium Tantalate (BST)-P-Si with Zirconium Oxide Buffer Layer," *Integrated Ferroelectrics*, **14** 247-53 (1997).
23. P. J. Harrop and D. S. Cambel, "In L. I. Maissel and Glang (eds.), Handbook of Thin Film Technology," McGraw-Hill, New York p1.