

Seed-layer 공정을 이용한 $Ba_{0.66}Sr_{0.34}TiO_3$ 박막의 제조 및 전기적 특성 연구

최덕영[†] · 박철호 · 손영국

부산대학교 무기재료공학과

(2003년 1월 17일 접수; 2003년 2월 7일 승인)

Electrical Properties of $Ba_{0.66}Sr_{0.34}TiO_3$ Thin Films Fabricated by a Seed-layer Process

Duck Young Choi,[†] Chul Ho Park, and Young Gook Son

Department of Inorganic Materials and Engineering, Pusan National University, Pusan 609-735, Korea

(Received January 17, 2003; Accepted February 7, 2003)

초 록

R.F. Magnetron Sputtering법을 이용하여 Pt/Ti/SiO₂/Si기판 위에 seed-layers와 $Ba_{0.66}Sr_{0.34}TiO_3$ 박막을 제조하였다. 다양한 기판온도에 따른 BST 박막의 전기적인 특성(정전용량과 누설전류)과 seed-layer 층이 BST 박막에 미치는 영향을 조사하였다. BST 박막은 seed-layer 층을 삽입함으로써 박막의 결정성이 향상되었고, 박막의 기판온도(결정화온도)도 상당히 낮출 수 있었다. 순수한 BST에 비하여 seed-layer를 삽입한 BST는 높은 유전상수와 낮은 유전손실 및 낮은 누설전류를 가지는 우수한 전기적 특성을 나타내었다. BST 박막의 전기적 특성은 기판온도에 따라 영향을 받고, seed-layer에 의해 향상됨을 알 수 있었다.

ABSTRACT

$Ba_{0.66}Sr_{0.34}TiO_3$ thin films and seed-layers were deposited on Pt/Ti/SiO₂/Si substrate by R.F. magnetron sputtering method. Effects of various substrate temperature conditions on electrical properties (such as capacitance and leakage current) of BST thin films were studied. The effect of seed-layer was also studied. When seed-layer was inserted between BST and Pt, the crystallization of the BST thin films was considerably improved and the processing temperature was lowered. Compared to the pure BST thin films, dielectric constant, dielectric loss, and leakage current of BST thin films deposited on the seed-layer were considerably improved. It could be revealed that electrical properties are influenced by the substrate temperatures of BST thin films and are enhanced by the seed-layer.

Key words : ($Ba_{0.66}Sr_{0.34}TiO_3$) BST, Thin film, Ferroelectric properties, Seed-layer

1. 서 론

최근 전자정보통신 산업의 발달에 따라 전자부품의 소형화, 경량화, 집적화가 급속히 진행되어가고 있다. 특히 반도체 산업에서 DRAM(Dynamic Random Access Memory)은 새로운 세대로 비약적인 발전을 거듭하였다.

휘발성 메모리 분야에 있어서 DRAM이 가장 대표적인 소자로 여겨왔는데, unit cell을 하나의 트랜지스터와 하나의 커패시터로 구성할 수 있어서, 여섯개의 트랜지스터로 unit cell이 구성된 SRAM에 비해서 고집적화가 가능하다는 점에서 가장 대중적인 메모리 소자로 자리 매김되어 왔다. 그러나 1 Giga-bit급 이상의 초고집적 DRAM 개발에 있어서 커패시터 형성공정은 당연한 제조공정 중 가장 큰 어려움으로 부각되고 있으며, 전체 제조공정의 난

이성을 좌우하는 중요한 공정이라고 할 수 있다. 따라서 고유전율을 갖는 새로운 절연막 개발을 통하여 커패시터 형성공정을 단순화시키는 차세대 고집적 소자가 시도되고 있으며, 최근에는 고유전율 특성의 BST($Ba_xSr_{1-x}TiO_3$) 박막을 이용하여, 1 Gbit급 이상의 DRAM의 제조 가능성이 발표되어 왔다. DRAM의 unit cell은 스위치 역할을 하는 하나의 트랜지스터와 데이터 전하의 저장역할을 하는 하나의 커패시터가 word line과 bit line으로 연결되어 있다. DRAM의 커패시터로서 요구조건은 고집적화가 됨에 따라 커패시터 면적이 줄어들고 전원전압의 감소에 따른 충분한 축적용량의 확보와 데이터의 손실을 막기 위해 낮은 누설전류가 필요하다.

커패시터의 유전박막에 의한 충전용량은 다음과 같은 식으로 표현된다.

$$C = \epsilon_0 \epsilon \frac{A}{d}$$

여기서 ϵ_0 는 진공의 유전율, ϵ 는 유전박막의 유전율이

[†]Corresponding author : Duck Young Choi

E-mail : park5085@hanmail.net

Tel : +82-51-510-3222 Fax : +82-51-512-0528

고, A 는 커패시터의 면적, d 는 유전박막의 두께이다. 위의 식에서 알 수 있듯이 충분한 축적용량을 확보하기 위해 기존의 물질을 사용하여 두께를 줄이는 것은 터널링으로 인한 누설전류의 우려가 있고, 단면적을 늘리기 위해 Trench 또는 Stack 등의 3차원적인 cell을 구성하는 것 역시 그 물리적 한계에 도달해 소자의 신뢰성에 큰 영향을 미칠 뿐만 아니라 기술과 공정상의 어려움으로 새로운 유전물질에 대한 연구가 필요하게 되었다.^{1,2)}

기존의 SiO_2 나 $NO(SiO_2/Si_3N_4)$ 막의 경우 유전율이 매우 낮고, 현재 개발하여 생산중인 Ta_2O_5 막 역시 유전율이 그다지 큰 편은 아니다. Giga급 이상의 DRAM을 실현하기 위해서는 고 유전율을 가지는 $Pb(ZrTi)O_3$ [PZT], $SrTiO_3$ [ST], $Ba_{1-x}Sr_xTiO_3$ [BST] 등의 페로브스카이트 구조의 유전체 물질로의 전환이 요구되고 있다. PZT의 경우 유전율은 상당히 크지만 전이온도가 매우 높고 고주파에서 유전특성의 기하가 크고, 누설전류가 큰 단점을 가지고 있다. BST는 유전율은 PZT에 비해 다소 떨어지지만 $BaTiO_3$ 와 $SrTiO_3$ 의 전을 고용체이기에 조성조절이 용이하고, 또한 Ba/Sr의 비율을 조절함으로써 상온에서 상유전특성을 나타내기에 PZT 등의 강유전체 물질에서 나타나는 fatigue나 aging 등의 문제를 배제시킬 수 있는 장점이 있다. 그러나 BST 박막은 기존의 SiO_2 나 NO 박막에 비해 상대적으로 누설전류밀도가 크다는 단점이 있어 이를 개선시키기 위하여 많은 연구가 진행되고 있다.³⁾

BST 박막은 Sol-gel,⁴⁾ MOCVD⁵⁾(Metal Organic Chemical Vapor Deposition), Laser Ablation,⁶⁾ R.F. Magnetron Sputtering⁷⁾ 등의 방법으로 다양하게 제조, 연구되고 있다. 현재 BST 박막을 포함한 고유전율 박막제조 연구에 있어서 중요한 관심사는 우수한 박막제조 뿐만 아니라 안정된 특성을 갖는 박막을 위한 전극의 개발이다. 전극 재료로는 Pt, Pd 등의 금속전극^{8,9)}과 RuO_2 , IrO_2 등의 산화물 전극이 유망한 것으로 알려져 있으며, 낮은 누설전류와 전도 메카니즘을 밝히기 위한 연구가 활발히 진행 중이다. 누설전류를 결정하는 요인으로 전극,¹⁰⁾ 결정립계,¹¹⁾ 열처리 조건,¹²⁾ 미세구조¹³⁾ 등이 논의되고 있으나 아직까지 이들 사이의 누설전류에 대한 기여도는 불분명한 상태이다.

본 실험에서는 $Ba_{0.66}Sr_{0.34}TiO_3$ 의 조성을 갖는 target을 제작하고, R.F. Magnetron Sputtering 법을 이용하여 BST 박막을 Pt/Ti/SiO₂/Si 기판위에 증착한 후, MIM(Metal-Insulator-Metal) 구조를 형성하여 증착온도와 seed-layer¹⁴⁾의 도입에 따른 전기적 특성을 분석함으로써 최적의 공정조건을 확립하고 고찰하여, DRAM용 커패시터로서 실제 공정상의 적용 가능성에 대해 모색하였다.

2. 실험방법

본 실험에서는 출발물질로 $BaTiO_3$ (Aldrich, 99%)와 $SrTiO_3$

(Aldrich, 99%)를 66 : 34의 몰비로 칭량한 후 일반적인 세라믹 소결 공정을 통하여 지름 2 inch, 두께 6~7 mm $Ba_{0.66}Sr_{0.34}TiO_3$ 의 타겟을 제조하였고, 기판은 $SiO_2(5000 \text{ \AA})/Si(100)$ wafer를 2 cm×2 cm의 크기로 절단한 후, DI-water를 이용하여 기판을 반복하여 세척한 후, RCA 세정법으로 시편의 불순물과 금속 오염물을 제거하여 기판을 준비하였다.

본 연구에서는 순수한 BST 박막과 Seed-layer를 삽입한 BST 박막으로 크게 2가지로 나누어 실험을 행하였다.

Seed-layer 층과 $Ba_{0.66}Sr_{0.34}TiO_3$ 박막은 Pt/Ti/SiO₂/Si 기판위에 R.F. Magnetron Sputtering에 의해 다양한 기판온도로 증착하였다.

2.1. BST 박막의 증착

R.F. Magnetron Sputtering 방법을 사용하여 하부 전극이 증착 되어진 Pt/Ti/SiO₂/Si 기판위에 power와 공정가스 유량은 고정시키고, 기판온도를 상온, 500~750°C로 50°C의 간격으로 바꾸어 가면서 BST 박막을 증착하였다. 이때 power와 공정가스 유량은 BST 박막의 성장속도를 최대한 빠르게 하기 위해 80 W, Ar 30 sccm으로 고정하였고, throttle 밸브를 닫고 증착하였다. Sputtering 전 챔버내의 압력은 8×10^{-6} Torr 이하에 이르도록 펌핑한 후에 기판을 원하는 온도로 가열하는 60분 동안 셔터를 가리고, pre-sputtering을 실시하였으며, 대략 300 nm 정도의 BST 박막을 증착하였다. 증착이 끝난 후 시편을 꺼내기 전에 상온까지 냉각을 시킨 다음에 venting하였다. 각각의 박막의 증착조건을 Table 1에 나타내었다.

2.2. MIM cell의 구성

Pt 하부전극 위에 증착된 BST 박막의 전기적 특성을 평가하기 위하여 상부전극으로 지름 750 μm인 dot 형태의 Pt 박막을 D.C sputtering 방법을 사용해 증착하여, Fig. 1과 같은 MIM 커패시터 구조를 형성시켜 박막의 전기적 특성을 측정하였다.

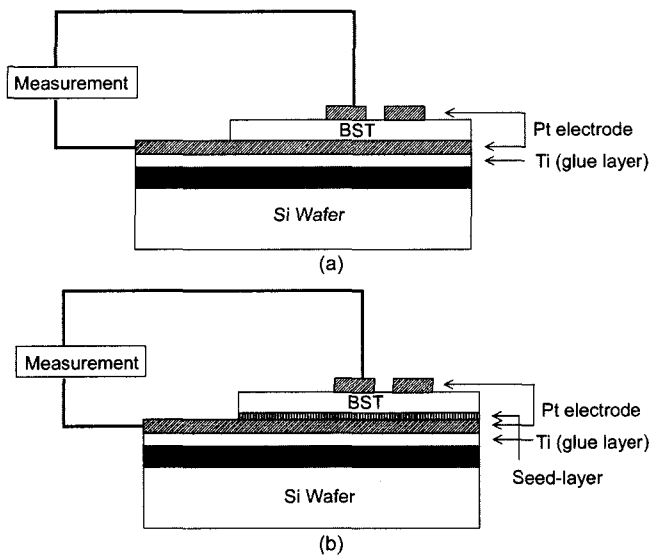
2.3. Seed-layer의 증착

BST 박막의 제조공정에서 박막의 결정화를 위하여 기판온도를 가하여 제작하였다. 기판온도별로 제작된 BST 박막의 상형성, 표면구조, 전기적 특성 분석을 행한 결과 700°C에서 증착된 박막이 유전율 330, 누설전류 10^{-6} A/cm² 이하로서 우수한 증착온도로서 사료되어졌고, 750°C 이상의 온도에서는 하부층의 Si이 증착과정 중 상부층인 Pt층과 BST 유전층 내부로 확산되어 복잡한 silicide 물질을 형성하였다.

이러한 이유로 seed-layer의 증착은 BST물질 자체를 Pt/Ti/SiO₂/Si 기판위에 power와 공정가스 유량, 기판온도를 80 W, 30 sccm, 700°C로 고정시키고, 30 nm의 얇은 박막으

Table 1. Typical Deposition Conditions for Ti, Pt, BST, Seed-layer Thin Film Preparation

	Glue layer (Ti)	Bottom electrode (Pt)	BST	Seed layer
Substrate	SiO ₂ /P-Si		Pt/Ti/SiO ₂ (500 nm)/Si	Pt(120 nm)/Ti(40 nm)/SiO ₂ /P-Si
Working pressure	1.1×10 ⁻² Torr			1.1×10 ⁻² Torr
Ar : O ₂ ratio	Ar 30 sccm	Ar 30 sccm	9 : 1	9 : 1
Power			R.F 80 W	R.F 80 W
Substrate temperature	Room temp.	Room temp.	500~750°C	700°C
Deposition rate				
Thickness	40 nm	120 nm	300 nm	30 nm

**Fig. 1.** The schematic view of experimental Pt/BST/Pt capacitor structure (a) Pt/BST/Pt thin film and (b) Pt/BST/Seed-layer/Pt thin film.

로 증착 시킨 후, 그 위에 다시 기판온도를 500°C에서 650°C까지 변화시키며 BST 박막을 증착하였다. 각각의 박막 증착조건은 Table 1에 나타내었다.

2.4. 박막의 상형성과 성분 분석

박막의 상형성 정도를 고찰하기 위하여 XRD 분석(D/MAX형, Rigaku Japan)을 행하였다. 이때 사용한 X-선은 30 kV, 25 mA의 Cu-K α radiation($\lambda=1.5405 \text{ \AA}$)을 이용하였고, 주사속도는 12°C/min으로 scanning angle을 20~80°(2 θ)까지 변화시키며 측정하였다.

박막의 정성, 정량적인 성분분석을 위하여 1개의 EDS (Energy Dispersive X-ray Spectrometer)채널과 5개의 WDS (Wavelength Dispersive X-ray Spectrometer)채널을 가진 EPMA(Electron Probe Micro Analyzer, Shimadzu(Japan) EPMA-1600)를 사용하였다.

2.5. 박막의 두께와 표면구조

박막의 두께를 확인하기 위하여 Mechanical Stylus(Tencor

α -step)를 이용하였다. 이때 시편의 step을 형성시키기 위해 H₂O, H₂SO₄(1% dilute)와 HF(50% dilute)를 각각 50 : 40 : 10의 비율로 혼합하여 준비한 etchant를 이용하여 etching하였다. 또한 주사전자현미경(FESEM : Field Emission Scanning Electron Microscope, Hitachi S-4200)을 사용하여 두께와 표면 morphology 등의 미세구조를 관찰하였다.

2.6. 박막의 전기적 특성

Pt/BST/Pt의 MIM 형태의 커패시터 cell을 만들어 유전 특성과 누설전류 특성 등의 전기적 특성을 평가하였다. 박막의 유전 특성은 HP4192A LF Impedance Analyzer를 사용해 주파수 변화에 따른 유전 특성을 측정하였다. 누설전류 특성은 KEITHLEY 237 High Voltage Source Measure Unit를 사용해 측정하였다.

3. 결과 및 고찰

3.1. 박막의 상형성과 조성분석

3.1.1. BST 박막의 상형성

BST 박막의 상형성은 공정가스(Ar/O₂)의 양, R.F power, 기판온도 등과 같은 증착시의 조건이나 박막의 두께 그리고 하부전극이나 기판의 종류에 따라 달라진다고 보고되고 있다.¹⁵⁾

기판온도를 600°C에서 750°C까지 높여가며 증착된 BST 박막의 결정성과 배향성을 알아보기 위하여, XRD 분석을 행하였고 그 결과를 Fig. 2에 나타내었다. 600°C에서 증착된 박막은 (111)과 (110)의 peak가 관찰된다. 기판온도가 증가함에 따라 BST 박막은 (110), (200)의 peak가 더 강해졌다. 그리고 기판온도 700°C에서 (200)과 (211) 피크가 관찰되고, 완전한 입방정상(cubic phase)의 모든 피크가 나타나고 있다. 700°C에서 증착되어진 BST 박막의 격자상수는 약 4.03 Å 정도로 bulk 상태의 타겟과 다소의 차이를 보였다. 이는 기판인 Pt 하부기판 위에 BST 박막의 증착되어질 경우, Pt 또한 Cubic 구조로 격자상수가 3.923 Å으로 BST의 격자상수와 거의 같으므로 하부기판의 영향에 의해 (111)면의 성장이 두드러지며, 온도가 올라감에

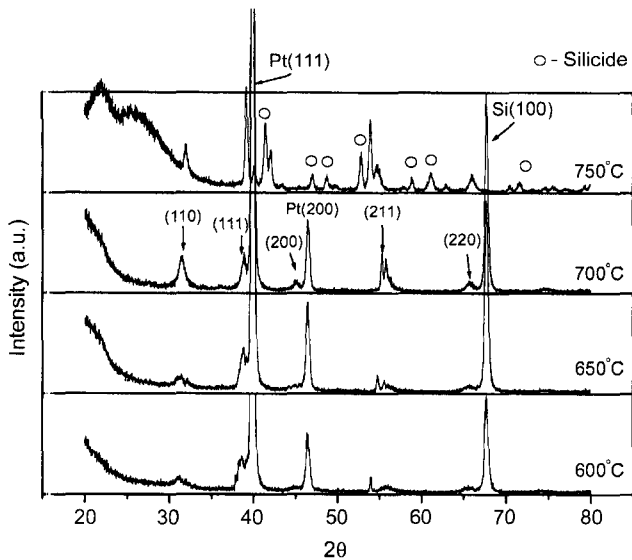


Fig. 2. X-ray diffraction patterns of BST thin films deposited at various substrate temperatures.

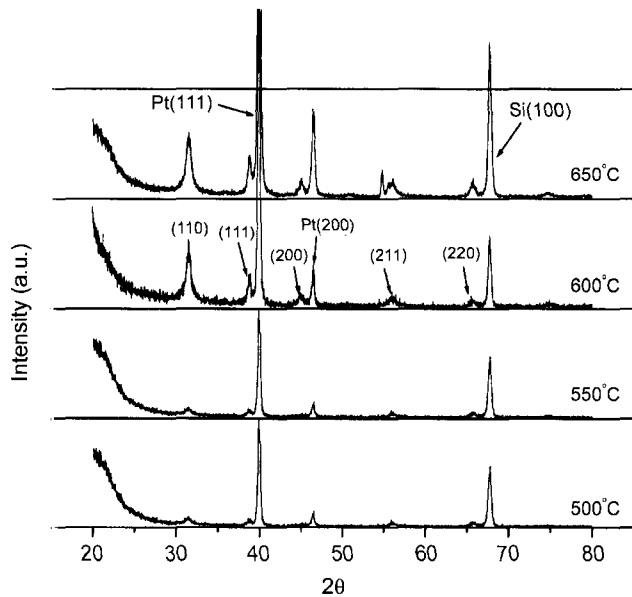


Fig. 3. X-ray diffraction patterns of seed-layer BST thin films deposited at various substrate temperatures.

따라 (200) peak의 증가는 페로브스카이트 구조에서 산소 최소 밀면인 (200)면이 가장 낮은 표면에너지를 가지므로 격자상수의 큰 mismatch에도 불구하고 우선 배향성을 가지는 것으로 생각되어진다.

3.1.2. Seed-layer BST 박막의 상형성

Seed-layer위에 기판온도를 500°C에서 650°C까지 높여 가며 증착된 BST 박막의 결정성과 배향성을 알아보기 위하여 XRD 분석을 행하였고, 그 결과를 Fig. 3에 나타내었다. Seed-layer가 없이 제조된 BST 박막의 XRD 결과를

Table 2. Compositions of BST Thin Films Deposited at 600°C

	Sample 1	Sample 2
Ba	10.907	11.693
Sr	5.158	5.743
Ti	16.888	20.977
Ba : Sr : Ti	0.68 : 0.31 : 1	0.56 : 0.27 : 1
(Ba+Sr) / Ti	0.99	0.83
Ba / Sr	0.68 / 0.32	0.67 : 0.33

Acc.V (kV) = 15.0

Beam size (μm) = 10

B.C. (μA) = 0.040

S.C (μA) = 0.040

보면 700°C의 증착온도에서 완전한 입방정상(cubic phase)의 모든 피크가 나타났으나, seed-layer위에 증착된 BST 박막의 경우에는 100°C 정도 낮은 온도인 600°C에서 완전한 입방정상(cubic phase)의 피크가 관찰됨을 볼 수 있다. 이는 700°C에서 증착된 seed-layer가 BST 박막의 seed 층으로 작용하여 보다 낮은 기판온도 600°C에서 완전한 결정을 이룬 것으로 사료된다.

3.1.3. 조성분석

증착된 BST 박막의 조성은 표준시편을 이용한 WDS 채널과 EDS 채널을 가진 EPMA를 통하여 분석하였다. 600°C에서 증착된 BST 박막의 금속원소에 대한 조성분석의 결과를 Table 2에 나타내었다. 조성분석의 정확성을 위해 600°C에서 두 개의 BST 박막의 시편을 준비하여 조성분석을 행하였다. 증착되어진 BST 박막의 금속원소의 조성은 타겟의 조성($Ba_{0.66}Sr_{0.34}TiO_3$)에 비해 Ba와 Sr이 Ti에 비해 조금 결핍되어졌고, Sr이 Ba에 비해 조금 결핍되어진 것을 나타내며, 이것은 증착방법이나 증착조건에 따라 조금씩 달라질 수는 있지만 sputtering을 사용해 BST 박막을 증착할 경우 나타나는 일반적인 현상이다. 이는 선택적 re-sputtering 효과와 Ba와 Sr의 낮은 sticking 때문에 야기되는 것으로 생각된다.

3.2. 박막의 표면구조

3.2.1. BST 박막

기판온도를 600°C에서 750°C까지 증가시키며 증착한 BST 박막의 기판온도에 따른 표면형상을 SEM으로 관찰하여 각각의 표면과 단면의 사진을 Fig. 4에 나타내었다.

기판온도가 650°C일 때 증착되어진 BST 박막의 입자들이 다소 관찰되어진다. 하지만 기판온도의 증가에 따른 뚜렷한 입자성장 효과는 관찰되어지지 않는다. 750°C 시편의 표면사진의 경우에는 다른 사진들과는 다른 양상을 나타내었다. 이는 silicide 형성에 의하여 균질한 BST 박막의 형성이 파괴되어졌기 때문이라고 생각되어진다.

3.2.2. Seed-layer BST 박막

기판온도를 500°C에서 650°C까지 증가시키며 증착한 BST 박막의 기판온도에 따른 표면형상을 SEM으로 관찰

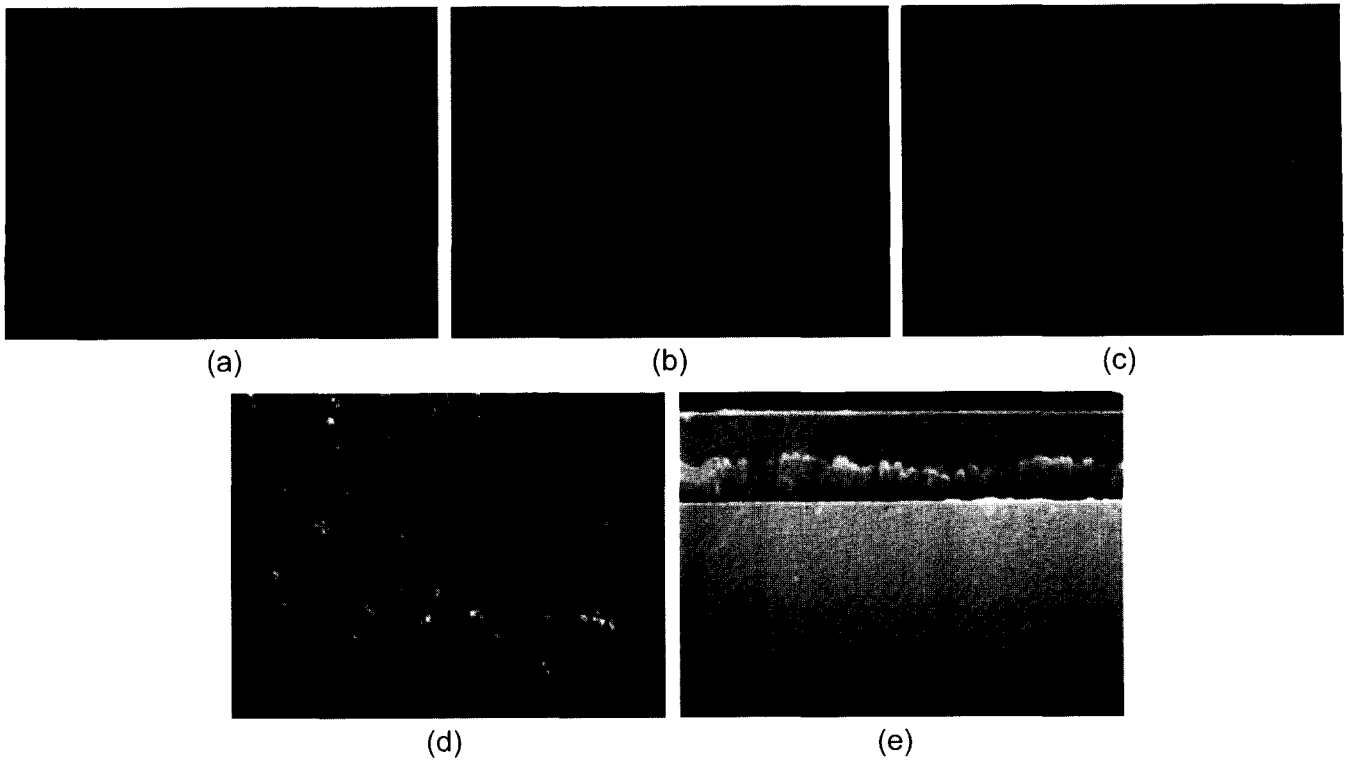


Fig. 4. SEM micrographs of BST thin films surface and cross section deposited at various substrate temperatures. (a) 600°C, (b) 650°C, (c) 700°C, (d) 750°C, (e) cross section.

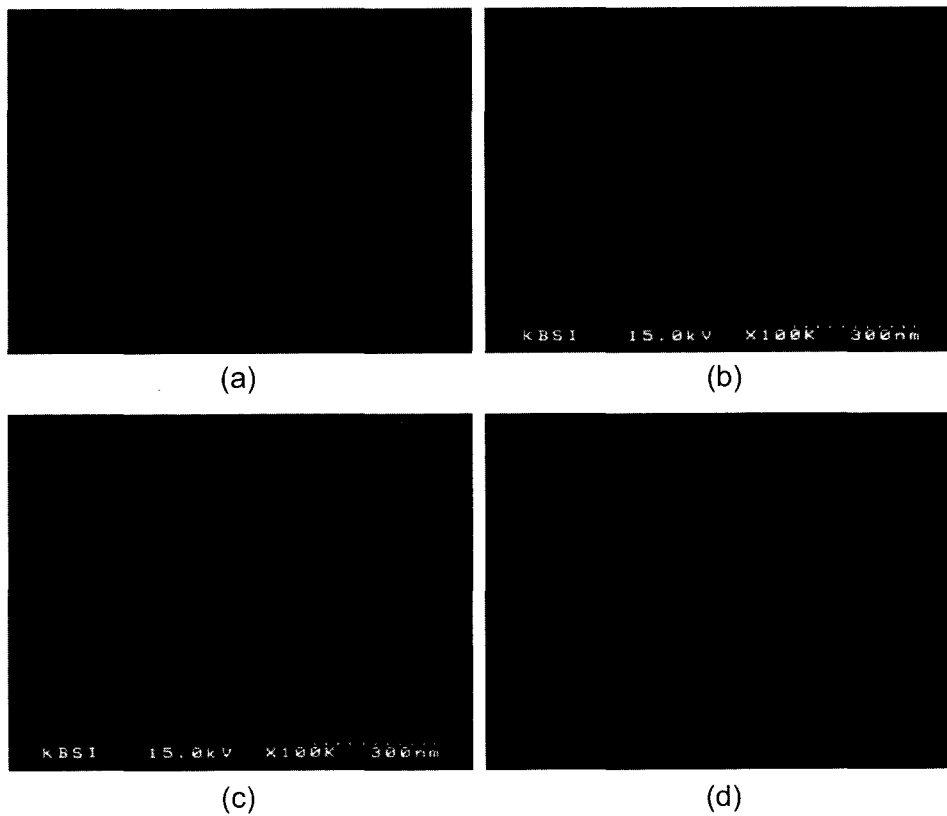


Fig. 5. SEM micrographs of seed-layer BST thin films surface deposited at various substrate temperatures. (a) 500°C, (b) 550°C, (c) 600°C, (d) 650°C.

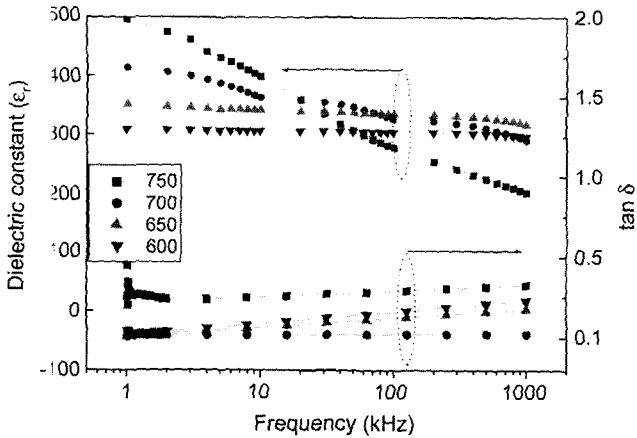


Fig. 6. Capacitance-frequency characteristics of BST thin films deposited at various substrate temperatures.

하여 각각의 표면사진을 Fig. 5에 나타내었다. 여기서도 seed-layer 없이 증착된 BST 박막의 경우와 마찬가지로 뚜렷한 입자성장 효과를 관찰할 수는 없었다.

3.3. 전기적 특성 분석

3.3.1. BST 박막

기판온도를 변화시키며 증착된 BST 박막의 주파수 (frequency) 변화에 따른 비유전율(ϵ_r)의 그래프를 Fig. 6에 나타내었다. 주파수가 증가함에 따라 유전율은 약간씩 감소하며 유전손실($\tan \delta$)은 증가한다. 이는 주파수가 커짐에 따라 분극이 주파수를 따르지 못해 나타나는 현상이다. 600°C 에서 증착된 BST 박막의 경우는 유전율이 305, 유전손실은 2%이다. 기판온도가 증가함에 따라 유전율이 상승하여 700°C 의 기판온도에서 증착된 시편의 경우 유전율 400에 가까운 특성을 나타내었다. 이는 기판온도가 증가함에 따라 결정성이 증가하였고, 완전한 입방정상이 이루어 졌기 때문인 것으로 사료된다. 750°C 의 기판온도에서 증착된 시편의 경우에는 주파수 증가에 따른 유전특성이 현저하게 감소되는 것을 볼 수 있다. 이것은 위의 XRD 결과에서 보았듯이 BST 박막의 내부에 불필요한 상인 복잡한 silicide 상의 형성때문인 것으로 사료된다.

누설전류는 전극의 종류나 박막의 morphology에 따라 변하는 것으로 알려져 있다. 기판온도를 변화시키며 증착된 BST 박막의 누설전류 특성은 Fig. 7에 나타내었다. 기판온도가 증가함에 따라 결정성의 증가와 결정구조의 변화에 의하여 약간 감소하는 경향을 볼 수 있다. 하지만 700°C 의 기판온도에서 증착되어진 시편의 경우 높은 전압영역에서는 누설전류가 커지는 양상을 나타낸다. 이는 sputtering에 의해 증착된 BST 박막이 주상정 구조의 결정립을 형성하였기 때문으로 사료된다. 이러한 주상모양의 결정립은 박막의 breakdown field에도 큰 영향을 준다.¹⁶⁾

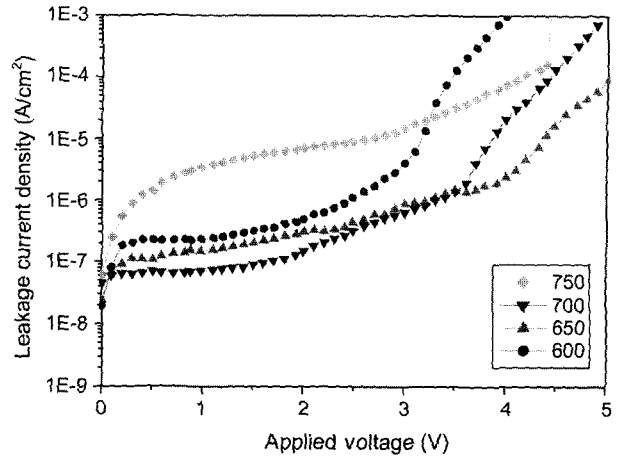


Fig. 7. Current-voltage characteristics of BST thin films deposited at various substrate temperatures.

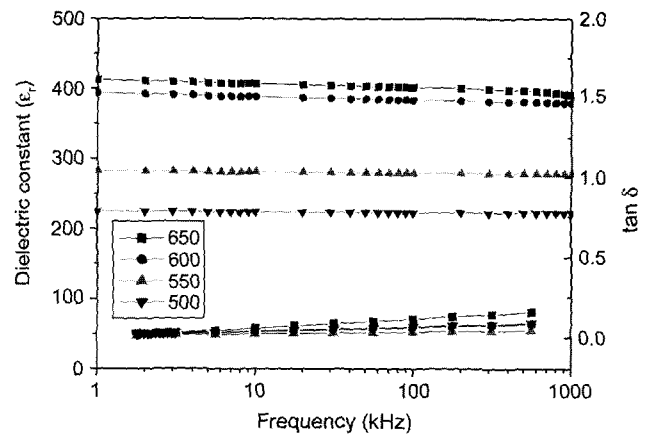


Fig. 8. Capacitance-frequency characteristics of seed-layer BST thin films deposited at various substrate temperatures.

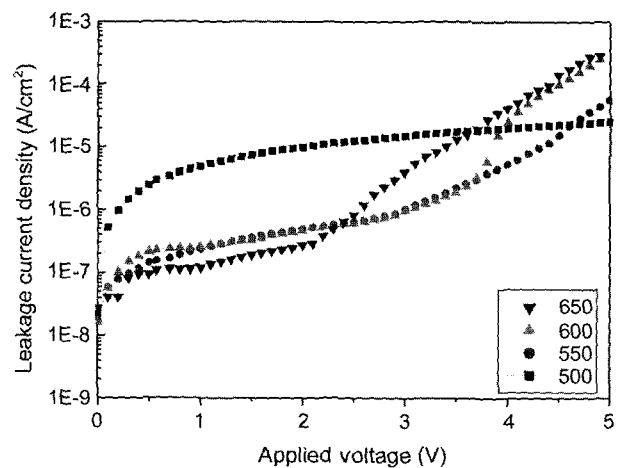


Fig. 9. Current-voltage characteristics of seed-layer BST thin film deposited at various substrate temperatures.

3.3.2. Seed-layer BST 박막

Seed-layer 위에서 기판온도를 변화시키며 증착된 BST 박막의 주파수(frequency) 변화에 따른 비유전율(ϵ_r)의 그래프를 Fig. 8에 나타내었다. seed-layer 없이 제조된 BST 박막의 경우와 마찬가지로 주파수가 증가함에 따라서 유전율이 약간씩 감소하고 유전손실($\tan \delta$)은 증가하는 경향을 나타내었다. seed-layer 없이 제조된 BST 박막의 결과와 비교해 볼 때 600°C에서 증착된 시편의 경우 유전율 380으로 큰 증가를 보였다. 650°C에서 증착된 시편의 경우 유전율 390으로 seed-layer 없이 제조된 BST 박막의 경우 700°C에서 증착된 시편과 유사한 특성을 나타내었다.

누설전류 특성은 Fig. 9에 나타내었다. 500°C에서 증착된 시편의 경우는 완전한 결정상의 형성이 이루어지지 않았기 때문에 누설전류가 크게 나오는 것으로 생각되어진다. 이러한 현상은 다른 연구자들의 결과에서도 관찰되어지는 현상이다.¹⁷⁾

4. 결 론

본 실험에서는 Pt/Ti/SiO₂/Si 기판위에 R.F magnetron sputtering 방법으로 기판온도를 600°C에서 750°C까지 달리하여 증착시킨 BST 박막과 Pt/Ti/SiO₂/Si 기판위에 seed-layer로서 30 nm 두께의 BST 박막을 증착한 후, 그 위에 다시 기판온도를 500°C에서 650°C까지 달리하여 증착시킨 BST 박막을 제조하였다. 두 시편을 이용하여 기판온도 변화에 따른 BST 박막의 물성변화와 seed-layer의 도입에 따른 박막의 물성변화를 결정성, 미세구조, 전기적 특성을 조사하여 다음과 같은 결론을 얻었다.

1. 기판온도를 달리하며 증착시킨 BST 박막의 경우 기판온도 600°C에서는 700°C로 증가함에 따라서 (110), (200), (211) 등 완전한 입방정상의 피크가 관찰되어졌다.

2. 기판온도가 증가함에 따라 결정립의 크기의 변화는 뚜렷한 양상을 보이지 않았다.

3. 기판온도를 달리하여 제조된 BST 박막의 유전적 특성은 비유전율이 기판온도 600°C에서 305, 700°C에서 400에 가까운 특성을 나타내었다. 유전손실($\tan \delta$)은 5% 이하로 우수한 값을 나타내었다(100 kHz). 기판온도의 증가에 따른 유전특성의 향상은 결정성의 증가에 따른 것이라고 사료된다.

4. 누설전류 특성은 기판온도가 증가함에 따라 향상되다가 일정 온도 이상에서는 오히려 저하하는 양상을 보인다. 이는 누설전류가 상하부 전극의 morphology와 silicide 물질의 형성에 따른 영향 때문이다.

5. Seed-layer의 도입에 의해 BST 박막의 제조에 따른 최적의 기판온도가 700°C에서 600°C로 100°C 가량 낮추어졌다.

6. 순수한 BST 박막에 비해 seed-layer를 도입함으로써

보다 낮은 온도에서 우수한 결정성과 우수한 전기적 특성을 갖은 박막을 제조할 수 있었다.

REFERENCES

1. A. I. Kingon and S. K. Streiffer, "Ferroelectric Films and Devices," *Current Opinion in Solid State and Materi. Sci.*, **4** [1] 39-44 (1999).
2. S. Yamamichi, P. Y. Lesaicherre, H. Yamaguchi, K. Take-mura, S. Sone, H. Yabuta, K. Sato, T. Tamura, K. Nakajima, S. Ohnishi, K. Tokashiki, Y. Hayashi, Y. Kato, Y. Miyasaka, M. Yoshida, and H. Ono, "Stacked Capacitor Technology with ECR Plasma MOCVD (Ba,Sr)TiO₃ and RuO₂/Ru/TiN/TiSi_x Storage Nodes for Gb-scale DRAM's," *IEEE Transactions on Electron Devices*, **44** [7] 1076-83 (1997).
3. C. S. Hwang, "(Ba,Sr)TiO₃ Thin Films for Ultra Large Scale Dynamic Random Access Memory. A Review on the Process Integration," *Materi. Sci. and Engineering B*, **56** [2-3] 178-90 (1998).
4. D. K. Yim, S. Y. Choi, H. J. Jung, and Y. J. Oh, "Micro-structure and Ferroelectric Properties of Sol-gel Derived PbTiO₃ Interlayered PZT Thin Films," *J. Kor. Ceram. Soc.*, **32** [12] 1408-16 (1995).
5. J. H. Joo, J. B. Park, Y. Kim, K. S. Lee, J. S. Lee, J. S. Roh, and J. J. Kim, "Low Temperature Chemical Vapor Deposition of (Ba,Sr)TiO₃ Thin Films for High Density Dynamic Random Access Memory Capacitors," *Jpn. J. Appl. Phys. Part 2-Lett.*, **38** [2B] 195-98 (1999).
6. S. Saha and S. B. Krupanidhi, "Study of the Electrical Properties of Pulsed Laser Ablated (Ba_{0.5}Sr_{0.5})TiO₃ Thin Films," *Mater. Sci. and Engi. B*, **57** [2] 135-46 (1999).
7. Y. G. Son, "Electrical Properties of Ba_{0.5}Sr_{0.5}TiO₃ Thin Film with Various Heat Treatment Conditions," *J. Kor. Ceram. Soc.*, **38** [5] 492-98 (2001).
8. H. J. Cho, C. S. Kang, C. S. Hwang, J. W. Kim, H. Horii, B. T. Lee, S. I. Lee, and M. Y. Lee, "Structural and Electrical Properties of Ba_{0.5}Sr_{0.5}TiO₃ Films on Ir and IrO₂ Electrodes," *Jpn. J. Appl. Phys. Part 2-Lett.*, **36** [7A] 874-76 (1997).
9. C. S. Hwang, B. T. Lee, C. S. Kang, J. W. Kim, K. H. Lee, H. J. Cho, H. Horii, W. D. Kim, S. I. Lee, Y. B. Roh, and M. Y. Lee, "A Comparative Study on the Electrical Conduction Mechanisms of (Ba_{0.5}Sr_{0.5})TiO₃ Thin Films on Pt IrO₂ Electrodes," *J. Appl. Phys.*, **83** [7] 3703-13 (1998).
10. Y. C. Choi and B. S. Lee, "Bottom Electrode Dependence of the Properties of (Ba,Sr)TiO₃ Thin Film Capacitors," *Materi. Chem. and Phys.*, **61** [2] 124-29 (1999).
11. J. C. Shin, J. Park, C. S. Hwang, and H. J. Kim, "Dielectric and Electrical Properties of Sputter Grown (Ba,Sr)TiO₃ Thin Films," *J. Appl. Phys.*, **86** [1] 506-13 (1999).
12. M. S. Tsai and T. Y. Tseng, "Conduction Mechanism and Temperature-dependent Current-voltage in (Ba, Sr)TiO₃ Thin Films," *J. Electrochemical Soc.*, **145** [8] 2853-60 (1998).
13. C. S. Hwang and S. H. Joo, "Variations of the Leakage Current Density and the Dielectric Constant of Pt/(Ba,Sr)TiO₃/Pt Capacitor by Annealing under a N₂ Atmosphere," *J. Appl.*

- Phys.*, **85** [4] 2431-36 (1999).
14. C. H. Park, D. Y. Choi, and Y. G. Son, "Microstructure and Ferroelectric Properties of PZT Thin Films Deposited on various Interlayers by R.F. Magnetron Sputtering," *J. Kor. Ceram. Soc.*, **39** [8] 742-49 (2002).
 15. Y. Park, S. M. Jung, S. I. Moon, K. W. Chung, S. H. Kim, U. T. Song, and J. S. Yi, "A Study on PZT Thin Film Capacitor and Their Bottom Electrode," *J. Kor. Insti. Elec. and Elec Mater. Engineers*, **12** [7] 592-600 (1999).
 16. W. J. Lee, Y. M. Kim, and H. G. Kim, "Pt-base Electrodes and Effects on Phase Formations and Electrical Properties of High-dielectric Thin Films," *Thin Solid Films*, **269** [1-2] 75-79 (1995).
 17. J. S. Park, J. S. Kim, J. H. Lee, Y. H. Lee, S. R. Han, and J. S. Lee, "Dielectric and Pyroelectric Properties of (Ba,Sr) TiO_3 Thin Films Grown by RF Magnetron Sputtering," *J. Kor. Ceram. Soc.*, **36** [4] 403-09 (1999).