

論文2003-40SD-2-5

# 무선 홈 네트워크용 CMOS 베이스밴드 아날로그 수신단의 설계

## (Design of a CMOS Base-Band Analog Receiver for Wireless Home Network)

崔起元\*, 宋敏圭\*

(Ki-Won Choi and Min-Kyu Song)

## 요약

본 논문에서는 CMOS로 구현된 무선 홈 네트워크용 Base Band Analog 수신단을 제안하였다. 제안된 수신단은 길버트 셀 형태의 믹서, Gm-C 형태의 Elliptic 6차 저역통과 필터, 그리고 6-bit A/D 변환기로 구성되어 있다. 제안한 수신단은 CMOS RF 단을 거친 작은 전력의 200MHz의 아날로그 신호와 PLL에서 나오는 큰 전력의 199MHz 국부 발진 신호가 믹서에 인가되어 Base-Band 신호를 생성해 낸다. 이 신호는 낮은 주파수로부터 높은 주파수까지 분포되어 있는데 저역통과 필터를 거쳐 1MHz의 Base Band 신호만을 추출해 낸다. 이 1MHz의 신호는 다시 6 bit A/D 변환기를 거쳐 6 bit 디지털 code를 생성하여 DSP(Digital Signal Processing) 블록과 연결된다. 제작된 수신단은 0.25 $\mu$ m 1 poly 5 metal n well CMOS 공정으로 제작되었으며 유효 칩 면적은 200 $\mu$ m  $\times$  1400 $\mu$ m 이고 2.5V의 전원전압에서 130mW의 전력 소모를 나타내었다.

## Abstract

In this paper, a CMOS baseband analog receiver for wireless home network is discussed. It is composed of a Gilbert type mixer, an Elliptic 6th order low pass filter, and a 6-bit A/D converter. The main role of the mixer is generating a mixed analog signal between the 200MHz output signal of the CMOS RF stage and the 199MHz local oscillator. After the undesired high frequency component of the mixed signal comes out. Finally, the analog signal is converted into digital code at the 6-bit A/D converter. The proposed receiver is fabricated with 0.25 $\mu$ m 1 poly 5 metal CMOS technology, and the chip area is 2000 $\mu$ m  $\times$  1400 $\mu$ m. The receiver consumes 130mW at 2.5V power supply.

**Keywords** : CMOS base band analog receiver for wireless home network, DSP

## I. 서론

휴대용 단말기의 보급에 따라 단순한 음성 통신 이외에 데이터 통신 또한 요구되어 지고 있다. 또한 가정 내에서 사용되어지는 가전기기들 사이에서 무선 데이터 통신이 가능한 홈 네트워크 구축에 대한 관심도 증가하고 있다. 따라서 무선 이동 통신 이외에도 무선 네

트워크를 위한 새로운 표준들이 등장하고 있다.

이중 블루투스(bluetooth)는 모바일 PC, 모바일 폰, 기타 휴대 장치들 간에 근거리 무선데이터 통신의 새로운 표준으로 급부상하고 있다. 2.4GHz의 ISM (Industrial Scientific Medical)대역을 이용하므로 특별한 제약 없이 주파수를 사용할 수 있는 블루투스는 10m~50m의 거리 내에서 가전기기들 간을 통신하므로 출력파워가 높을 필요가 없다. Bluetooth를 지원하기 위한 아날로그 프론트 엔드 칩은 크게 저 잡음 증폭기, 주파수 변환기, 주파수 합성기, 그리고 전력증폭기 등으로 구분된다. 또한 이들은 최적의 성능을 갖기 위해 GaAs, Silicon BJT, BiCMOS 등의 공정기술들을 이용

\* 正會員, 東國大學校 半導體科學科

(Dept. of semiconductor science, Dongguk University)

接受日字:2001年6月18日, 수정완료일:2003年2月10日

해 구현해 왔다. 그러나 최근에는 CMOS 공정기술을 이용해 칩 면적을 감소시키면서 IF, RF, 그리고 베이스밴드 블록을 단일 칩에 집적하는 연구가 이루어지고 있다. 본 논문은 Bluetooth 등과 같은 무선 통신 칩에 적용 가능한 수신단(Rx)에서의 저주파 처리부에 대해 논한다. 수신단 회로는 RF단으로부터 200MHz의 신호를 받아 넓은 다이내믹 범위에서 일정한 출력이 유지되도록 VGA를 거친다. 이후 신호는 199MHz 주파수를 갖는 국부 발진신호와 함께 길버트 셀로 설계된 주파수 혼합기에서 혼합되어 1MHz와 399MHz의 신호로 변조된다. 이때 199MHz의 국부 발진신호는 10MHz의 크리스탈 기준 클럭으로부터 PLL을 이용한 주파수 합성기(Frequency Synthesis)에 의하여 만들어진다. 변조된 신호는 sharpness가 우수한 elliptic 6차 Gm-C 타입으로 설계된 저역통과 필터를 통과하여 고주파 성분이 제거된 후 1MHz의 신호만이 출력된다. 이 신호는 다시 입력이 1Vpp인 Full-Flash 방식의 고속동작을 유지하면서 작은 면적과 저 전력의 특성을 가지는 폴딩 및 인터폴레이션 기법으로 설계된 고속 6-bit A/D 변환기로 들어가 6-bit 디지털 코드로 변환이 되어 DSP로 들어가게 된다.

제 II 장에서는 전체구조 및 세부 블록들인 Mixer, Filter, A/D 변환기들의 제안하는 회로도와 설계방법에 대하여 언급하였고, 제 III 장에서는 각 블록들의 모의 실험 결과를, 제 IV 장에서는 Chip Implementation과 측정결과를 통해 회로의 성능을 확인하였다. 마지막으로 제 V 장에서는 제작된 Chip의 전체적인 사양과 연구 결과에 대하여 정리하였다.

II. 전체구조 및 각 블록 설계

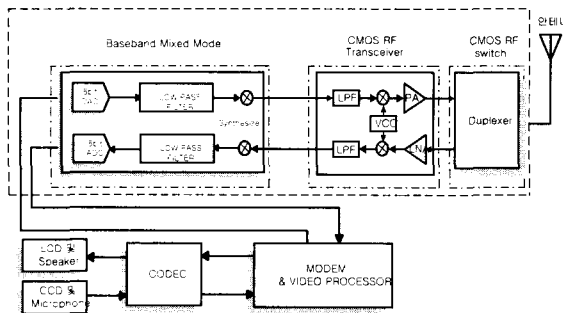


그림 1. 홈 네트워크 단말기의 Block Diagram  
Fig. 1. Home Network Block Diagram.

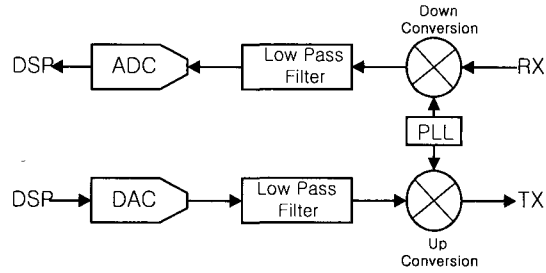


그림 2. Baseband Mixed-Mode 블록의 개략도  
Fig. 2. Baseband Mixed-Mode Block Diagram.

<그림 1>은 무선 홈 네트워크용 단말기의 송수신부 block diagram으로써 이번 제작 칩에서는 전체 블록 중에서 baseband의 수신단(Rx)을 설계하였다. <그림 2>에서는 기존목표인 baseband 블록을 나타내었으며 이 부분에서 수신단 부분인 입·출력 단의 혼성모드 시스템을 CMOS 공정을 이용하여 설계하였다.

1. Mixer의 설계

믹서는 입력신호를 베이스 밴드 영역으로 낮추는 역할을 하며 저 잡음 특성과 큰 잡음신호에 의해 내부변조 왜곡신호 (intermodulated distortion signal)가 발생하지 않도록 선형성이 뛰어나야 한다. 특히 수신믹서에서 요구되는 특성은 선형성(linearity), 저 잡음 특성과 소비전력이라 할 수 있다. 저 잡음과 소비전력은 상관관계가 있으며 일반적으로 이를 구현하는 것이 설계의 목표가 된다. 설계된 믹서는 입력 신호를 베이스 밴드로 낮추는 역할을 하기 때문에 주파수가 상대적으로 크지 않고 입력신호의 크기가 작으므로 <그림 3>과 같이 잘 알려진 길버트 셀을 사용하였으며 출력저항을 줄이기 위하여 소스팔로워(source follower)를 출력단에 연결하였다<sup>[4,5]</sup>.

Vin은 VGA의 출력인 200MHz, 50mVpp인 IF 신호이고 Vlo는 PLL의 출력인 199MHz의 국부 발진신호이다.

$$V_{out} = K \cdot R \cdot \sqrt{\left(\frac{W}{L}\right)_{M4} \cdot \left(\frac{W}{L}\right)_{M5} \cdot I_{source} \cdot V_{RF} \cdot V_{LO}} \quad (1)$$

식 (1)은 주파수가 혼합되어 나오는 결과이며 <그림 3>의 소자 값을 참고로 하였다. 여기서 K는 비례상수이며 각 소자 값은  $M_3 = M_4, M_5 = M_6 = M_7 = M_8$ 이

다.

<그림 3>은 길버트 형태의 Down-Conversion믹서를 나타냈다.

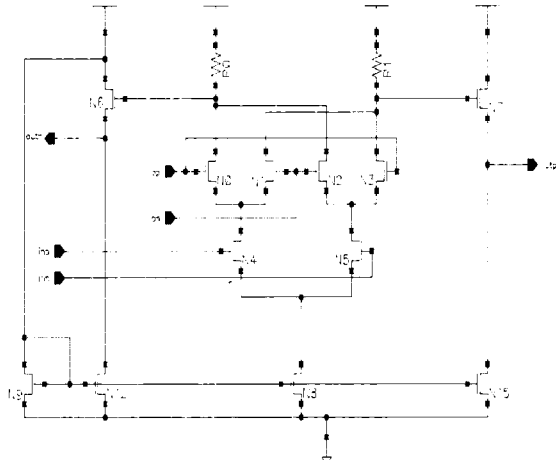


그림 3. 믹서회로도  
Fig. 3. Mixer Schematic.

2. IF Filter의 설계

IF 필터는 믹서를 통과한 신호들 중에서 주파수 차에 해당하는 1MHz 만을 통과시키고 나머지 고주파 하모닉 성분들을 제거하는 역할을 한다.

VLSI에 사용되는 Filter에는 CTF(Continuous Time Filter), DTF(Discrete Time Filter), 그리고 디지털 필터(Digital Filter)가 있다. 이중 DTF는 클록이 필요하고 스위칭 잡음이 많아 신호의 최고 주파수의 약 10배 이상의 스위칭 주파수가 요구되어 실제 사용주파수가 낮다는 결점이 있다. 이에 비해 CTF는 클록이 필요 없고 높은 주파수 사용이 가능하다는 장점이 있다. 이러한 CTF에는 Active RC Filter, MCF(MOS-C Filter), 그리고 OTA(operational transconductance amplifier)와 C를 사용한 회로에서 바이어스 전류에 의하여 OTA의 transconductor gain을 조정하는 Gm-C Filter가 있다.

이번에 제안된 IF Filter는 연속시간에서 신호를 처리하여 필터를 구성하는 방법인 트랜스컨덕턴스(Gm)증폭기와 커패시터를 사용한 Gm-C 필터를 설계하였다. OTA는 입력전압에 선형적으로 비례하는 출력 전류를 발생시키는 증폭기로서 이때 이득이 증폭기의 트랜스컨덕턴스(Gm) 값이다. 이 Gm의 조건은 첫째, 넓은 입력범위 내에서 선형적인 입출력 관계를 가져야 하고, 둘째, 전기적으로 트랜스컨덕턴스 값을 선형적으로 조

절할 수 있는 것이 바람직하다. 전압을 입력신호로 갖기 때문에 입력 저항은 매우 커야 하며 출력신호는 전류이기 때문에 출력 저항도 매우 커야 한다. 따라서 MOS 트랜지스터를 사용한 입력 회로가 유리하며 출력 저항을 증가시키기 위하여 캐스코드(cascode) 회로 등의 설계기법을 사용하여야 한다<sup>[1-6][9]</sup>.

설계된 IF 필터는 믹서를 통과해 mixing되어 나온 신호들 중에서 주파수 차에 해당하는 1MHz만을 통과시키고 나머지 고주파 하모닉 성분들은 제거하는 역할을 한다. 필터 종류를 선택하는데는 sharpness가 우수한 elliptic type을 선택하였고 구현 방법은 각 소자의 변화에 덜 민감하도록 LC ladder type을 Gm-C cell의 형태로 구현하였다. 필터의 차수는 6차로 하였으며 Q-factor는 10, SNDR은 35dB, passband 리플은 1dB 이하이고 stopband 감쇄율은 40dB로 하였다<sup>[9]</sup>.

<그림 4>에는 설계된 Gm-C cell 형태인 6차 필터를 나타내었다.

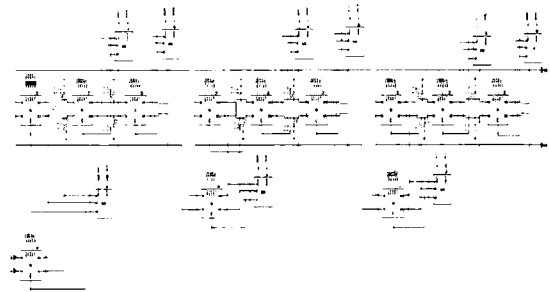


그림 4. 필터회로도  
Fig. 4. Filter Schematic.

3. 6-bit A/D 변환기의 설계

IF 필터의 아날로그 출력은 A/D 변환기에 의해 6-bit의 디지털 신호로 변환되어 디지털 신호 처리부인 디지털 상관기 칩에 전달된다. 본 A/D 변환기는 Full-Flash 방식의 고속동작을 유지하면서 작은 면적과 저 전력의 특성을 가지는 폴딩 및 인터폴레이션 기법을 사용하였다. 이를 위하여 다음과 같은 기법을 적용하였다. 6 bit의 분해능과 고속동작의 특성을 얻기 위해 최적화된 조합인 폴딩율(FR)=2, 폴딩 블록의 수(NFB)=4 및 인터폴레이션율(IR)=8을 이용하여 폴딩 블록과 인터폴레이션 블록을 설계하였다. 전류에 의해 구동되는 인터폴레이션 기법을 사용함으로써 저항열에 의한 인터폴레이션 기법의 단점인 비선형성을 개선하

였다. 또한 고속동작의 문제점들을 해결하기 위하여 새로운 구조의 I-V 변환기, 다이내믹 래치, 새로운 알고리즘의 엔코더, 입력범위 밖의 신호를 보정하는 out-of-range 회로를 제안하였다. <그림 5>에 6-bit A/D 변환기를 나타내었다<sup>[6-8]</sup>.

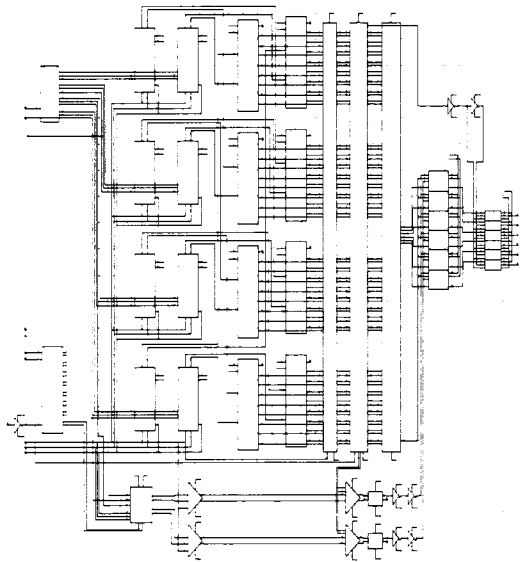


그림 5. 6-bit A/D 변환기  
Fig. 5. 6-bit A/D Converter.

### III. 각 블록의 모의 실험 결과

각 블록의 동작여부를 확인하기 위하여 믹서 입력에 200MHz의 RF 신호와 199MHz 국부 발진 신호를 인가하여 믹서에서 나오는 1MHz의 신호를 확인하고 이 신호가 필

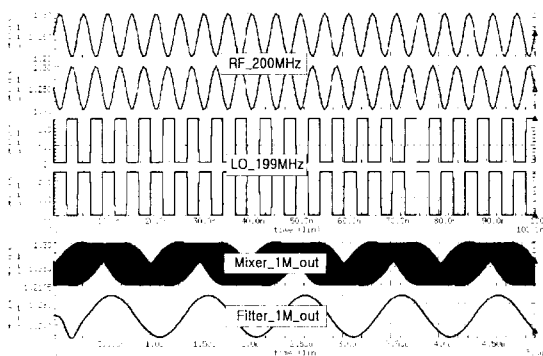


그림 6. 믹서와 필터 출력 파형  
Fig. 6. Mixer and Filter Output Signal.

터를 거쳐서 고주파와 하모닉 성분이 다 제거되고 순수 1MHz 성분만이 통과되는지를 알아보기 위한 모의 실험 결과를 <그림 6>에 나타내었다. 그 다음 필터를 거친 이 신호가 1Vpp로 증폭이 되어 A/D 변환기의 입력으로 들어가 6-bit A/D 변환기를 거쳐 나온 6-bit의 디지털 코드를 <그림 7>에 나타내었다.

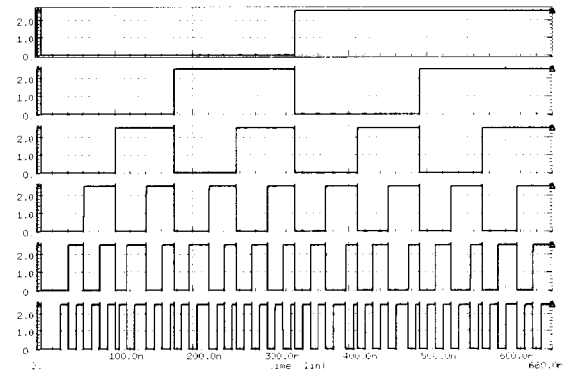


그림 7. 6-bit A/D 변환기의 출력 파형  
Fig. 7. 6-bit A/D Converter Output Signal.

## IV. Chip 측정 및 결과

### 1. Chip Implementation

<그림 8>에 제작 완료된 베이스밴드 아날로그 수신단의 Full Chip 사진과 Layout을 나타내었다. 각 블록들은 Mixer와 Filter, Buffer 및 A/D 변환기이다. 기본적으로 모두 전원선에 의한 상호 noise를 줄이기 위해 Digital과 Analog Power가 별도로 공급되도록 전원선이 분리 되어 있다. 또한 Latch-up 현상을 줄이기 위해

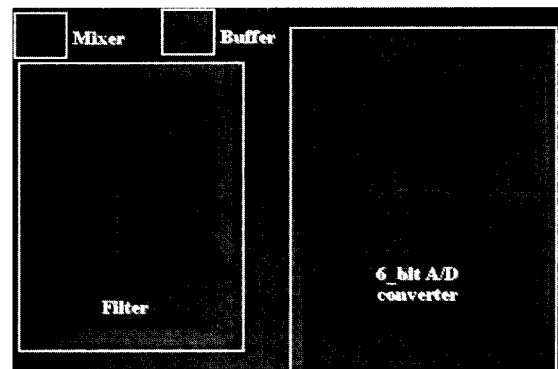


그림 8. 설계된 베이스밴드 수신단 칩사진  
Fig. 8. Chip Photograph of Base-Band Rx.

가능한 많은 well과 substrate plug를 형성하였다. 전체 Chips-size는  $2000\mu\text{m} \times 1400\mu\text{m}$ 로 0.25um CMOS 1-poly 5-metal N-well 공정을 사용하였다.

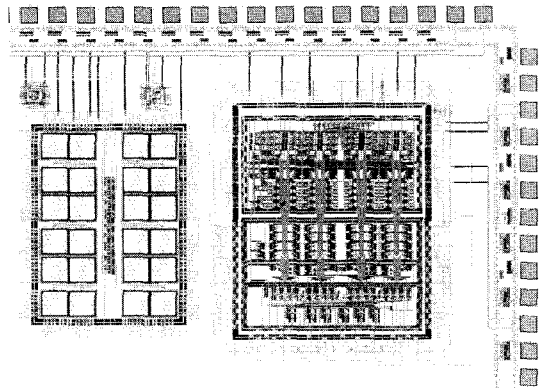


그림 9. 설계된 베이스밴드 수신단 Layout  
Fig. 9. Layout of Base-Band Analog Rx.

2. Chip 측정결과

제작된 베이스밴드 아날로그 수신단 부분의 동작 및 성능을 확인하기 위하여 각각 test 블록과 전체 Chip을 측정하였다. <그림 10>은 필터의 출력과 믹서의 FFT를 나타낸 그림이다. 필터의 출력에 1MHz 파형이 나오는 것을 확인할 수 있고 믹서의 출력을 FFT로 본 결과 1MHz 성분이 Mixing 되는 것을 확인할 수 있었다. 최종 A/D 변환기의 출력인 각 코드를 재 합성한 결과를 <그림 11>에 보여주고 있다. A/D 변환기는 샘플링 50MHz에 입력이 1MHz를 인가하였을 때의 결과이다.

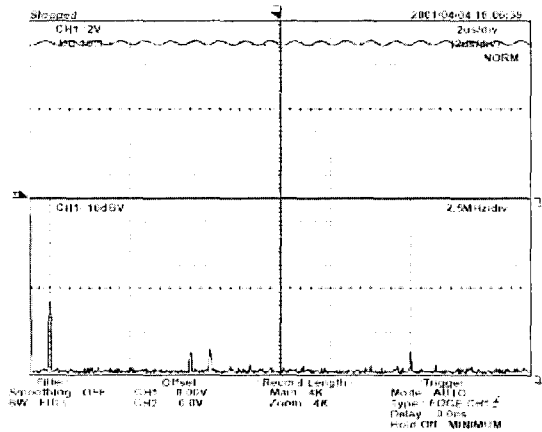


그림 10. 믹서의 출력신호와 FFT  
Fig. 10. Output Signal and FFT of Mixer.

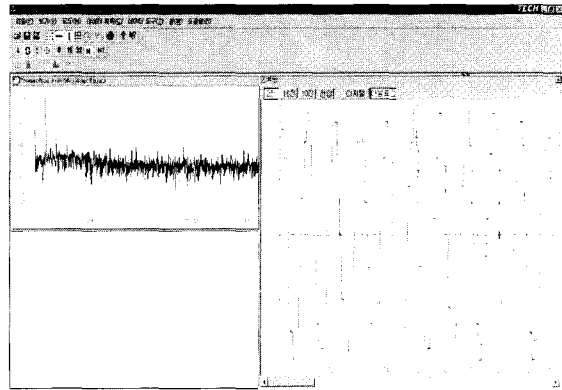


그림 11. A/D 변환기의 FFT 및 재합성 결과  
Fig. 11. FFT and Reconstruction A/D Converter.

V. 결 론

본 논문에서는 베이스밴드 아날로그 수신 단을 0.25um CMOS 5-meta/1-poly 공정을 사용하여 설계하였고 유효 칩 면적은  $2000\mu\text{m} \times 1400\mu\text{m}$ 였다. 이번 설계된 칩의 주요 사양을 요약하면 <표 1>과 같다. 믹서의 변환이득은 -5dB, 필터는 pass-band freq. 1MHz, A/D 변환기의 분해능은 6-bit으로 INL/DNL이  $\pm 1\text{LSB}$ 에서 주어진 무선용 네트워크 표준기술을 만족한다.

표 1. 설계된 Base-Band Analog Chip의 사양  
Table 1. Specification of Designed Base-Band Analog Chip.

공급전압	Single 2.5V
변환이득 (Mixer)	-5dB
Type (Filter)	6th Elliptic Gm-C Filter
Pass-Band (Filter)	1MHz
변환속도 (A/D 변환기)	300MSPS
INL / DNL (A/D 변환기)	$\pm 1\text{LSB}$
전력소모	130mW
유효칩면적	$2000\mu\text{m} \times 1400\mu\text{m}$
공정	0.25um 1-poly 5-metal N-well CMOS

## 참 고 문 헌

- [1] David A. Johns and Ken Martin, "Analog Integrated Circuit Design", John Wiley & Sons Inc., 1997.
- [2] Thomas H. Lee "The Design of CMOS Radio-Frequency Integrated Circuits", Cambridge, 1998
- [3] Behzad Razavi, "RF Microelectronics", Prentice Hall PTR, 1998.
- [4] 이승훈, 김범섭, 송민규, 최중호 공저, "CMOS 아날로그 / 혼성모드 집적시스템 설계(상)", 시그마프레스, 1999
- [5] 이승훈, 김범섭, 송민규, 최중호 공저, "CMOS 아날로그 / 혼성모드 집적시스템 설계(하)", 시그마프레스, 1999
- [6] 박홍준, "CMOS 아날로그 집적회로 설계(상)", 시그마프레스, 1999
- [7] Abdellatif Bellaouar and Mohamed I. Elmasry, "Low-Power Digital Design Circuits and Systems", Kluwer Academic Publishers, 1995.
- [8] 김진화, "DVD의 PRML용 6-bit 500MSPS CMOS A/D 변환기이 설계", 석사 학위 논문
- [9] 박송배, "아날로그 필터의 설계", 홍릉과학출판사

## 저 자 소 개

崔 起 元(正會員)

2002년 2월 동국대학교 반도체과학과 석사 졸업 석사(2001년). <주관심분야 : CMOS 혼성모드 회로설계, Zero IF QPSK 튜너 IC>

宋 敏 圭(終身會員)

서울대학교 전자공학과 학사('86년), 석사('88년), 박사('93년). '93년-94년 일본 동경 대학교 전자공학과 초빙 연구원, '95년-96년 삼성전자 ASIC 설계팀 선임연구원, '97년- 현재 동국대학교 반도체과학과 조교수. <주관심분야 : CMOS 혼성모드 회로설계, 저전력 집적시스템 설계>